

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-304555

(P2007-304555A)

(43) 公開日 平成19年11月22日(2007.11.22)

(51) Int.Cl.		F I		テーマコード (参考)
G09G	3/36	(2006.01)	G09G 3/36	2H093
G09G	3/20	(2006.01)	G09G 3/20 622C	5C006
G02F	1/133	(2006.01)	G09G 3/20 621A	5C058
H04N	5/66	(2006.01)	G09G 3/20 623B	5C080
			G09G 3/20 621B	
審査請求 有 請求項の数 21 O L (全 21 頁) 最終頁に続く				

(21) 出願番号	特願2006-343135 (P2006-343135)	(71) 出願人	599127667
(22) 出願日	平成18年12月20日 (2006.12.20)		エルジー フィリップス エルシーディー
(31) 優先権主張番号	10-2006-0042193		カンパニー リミテッド
(32) 優先日	平成18年5月11日 (2006.5.11)		大韓民国 ソウル, ヨンドンポーク,
(33) 優先権主張国	韓国 (KR)		ヨイドードン 20
		(74) 代理人	100110423
			弁理士 曾我 道治
		(74) 代理人	100084010
			弁理士 古川 秀利
		(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順
最終頁に続く			

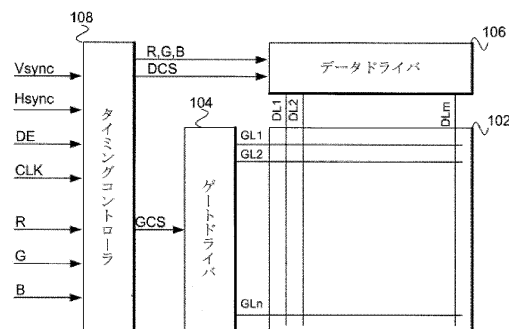
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】高いフレーム周波数でも映像信号の入力時間を十分に確保することのできる液晶表示装置及びその駆動方法を提供する。

【解決手段】液晶表示装置は、液晶パネル102と、液晶パネル102上の複数のゲートラインGL1～GLnに対して、水平同期信号の1周期1Hに所定期間αを加算した第1期間ずつイネーブルされる複数のゲート信号を供給するとともに、隣接する2つのゲートラインGL1～GLnにそれぞれ供給されるゲート信号を互いに重畳させるゲートドライバ104と、液晶パネル102上の複数のデータラインDL1～DLmに対して、水平同期信号の周期毎に画素データ信号を供給するデータドライバ106とを備えたものである。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

液晶パネルと、

前記液晶パネル上の複数のゲートラインに対して、水平同期信号の 1 周期に所定期間 α を加算した第 1 期間ずつイネーブルされる複数のゲート信号を供給するとともに、隣接する 2 つのゲートラインにそれぞれ供給されるゲート信号を互いに重畳させるゲートドライバと、

前記液晶パネル上の複数のデータラインに対して、前記水平同期信号の周期毎に画素データ信号を供給するデータドライバと

を備えることを特徴とする液晶表示装置。

10

【請求項 2】

前記複数のゲートラインのうちの奇数番目のゲートラインに供給されるゲート信号と、前記奇数番目のゲートラインに隣接する次の偶数番目のゲートラインに供給されるゲート信号とは、前記所定期間 α の 2 倍の期間 2α の間、同時にイネーブルされることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記奇数番目のゲート信号は、前記水平同期信号と同一位相を有し、前記偶数番目のゲート信号は、前記水平同期信号よりも前記所定期間 α だけ進んだ位相を有することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記所定期間 α は、前記水平同期信号の走査期間よりも短いことを特徴とする請求項 3 に記載の液晶表示装置。

20

【請求項 5】

前記データドライバは、前記複数のデータラインに供給される前記画素データ信号の極性を、前記水平同期信号の 2 周期毎に反転させることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記データドライバは、前記複数のデータラインに供給される前記画素データ信号の極性を、フレームの 1 周期毎に反転させることを特徴とする請求項 5 に記載の液晶表示装置。

30

【請求項 7】

液晶パネルと、

前記液晶パネル上の複数のゲートラインに対して、水平同期信号の 1 周期に所定期間 α を加算した第 1 期間ずつイネーブルされる複数のゲート信号を供給するとともに、隣接する 2 つのゲートラインにそれぞれ供給されるゲート信号を互いに重畳させるゲートドライバと、

前記液晶パネル上の複数のデータラインに対して、画素データ信号を供給するデータドライバと、

前記データドライバと前記液晶パネル上の前記複数のデータラインとの間に接続され、前記複数のデータラインに対して、ブラックデータ信号及び前記データドライバからの前記画素データ信号を交互に供給する信号切替部と

40

を備えることを特徴とする液晶表示装置。

【請求項 8】

前記隣接する 2 つのゲートラインにそれぞれ供給され、互いに重畳するゲート信号は、前記所定期間 α の 2 倍の期間 2α の間、同時にイネーブルされることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記隣接する 2 つのゲートラインにそれぞれ供給され、互いに重畳するゲート信号のうち偶数番目のゲート信号は、フレームによって、以前及び次の奇数番目のゲート信号のいずれか一方と、前記期間 2α の間、同時にイネーブルされることを特徴とする請求項 8 に

50

記載の液晶表示装置。

【請求項 10】

前記ゲート信号は、フレームによって、前記所定期間 α に相当する位相差を有することを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記奇数番目のゲート信号が前記水平同期信号と同一位相を有する場合、前記偶数番目のゲート信号は、前記水平同期信号よりも所定期間 α だけ進んだ位相を有し、前記偶数番目のゲート信号が前記水平同期信号と同一位相を有する場合、前記奇数番目のゲート信号は、前記水平同期信号よりも所定期間 α だけ進んだ位相を有することを特徴とする請求項 10 に記載の液晶表示装置。

10

【請求項 12】

前記信号切替部は、前記水平同期信号の 1 周期に所定期間 α を加算した前記第 1 期間の間、前記画素データ信号を前記データラインに供給するとともに、前記水平同期信号の 1 周期よりも所定期間 α 短い第 2 期間の間、前記ブラックデータ信号を前記データラインに供給することを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 13】

前記データドライバは、前記水平同期信号の 2 周期毎に前記画素データ信号を出力することを特徴とする請求項 12 に記載の液晶表示装置。

【請求項 14】

前記データドライバは、前記複数のデータラインに供給される前記画素データ信号の極性を、フレームの 2 周期毎に反転させることを特徴とする請求項 13 に記載の液晶表示装置。

20

【請求項 15】

液晶パネル上の複数のゲートラインに対して、水平同期信号の 1 周期に所定期間 α を加算した第 1 期間ずつイネーブルされる複数のゲート信号を供給するとともに、隣接する 2 つのゲートラインにそれぞれ供給されるゲート信号を互いに重畳させる段階と、

前記液晶パネル上の複数のデータラインに対して、画素データ信号を供給する段階とを含むことを特徴とする液晶表示装置の駆動方法。

【請求項 16】

前記画素データ信号を供給する段階は、前記水平同期信号の周期毎に前記画素データ信号を前記複数のデータラインに供給する段階を含むことを特徴とする請求項 15 に記載の液晶表示装置の駆動方法。

30

【請求項 17】

前記複数のゲートラインのうちの奇数番目のゲートラインに供給されるゲート信号と、前記奇数番目のゲートラインに隣接する次の偶数番目のゲートラインに供給されるゲート信号とは、前記所定期間 α の 2 倍の期間 2α の間、同時にイネーブルされることを特徴とする請求項 16 に記載の液晶表示装置の駆動方法。

【請求項 18】

液晶パネル上の複数のゲートラインに対して、水平同期信号の 1 周期に所定期間 α を加算した第 1 期間ずつイネーブルされる複数のゲート信号を供給するとともに、隣接する 2 つゲートラインにそれぞれ供給されるゲート信号を互いに重畳させる段階と、

40

前記液晶パネル上の複数のデータラインに対して、供給される画素データ信号を発生する段階と、

ブラックデータ信号と前記画素データ信号とを交互に前記複数のデータラインに供給する段階と

を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 19】

前記ゲート信号を供給する段階は、

奇数番目のフレームでは、奇数番目のゲート信号が前記水平同期信号と同一位相を有し、偶数番目のゲート信号が前記水平同期信号よりも前記所定期間 α だけ進んだ位相を有す

50

るようにする段階と、

偶数番目のフレームでは、前記偶数番目のゲート信号が前記水平同期信号と同一位相を有し、前記奇数番目のゲート信号が前記水平同期信号よりも所定期間 α だけ進んだ位相を有するようにする段階と

を含むことを特徴とする請求項 18 に記載の液晶表示装置の駆動方法。

【請求項 20】

前記ブラックデータ信号と前記画素データ信号とを交互に前記複数のデータラインに供給する段階は、

前記水平同期信号の 1 周期に所定期間 α を加算した前記第 1 期間の間、前記画素データ信号を前記複数のデータラインに供給する段階と、

前記水平同期信号の 1 周期よりも所定期間 α 短い第 2 期間の間、前記ブラックデータ信号を前記データラインに供給する段階と

を含むことを特徴とする請求項 18 に記載の液晶表示装置の駆動方法。

【請求項 21】

前記画素データ信号を発生する段階は、前記水平同期信号の 2 周期毎に前記画素データ信号を出力する段階を含むことを特徴とする請求項 18 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、高いフレーム周波数で映像信号の入力時間を十分に確保する液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

情報化社会が発展するにつれて、表示装置に対する要求も次第に多様な形態になっている。これに応じて、液晶表示装置 (LCD: Liquid Crystal Display device)、プラズマディスプレイパネル (PDP: Plasma Display Panel)、エレクトロルミネッセンスディスプレイ (ELD: Electro Luminescent Display) など、様々なフラットパネルディスプレイが研究開発されており、一部は既に様々な機器において表示装置として活用されている。

【0003】

その中でも液晶表示装置は、高画質、軽量、薄型、低消費電力などの利点を有するため、モバイル型の画像表示装置としてブラウン管 (CRT: Cathode Ray Tube) に代わって現在最も広く使用されている。液晶表示装置は、ノート型コンピュータのモニタなどのモバイル型の液晶表示装置としてだけでなく、テレビモニタなどとしても多様に開発されている。

【0004】

液晶表示装置は、液晶の光学的異方性と分極特性とを利用して画像を表示する。液晶に含まれる液晶分子は、所定の (または一定の) 方向に配列されている。また、液晶分子の配列方向は、液晶に電界を印加することによって制御することができる。従って、液晶分子の配列方向を任意に調節することにより、液晶分子の配列が変化し、光学的異方性によって液晶分子の配列方向に沿って光の偏光状態が変化して画像情報を表現することができる。

【0005】

液晶表示装置は、画像を表示する液晶パネルと、この液晶パネルを駆動するための駆動部とを備える。液晶パネルは、2つの基板間に形成された液晶層を備える。2つの基板のいずれか一方の基板において、複数のゲートラインと複数のデータラインとが交差することによって画定された各画素領域には、画素電極がそれぞれ形成される。この各画素電極は、2つの基板のいずれか一方の基板に形成される共通電極、及び液晶層の一部と共に液

10

20

30

40

50

晶セルを構成する。

【 0 0 0 6 】

また、ゲートラインとデータラインとが交差する各交差部には、薄膜トランジスタがそれぞれ形成される。薄膜トランジスタは、対応するゲートライン上のゲート信号（またはスキャン信号）に応答して、対応するデータラインから対応する画素電極に供給されるデータ信号を切り替える。

【 0 0 0 7 】

このような液晶パネル上の液晶セルは、複数のゲートラインがゲート信号によって順次イネーブルされる度に、複数のデータラインに供給されるデータ信号によって1ライン分ずつ順次アクセスされる。よって、各液晶セルの分子配列方向が調節されて映像データに応じた画像が表示される。

10

【 0 0 0 8 】

駆動部は、液晶パネル上のゲートラインを駆動するゲートドライバと、液晶パネル上のデータラインを駆動するデータドライバと、これらゲートドライバ及びデータドライバの駆動タイミングを制御するタイミングコントローラとを含む。さらに、液晶表示装置は、液晶パネルに光を照射するバックライトユニットを含む。

【 0 0 0 9 】

このように構成される液晶表示装置は、60Hzのフレーム周波数で液晶パネルを駆動する。つまり、液晶表示装置は、1秒に60枚の画像を液晶パネルに表示している。このように、60Hzのフレーム周波数で動画像が液晶パネル上に表示される場合、映像がぼけるようなモーションブラー（Motion Blur）現象が発生する。よって、60Hzのフレーム周波数で液晶パネルを駆動する液晶表示装置においては、良質の動画像を表示することが困難であった。

20

【 0 0 1 0 】

このような問題を解決するための方法として、120Hzのフレーム周波数で液晶パネルを駆動する液晶表示装置が提案されている。フレーム周波数が120Hzの液晶表示装置は、フレーム周波数が60Hzの液晶表示装置に比べて2倍の速度で画像を切り替える。

【 0 0 1 1 】

また、他の方法として、液晶パネル上の液晶セルをインパルス状に駆動する疑似インパルス（Pseudo-Impulse）駆動方式の液晶表示装置が提案されている。疑似インパルス駆動方式の液晶表示装置は、液晶パネル上の液晶セルにデータ信号とブラック信号とを交互に入力する。このような疑似インパルス駆動方式の液晶表示装置においても、液晶パネルは120Hzで駆動される。液晶パネル上の各液晶セルには、データ信号及びブラック信号が交互に60回ずつ記録される。つまり、疑似インパルス駆動方式においても、液晶パネルは120Hzで駆動される。

30

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

上記のように、液晶パネルが120Hzのフレーム周波数で駆動される場合、液晶パネル上の各ゲートラインがイネーブルされる期間は、フレーム周波数が60Hzの液晶表示装置に比べて半分に減る。よって、データ信号が薄膜トランジスタを介して液晶セルに入力される時間を十分に確保することは困難である。従って、フレーム周波数が120Hzの液晶表示装置によって表示される画像の画質が低下するという問題点があった。

40

【 0 0 1 3 】

本発明は、上記の問題点を解決するためになされたもので、高いフレーム周波数でも映像信号の入力時間を十分に確保することのできる液晶表示装置及びその駆動方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 4 】

50

上記目的を達成するための本発明に係る液晶表示装置は、液晶パネルと、液晶パネル上の複数のゲートラインに対して、水平同期信号の1周期に所定期間 α を加算した第1期間ずつイネーブルされる複数のゲート信号を供給するとともに、隣接する2つのゲートラインにそれぞれ供給されるゲート信号を互いに重畳させるゲートドライバと、液晶パネル上の複数のデータラインに対して、水平同期信号の周期毎に画素データ信号を供給するデータドライバとを備える。

【0015】

複数のゲートラインのうちの奇数番目のゲートラインに供給されるゲート信号と、奇数番目のゲートラインに隣接する次の偶数番目のゲートラインに供給されるゲート信号とは、所定期間 α の2倍の期間 2α の間、同時にイネーブルされる。

10

【0016】

奇数番目のゲート信号は、水平同期信号と同一位相を有し、偶数番目のゲート信号は、水平同期信号よりも所定期間 α だけ進んだ位相を有する。

【0017】

所定期間 α は、水平同期信号の走査期間よりも短く設定される。

【0018】

データドライバは、複数のデータラインに供給される画素データ信号の極性を、水平同期信号の2周期毎に反転させる。

【0019】

データドライバは、複数のデータラインに供給される画素データ信号の極性を、フレームの1周期毎に反転させる。

20

【0020】

また、本発明に係る液晶表示装置は、液晶パネルと、液晶パネル上の複数のゲートラインに対して、水平同期信号の1周期に所定期間 α を加算した第1期間ずつイネーブルされる複数のゲート信号を供給するとともに、隣接する2つのゲートラインにそれぞれ供給されるゲート信号を互いに重畳させるゲートドライバと、液晶パネル上の複数のデータラインに対して、画素データ信号を供給するデータドライバと、データドライバと液晶パネル上の複数のデータラインとの間に接続され、複数のデータラインに対して、ブラックデータ信号及びデータドライバからの画素データ信号を交互に供給する信号切替部とを備えたものである。

30

【0021】

隣接する2つのゲートラインにそれぞれ供給され、互いに重畳するゲート信号は、所定期間 α の2倍の期間 2α の間、同時にイネーブルされる。

【0022】

隣接する2つのゲートラインにそれぞれ供給され、互いに重畳するゲート信号のうち偶数番目のゲート信号は、フレームによって、以前及び次の奇数番目のゲート信号のいずれか一方と、期間 2α の間、同時にイネーブルされる。

【0023】

ゲート信号は、フレームによって、所定期間 α に相当する位相差を有する。

【0024】

奇数番目のゲート信号が水平同期信号と同一位相を有する場合、偶数番目のゲート信号は、水平同期信号よりも所定期間 α だけ進んだ位相を有し、偶数番目のゲート信号が水平同期信号と同一位相を有する場合、奇数番目のゲート信号は、水平同期信号よりも所定期間 α だけ進んだ位相を有する。

40

【0025】

信号切替部は、水平同期信号の1周期に所定期間 α を加算した第1期間の間、画素データ信号をデータラインに供給するとともに、水平同期信号の1周期よりも所定期間 α 短い第2期間の間、ブラックデータ信号をデータラインに供給する。

【0026】

データドライバは、水平同期信号の2周期毎に画素データ信号を出力する。

50

【 0 0 2 7 】

データドライバは、複数のデータラインに供給される画素データ信号の極性を、フレームの2周期毎に反転させる。

【 0 0 2 8 】

また、本発明に係る液晶表示装置の駆動方法は、液晶パネル上の複数のゲートラインに対して、水平同期信号の1周期に所定期間 α を加算した第1期間ずつイネーブルされる複数のゲート信号を供給するとともに、隣接する2つのゲートラインにそれぞれ供給されるゲート信号を互いに重畳させる段階と、液晶パネル上の複数のデータラインに対して、画素データ信号を供給する段階とを含むものである。

【 0 0 2 9 】

また、本発明に係る液晶表示装置の駆動方法は、液晶パネル上の複数のゲートラインに対して、水平同期信号の1周期に所定期間 α を加算した第1期間ずつイネーブルされる複数のゲート信号を供給するとともに、隣接する2つのゲートラインにそれぞれ供給されるゲート信号を互いに重畳させる段階と、液晶パネル上の複数のデータラインに対して、供給される画素データ信号を発生する段階と、ブラックデータ信号と画素データ信号とを交互に複数のデータラインに供給する段階とを含むものである。

【 発明の効果 】

【 0 0 3 0 】

前述したような構成によれば、本発明に係る液晶表示装置によれば、液晶パネル上の液晶セルの充電時間が、水平同期信号の周期より長くなるようにし、画素データ信号が、液晶パネル102上の液晶セルに正確に充電されるようにする。よって、本発明に係る液晶表示装置は、高いフレーム周波数でも高画質の画像を提供することができる。

【 0 0 3 1 】

また、本発明に係る液晶表示装置によれば、画素データ信号及びブラックデータ信号が、ライン及びフレームの変更によって交互に液晶パネル上の液晶セルに充電されるので、モーションブラー現象の発生及び残像の発生が最小化される。

また、画素データ信号の充電時間が、水平同期信号の周期より長くなり、画素データ信号が、正確に液晶パネル上の液晶セルに充電される。よって、本発明に係る液晶表示装置は、液晶パネル上に表示される画像の画質を高画質に改善するとともに、残像がほとんどない画像を提供することができる。

【 0 0 3 2 】

上記目的以外にも、本発明の他の目的、他の利点、及び他の特徴が、添付図面を参照した次の実施形態の詳細な説明により明白になるであろう。

【 発明を実施するための最良の形態 】

【 0 0 3 3 】

以下、添付図面を参照して本発明の各実施の形態について詳細に説明する。

【 0 0 3 4 】

実施の形態1.

図1は、本発明の実施の形態1に係る液晶表示装置の概略構成を説明するブロック図である。図1に示すように、本発明の実施の形態1に係る液晶表示装置は、液晶パネル102と、液晶パネル102上の複数のゲートラインGL1~GLnを駆動するゲートドライバ104と、液晶パネル102上の複数のデータラインDL1~DLmを駆動するデータドライバ106とを備える。液晶パネル102は、ゲートラインGL1~GLnとデータラインDL1~DLmとが交差することによって複数の画素領域に画定される。これら各画素領域には、図2に示すような画素が形成される。

【 0 0 3 5 】

図2に示す画素は、対応するデータラインDLと共通電極Vcomとの間に直列接続された薄膜トランジスタMT及び液晶セルCLCを備える。薄膜トランジスタMTは、対応するゲートラインGL上のゲート信号（またはスキャン信号）に応答して、対応するデータラインDLから対応する液晶セルCLCに供給されるデータ信号を切り替える。

10

20

30

40

50

【 0 0 3 6 】

図示していないが、液晶セル C L C は、2つの基板間に形成された液晶層と、2つの基板に分散されるか、または2つの基板のいずれか一方に全て形成された画素電極及び共通電極とを備える。また、画素電極が薄膜トランジスタ M T に接続される。

このように構成された液晶セル C L C は、薄膜トランジスタ M T からのデータ信号と共通電極 V c o m 上の共通電圧との電位差により、液晶分子の配列方向が変えられる。これにより、液晶セル C L C を通過する光量が変わって映像データに応じた画像が液晶パネル 1 0 2 上に表示される。

【 0 0 3 7 】

液晶パネル 1 0 2 には、複数の画素領域を画定する複数のゲートライン G L 1 ~ G L n とデータライン D L 1 ~ D L m とが配列され、その交差部には、薄膜トランジスタ T F T と、薄膜トランジスタ T F T に電氣的に接続された画素電極 1 1 0 とが形成される。液晶パネル 1 0 2 は、2つのガラス基板と、2つのガラス基板間に形成された液晶層とからなる。

【 0 0 3 8 】

図 1 に示すように、ゲートドライバ 1 0 4 は、液晶パネル 1 0 2 上のゲートライン G L 1 ~ G L n を順次イネーブル (E n a b l e) させる複数のゲート信号を発生する。複数のゲート信号は、図 4 に示すように、それぞれ1つの水平同期信号の1周期 1 H よりも所定期間 α だけ長い幅を有する。

これにより、ゲートライン G L 1 ~ G L n は、それぞれ水平同期信号の1周期 1 H よりも所定期間 α だけ長い第1期間 (1 H + α) の間イネーブルされる。所定期間 α は、水平同期信号のうち走査期間よりも短く設定される。

【 0 0 3 9 】

複数のゲート信号のうち、奇数番目のゲート信号は、水平同期信号と同一位相を有するが、偶数番目のゲート信号は、水平同期信号よりも所定期間 α だけ進んだ位相を有する。つまり、奇数番目のゲート信号とその次の偶数番目のゲート信号とは、所定期間 α の2倍の期間 2 α の間、重畳する。

これにより、液晶パネル 1 0 2 上の各奇数番目のゲートライン G L 1、G L 3、...、G L n - 1 では、水平同期信号間の境界部において、期間 2 α の間は、隣接する次の偶数番目のゲートライン G L 2、G L 4、...、G L n と同時にイネーブルされるが、水平同期信号の残りの第2期間 (1 H - α) は、排他的にイネーブルされる。

【 0 0 4 0 】

データドライバ 1 0 6 は、液晶パネル 1 0 2 上のゲートライン G L 1 ~ G L n のいずれか1つがイネーブルされる度に、水平同期信号の1周期 1 H の間、1ライン分のデータ信号を複数のデータライン D L 1 ~ D L m に供給し、1ライン分の液晶セル C L C は、データ信号の電圧を充電する。

【 0 0 4 1 】

また、データドライバ 1 0 6 は、水平同期信号の1周期 1 H 毎に1ライン分の画素データを入力し、その入力された1ライン分の画素データをアナログ形態の画素データ信号に変換する。この変換された画素データ信号は、液晶パネル 1 0 2 上のデータライン D L 1 ~ D L m にそれぞれ供給される。1ライン分の画素データには、赤色 R、緑色 G、及び青色 B の画素データが含まれる。よって、1ライン分の画素データ信号も赤色 R、緑色 G、及び青色 B の画素データ信号を含む。

また、データドライバ 1 0 6 から出力される画素データ信号は、水平同期信号の2周期 2 H 毎に、共通電圧 V c o m を基準として正極性及び負極性が反転する。つまり、液晶パネル 1 0 2 は、2ドット反転方式で駆動される。

【 0 0 4 2 】

このように、液晶パネル 1 0 2 上の垂直方向の液晶セル C L C (すなわち、1カラムの液晶セル) には、垂直方向で、かつ2つの画素領域毎に相反する極性の画素データ信号が充電される。同じ極性の画素データ信号が充電される垂直方向の隣接する液晶セル C L C

は、相手の液晶セル C L C に供給される画素データ信号を、所定期間 α の間、さらに充電する。

【 0 0 4 3 】

奇数番目のゲートライン G L 1、G L 3、...、G L n - 1 上の各液晶セル C L C は、水平同期信号の 1 周期 1 H の間、各液晶セル C L C に供給される画素データ信号を充電した後、追加期間である所定期間 α の間、隣接する偶数番目のゲートライン G L 2、G L 4、...、G L n に供給される画素データ信号を充電する。

【 0 0 4 4 】

一方、偶数番目のゲートライン G L 2、G L 4、...、G L n 上の各液晶セル C L C は、まず、追加期間である所定期間 α の間に、先行の奇数番目のゲートライン G L 1、G L 3、...、G L n - 1 上の液晶セル C L C に供給される画素データ信号を充電した後、水平同期信号の 1 周期 1 H の間、各液晶セル C L C に供給される画素データ信号を充電する。

【 0 0 4 5 】

これにより、液晶パネル 1 0 2 上の液晶セル C L C について、高いフレーム周波数でも画素データ信号を充電するのに十分な時間が確保される。

この結果、本発明の実施の形態 1 に係る液晶表示装置は、高いフレーム周波数の映像データによって表示される画像の画質を向上させることができる。

【 0 0 4 6 】

図 1 の液晶表示装置は、ゲートドライバ 1 0 4 及びデータドライバ 1 0 6 の駆動タイミングを制御するタイミングコントローラ 1 0 8 を備える。タイミングコントローラ 1 0 8 は、図示していない外部のシステム（例えば、コンピュータシステムのグラフィックモジュール、またはテレビシステムの映像復調モジュール）からの垂直同期信号 V s y n c、水平同期信号 H s y n c、データイネーブル信号 D E、及びクロック信号 C L K を利用し、ゲートドライバ 1 0 4 の駆動タイミング制御のためのゲート制御信号 G C S と、データドライバ 1 0 6 の駆動タイミング制御のためのデータ制御信号 D C S とを発生する。

【 0 0 4 7 】

データ制御信号 D C S には、ソースイネーブル信号 S O E、クロック信号 C L K、及び極性反転信号 P O L が含まれる。極性反転信号 P O L は、水平同期信号の 2 周期 2 H 毎に極性が反転し、画素データ信号の極性が、2 つのゲートライン G L 1 ~ G L n 毎に反転するようになっている。また、極性反転信号 P O L は、フレーム毎に反転し、液晶パネル 1 0 2 上の液晶セル C L C に供給される画素データ信号の極性が反転するようになっている。

【 0 0 4 8 】

例えば、極性反転信号 P O L が、奇数番目のフレームでは、特定論理（すなわち、ハイ論理レベル）を有するが、偶数番目のフレームでは、基底論理（例えば、ロー論理レベル）を有するとする。このとき、奇数番目のフレームで発生する画素データ信号は、図 3 A に示すように、液晶パネル 1 0 2 の左側上段から水平及び垂直方向に進むことにより、2 つの画素（または液晶セル C L C）毎に正極性及び負極性が交互に反転する。反対に、偶数番目のフレームでの画素データ信号は、図 3 B のように、液晶パネル 1 0 2 の左側上段から水平及び垂直方向に進むことにより、2 つの画素（または液晶セル C L C）毎に負極性及び正極性が交互に反転する。

【 0 0 4 9 】

ゲート制御信号 G C S は、第 1 及び第 2 ゲートスタートパルス G S P 1、G S P 2、並びに少なくとも 2 つのシフトクロックを含む。第 1 ゲートスタートパルス G S P 1 は、奇数番目のゲートライン G L 1、G L 3、...、G L n - 1 に供給されるゲート信号を発生するために使用され、第 2 ゲートスタートパルス G S P 2 は、偶数番目のゲートライン G L 2、G L 4、...、G L n に供給されるゲート信号を発生するために使用される。

【 0 0 5 0 】

また、第 1 ゲートスタートパルス G S P 1 は、水平同期信号 H s y n c と位相が同一であり、第 2 ゲートスタートパルス G S P 2 は、第 1 ゲートスタートパルス G S P 1 の次に

続く水平同期信号 $Hsync$ よりも所定期間 α だけ進んだ位相を有する。つまり、第 2 ゲートスタートパルス $GSP2$ は、第 1 ゲートスタートパルス $GSP1$ に比べて、水平同期信号の 1 周期 $1H$ から所定期間 α が減算された第 2 期間 ($1H - \alpha$) だけ遅れた位相を有する。

【0051】

これにより、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ に供給される各ゲート信号と、隣接する次の偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn に供給される各ゲート信号とは、期間 2α の間、同時にイネーブルされる。よって、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ 上の各液晶セル CLC は、水平同期信号の 1 周期 $1H$ の間、各液晶セル CLC に供給される画素データ信号を充電した後、追加期間

10

【0052】

一方、偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn 上の各液晶セル CLC は、まず、追加期間である所定期間 α の間に、先行の奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ 上の液晶セル CLC に供給される画素データ信号を充電した後、水平同期信号の 1 周期 $1H$ の間、各液晶セル CLC に供給される画素データ信号を充電する。

【0053】

ここで、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ 上の液晶セル CLC に供給される画素データ信号と、偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn 上

20

の液晶セル CLC に供給される画素データ信号とは、同じ極性を有する。
従って、液晶パネル 102 上の液晶セル CLC について、高いフレーム周波数でも画素データ信号を充電するのに十分な時間が確保される。

この結果、本発明の実施の形態 1 に係る液晶表示装置は、高いフレーム周波数の映像データによって表示される画像の画質を向上させることができる。

【0054】

また、タイミングコントローラ 108 は、外部のシステムから赤色 R 、緑色 G 、及び青色 B の画素データをフレーム単位で入力する。1 フレーム単位の赤色 R 、緑色 G 、及び青色 B の画素データは、タイミングコントローラ 108 によって 1 ライン分ずつ並び替えられる。このように並び替えられたフレーム単位の赤色 R 、緑色 G 、及び青色の画素データ

30

は、1 ライン分ずつデータドライバ 106 に供給される。

【0055】

すると、データドライバ 106 は、水平同期信号の 1 周期 $1H$ 毎に 1 ライン分の赤色 R 、緑色 G 、及び青色 B の画素データを、アナログ形態の赤色 R 、緑色 G 、及び青色 B の画素データ信号に変換する。このように変換された 1 ライン分の赤色 R 、緑色 G 、及び青色 B の画素データ信号は、水平同期信号の 1 周期 $1H$ の間、液晶パネル 102 上の複数のデータライン $DL1 \sim DLM$ をそれぞれ介して、1 ライン分の液晶セル CLC にそれぞれ充電される。

【0056】

このように、本発明の実施の形態 1 に係る液晶表示装置によれば、液晶パネル 102 上

40

【0057】

実施の形態 2 .

図 5 は、本発明の実施の形態 2 に係る液晶表示装置の概略を説明するブロック図である。図 5 の液晶表示装置は、液晶パネル 202 と、液晶パネル 202 上の複数のゲートライン $GL1 \sim GLn$ を駆動するゲートドライバ 204 と、液晶パネル 202 上の複数のデータライン $DL1 \sim DLM$ を駆動するデータドライバ 206 と、データドライバ 204 と液晶パネル 202 上のデータライン $DL1 \sim DLM$ との間に接続された信号切替部 208 と

50

を備える。液晶パネル 202 は、図 1 に示す液晶パネル 102 と同じ構成を有する。従って、液晶パネル 202 の構成、動作、及び作用効果は、図 1 の液晶パネル 102 についての説明により容易に理解されるので、その説明は省略する。

【0058】

ゲートドライバ 204 は、液晶パネル 202 上のゲートライン $GL1 \sim GLn$ を順次イネーブル (Enable) させる複数のゲート信号を発生する。複数のゲート信号は、図 6A 及び図 6B に示すように、それぞれ 1 つの水平同期信号の 1 周期 $1H$ よりも所定期間 α だけ長い幅を有する。

これにより、ゲートライン $GL1 \sim GLn$ は、それぞれ水平同期信号の 1 周期 $1H$ よりも所定期間 α だけ長い第 1 期間 ($1H + \alpha$) の間イネーブルされる。所定期間 α は、水平同期信号のうち走査期間よりも短く設定される。

10

【0059】

ここで、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ に供給されるゲート信号と、偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn に供給されるゲート信号とは、奇数番目のフレーム (すなわち、奇数番目の垂直同期期間) と偶数番目のフレーム (すなわち、偶数番目の垂直同期期間) とによって異なる位相を有する。

【0060】

図 6A に示すように、奇数番目のフレームでは、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ 上のゲート信号は、水平同期信号と同一位相を有するが、偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn 上のゲート信号は、水平同期信号よりも所定期間 α だけ進んだ位相を有する。

20

つまり、奇数番目のフレームでは、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ 上の各ゲート信号と、直後に発生する偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn 上のゲート信号とは、所定期間 α の 2 倍の期間 2α だけ重畳する。

【0061】

奇数番目のゲート信号と直後の偶数番目のゲート信号とは、水平同期信号の 2 周期 $2H$ だけを占有する。これにより、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ と、次に隣接する偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn とは、水平同期信号間の境界部の付近で、期間 2α だけ同時にイネーブルされる。

【0062】

30

また、図 6B に示すように、偶数番目のフレームでは、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ 上のゲート信号は、水平同期信号よりも所定期間 α だけ進んだ位相を有するが、偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn 上のゲート信号は、水平同期信号と同一位相を有する。

つまり、偶数番目のフレームでは、偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 $GLn-2$ 上の各ゲート信号と、直後に発生する奇数番目のゲートライン $GL3$ 、 $GL5$ 、...、 $GLn-1$ 上のゲート信号とは、期間 2α だけ重畳する。

なお、偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 $GLn-2$ 上の各ゲート信号は、直前の奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-3$ 上のゲート信号と、期間 2α だけ重畳してもよい。

40

【0063】

偶数番目のゲート信号と直後に発生する奇数番目のゲート信号とは、水平同期信号の 2 周期 $2H$ だけを占有する。これにより、偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 $GLn-2$ と、次に隣接する奇数番目のゲートライン $GL3$ 、 $GL5$ 、...、 $GLn-1$ とは、水平同期信号間の境界部の付近で、期間 2α だけ同時にイネーブルされる。

この場合、第 1 のゲートライン $GL1$ 上に供給されるゲート信号は、垂直走査パルスに比べて所定期間 α だけ進んだ位相を有するが、最後のゲートライン GLn に供給されるゲート信号は、垂直走査パルスの終了時点より所定期間 α だけ長くなる。

【0064】

データドライバ 206 は、液晶パネル 202 上のゲートライン $GL1 \sim GLn$ のうち、

50

奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ 、または偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn のいずれか一方がイネーブルされる度に、水平同期信号の1周期 $1H$ よりも所定期間 α だけ長い第1期間 ($1H + \alpha$) 以上、または水平同期信号の2周期 $2H$ の間、1ライン分の画素データ信号を複数のデータライン $DL1 \sim DLm$ に供給し、1ライン分の液晶セル CLC は、画素データ信号の電圧を充電する。

【0065】

つまり、奇数番目のフレーム（すなわち、奇数番目の垂直走査区間）では、データドライバ206は、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ がイネーブルされるときに、1ライン分の画素データ信号を出力する。また、偶数番目のフレーム（すなわち、偶数番目の垂直走査区間）では、データドライバ206は、偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn がイネーブルされるときに、1ライン分の画素データ信号を出力する。

10

【0066】

また、データドライバ206は、水平同期信号の2周期 $2H$ 毎に1ライン分の画素データを入力し、その入力された1ライン分の画素データをアナログ形態の画素データ信号に変換する。この変換された画素データ信号は、信号切替部208を介して液晶パネル202上のデータライン $DL1 \sim DLm$ にそれぞれ供給される。1ライン分の画素データには、赤色 R 、緑色 G 、及び青色 B の画素データが含まれる。よって、1ライン分の画素データ信号も赤色 R 、緑色 G 、及び青色 B の画素データ信号を含む。

また、データドライバ206から出力される画素データ信号は、水平同期信号の2周期 $2H$ 毎に、共通電圧 V_{com} を基準として正極性及び負極性が反転する。

20

【0067】

信号切替部208は、ブラックデータ信号 BD とデータドライバ206からの画素データ信号とを交互に液晶パネル202上のデータライン $DL1 \sim DLm$ に供給する。信号切替部208の信号選択は、ソースイネーブル信号 SOE によって決定される。ソースイネーブル信号 SOE は、図6A及び図6Bに示すように、画素データ信号の選択を指定する基底論理（例えば、ロー論理レベル）区間と、ブラックデータ信号 BD の選択を指定する特定論理（例えば、ハイ論理レベル）区間とを繰り返し有する。

【0068】

ソースイネーブル信号 SOE において、基底論理区間は、水平同期信号の1周期 $1H$ に所定期間 α が付加された第1期間 ($1H + \alpha$) に該当する幅を有し、特定論理区間は、水平同期信号の1周期 $1H$ よりも所定期間 α だけ少ない第2期間 ($1H - \alpha$) に該当する幅を有する。また、ソースイネーブル信号 SOE の特定論理区間は、フレームによって垂直走査期間に含まれる奇数番目または偶数番目の水平同期信号と同一位相を有する。

30

【0069】

図6Aに示すように、奇数番目のフレーム（すなわち、奇数番目の垂直走査期間）においては、ソースイネーブル信号 SOE の基底論理区間は、奇数番目の水平同期信号と同一位相を有する。信号切替部208は、奇数番目の水平同期信号の1周期 $1H$ 、及び次の偶数番目の水平同期信号の最初の所定期間 α は、データドライバ206からの画素データ信号を液晶パネル202上のデータライン $DL1 \sim DLm$ に供給する。それに対して、次の偶数番目の水平同期信号の最初の所定期間 α を除いた残りの第2期間 ($1H - \alpha$) は、ブラックデータ信号を液晶パネル202上のデータライン $DL1 \sim DLm$ に供給する。

40

【0070】

また、図6Aの V_{data} のように、液晶パネル202上の奇数番目のライン上の液晶セル CLC は、第1期間 ($1H + \alpha$) の間、画素データ信号を充電するが、次の偶数番目のライン上の液晶セル CLC は、第2期間 ($1H - \alpha$) の間、ブラックデータ信号 BD を充電する。液晶パネル202上の奇数番目のラインには、映像データによる画像が表示されるが、偶数番目のラインには、ブラックデータによる画像が表示される。これにより、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ 上の液晶セル CLC には、画素データ信号を正確に充電できる。

50

【 0 0 7 1 】

奇数番目のライン上の液晶セル C L C に充電される画素データ信号は、水平及び垂直方向に進むにつれて正極性及び負極性が交互に反転する。また、奇数番目のライン上の液晶セル C L C に充電される画素データ信号は、フレームによって正極性及び負極性が交互に反転する。

例えば、 $4k + 1$ 番目のフレームでは、最初の奇数番目のラインの左側の 2 つの液晶セル C L C に正極性の画素データ信号が充電され、右側及び下方に進むにつれて負極性及び正極性の画素データ信号が残りの液晶セル C L C に交互に充電される。また、 $4k + 3$ 番目のフレームでは、最初の奇数番目のラインの左側の 2 つの液晶セル C L C に負極性の画素データ信号が充電され、右側及び下方に進むにつれて正極性及び負極性の画素データ信号が残りの液晶セル C L C に交互に充電される。

10

【 0 0 7 2 】

図 6 B に示すように、偶数番目のフレーム（すなわち、偶数番目の垂直走査期間）においては、ソースイネーブル信号 S O E の基底論理区間は、偶数番目の水平同期信号と同一位相を有する。信号切替部 2 0 8 は、偶数番目の水平同期信号の 1 周期 $1H$ 、及び次の奇数番目の水平同期信号の最初の所定期間 α は、データドライバ 2 0 6 からの画素データ信号を液晶パネル 2 0 2 上のデータライン D L 1 ~ D L m に供給する。それに対して、最初の所定期間 α を除いた次の奇数番目の水平同期信号の残りの第 2 期間（ $1H - \alpha$ ）は、ブラックデータ信号を液晶パネル 2 0 2 上のデータライン D L 1 ~ D L m に供給する。

【 0 0 7 3 】

20

また、図 6 B の V d a t a のように、液晶パネル 2 0 2 上の偶数番目のライン上の液晶セル C L C は、第 1 期間（ $1H + \alpha$ ）の間、画素データ信号を充電するが、次の奇数番目のライン上の液晶セル C L C は、第 2 期間（ $1H - \alpha$ ）の間、ブラックデータ信号 B D を充電する。液晶パネル 2 0 2 上の偶数番目のラインには、映像データによる画像が表示されるが、奇数番目のラインには、ブラックデータによる画像が表示される。これにより、偶数番目のゲートライン G L 2、G L 4、...、G L n 上の液晶セル C L C には、画素データ信号を正確に充電できる。

【 0 0 7 4 】

偶数番目のライン上の液晶セル C L C に充電される画素データ信号は、水平及び垂直方向に進むにつれて正極性及び負極性が交互に反転する。また、偶数番目のライン上の液晶セル C L C に充電される画素データ信号は、フレームによって正極性及び負極性が交互に反転する。

30

例えば、 $4k + 2$ 番目のフレームでは、最初の偶数番目のラインの左側の 2 つの液晶セル C L C に正極性の画素データ信号が充電され、右側及び下方に進むにつれて負極性及び正極性の画素データ信号が残りの液晶セル C L C に交互に充電される。また、 $4k + 0$ 番目のフレームでは、最初の偶数番目のラインの左側の 2 つの液晶セル C L C に負極性の画素データ信号が充電され、右側及び下方に進むにつれて正極性及び負極性の画素データ信号が残りの液晶セル C L C に交互に充電される。

【 0 0 7 5 】

図 5 の液晶表示装置は、ゲートドライバ 2 0 4、データドライバ 2 0 6、及び信号切替部 2 0 8 の駆動タイミングを制御するタイミングコントローラ 2 1 0 を備える。タイミングコントローラ 2 1 0 は、図示していない外部のシステム（例えば、コンピュータシステムのグラフィックモジュール、またはテレビシステムの映像復調モジュール）からの垂直同期信号 V s y n c、水平同期信号 H s y n c、データイネーブル信号 D E、及びクロック信号 C L K を利用し、ゲートドライバ 2 0 4 の駆動タイミング制御のためのゲート制御信号 G C S と、データドライバ 2 0 6 及び信号切替部 2 0 8 の駆動タイミング制御のためのデータ制御信号 D C S とを発生する。

40

【 0 0 7 6 】

データ制御信号 D C S には、ソースイネーブル信号 S O E、クロック信号 C L K、及び極性反転信号 P O L が含まれる。極性反転信号 P O L は、水平同期信号の 2 周期 $2H$ 毎に

50

極性が反転し、画素データ信号の極性が、2つのゲートライン $GL1 \sim GLn$ 毎に反転するようになっている。また、極性反転信号 POL は、フレーム毎に位相が 90° ずつ遅れて、液晶パネル202上の液晶セル CLC に供給される画素データ信号の極性が反転するようになっている。

【0077】

図7に示すように、極性反転信号 POL は、 $4k+1$ 番目のフレームでは、 $POL1$ と同じ波形を、 $4k+2$ 番目のフレームでは、 $POL2$ と同じ波形を、 $4k+3$ 番目のフレームでは、 $POL3$ と同じ波形を、 $4k+0$ 番目のフレームでは、 $POL4$ と同じ波形をそれぞれ有する。

従って、 $4k+1$ 及び $4k+3$ 番目のフレームでは、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ 及び次に隣接する偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn がイネーブルされるとき、正極性または負極性の画素データ信号がデータドライバ206から出力される。

10

【0078】

例えば、 $4k+1$ 番目のフレームで最初の奇数番目のゲートライン上の左側の2つの液晶セル CLC に正極性の画素データ信号が供給されると、 $4k+3$ 番目のフレームでは、最初の奇数番目のゲートライン上の左側の2つの液晶セル CLC に負極性の画素データ信号が供給される。すなわち、 $4k+1$ 及び $4k+3$ 番目のフレームでは、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ 及び次に隣接する偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn がイネーブルされるとき、正極性または負極性の画素データ信号がデータドライバ206から出力される。

20

【0079】

例えば、 $4k+2$ 番目のフレームで最初の偶数番目のゲートライン上の左側の2つの液晶セル CLC に正極性の画素データ信号が供給されると、 $4k+0$ 番目のフレームでは、最初の偶数番目のゲートライン上の左側の2つの液晶セル CLC に負極性の画素データ信号が供給される。

このような極性反転信号 POL は、タイミングコントローラ210に設置された極性信号発生部210Aで発生してデータドライバ206に供給される。ソースイネーブル信号 SOE の説明は、信号切替部208についての記載から十分に理解できるので省略する。

【0080】

ゲート制御信号 GCS は、第1及び第2ゲートスタートパルス $GSP1$ 、 $GSP2$ 、並びに少なくとも2つのシフトクロックを含む。第1ゲートスタートパルス $GSP1$ は、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ に供給されるゲート信号を発生するために使用され、第2ゲートスタートパルス $GSP2$ は、偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn に供給されるゲート信号を発生するために使用される。これら第1及び第2ゲートスタートパルス $GSP1$ 、 $GSP2$ は、奇数番目のフレームか、偶数番目のフレームかによって位相が異なる。

30

【0081】

奇数番目のフレームでは、図6Aに示すように、第1ゲートスタートパルス $GSP11$ は、水平同期信号 $Hsync$ と位相が同一であり、第2ゲートスタートパルス $GSP12$ は、第1ゲートスタートパルス $GSP11$ の次に続く水平同期信号 $Hsync$ よりも所定期間 α だけ進んだ位相を有する。つまり、第2ゲートスタートパルス $GSP12$ は、第1ゲートスタートパルス $GSP11$ に比べて、水平同期信号の1周期 $1H$ から所定期間 α が減算された第2期間 $(1H - \alpha)$ だけ遅れた位相を有する。

40

【0082】

これにより、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ に供給される各ゲート信号と、隣接する次の偶数番目のゲートライン $GL2$ 、 $GL4$ 、...、 GLn に供給される各ゲート信号とは、期間 2α の間、同時にイネーブルされる。これにより、奇数番目のゲートライン $GL1$ 、 $GL3$ 、...、 $GLn-1$ 上の各液晶セル CLC は、水平同期信号の1周期 $1H$ と、追加期間である所定期間 α との間、画素データ信号を充電する。

50

【 0 0 8 3 】

一方、偶数番目のゲートライン GL_2 、 GL_4 、...、 GL_n 上の各液晶セル CLC は、まず、期間 2α の間に、先行の奇数番目のゲートライン GL_1 、 GL_3 、...、 GL_{n-1} 上の液晶セル CLC に供給される画素データ信号を充電した後、残りの第2期間 ($1H - \alpha$) の間、各液晶セル CLC に供給されるブラックデータ信号を充電する。

【 0 0 8 4 】

また、偶数番目のフレームでは、図6Bのように、第1ゲートスタートパルス GSP_2 1は、第1ゲートスタートパルス GSP_2 1の次に続く水平同期信号 $Hsync$ よりも所定期間 α だけ進んだ位相を有し、第2ゲートスタートパルス GSP_2 2は、水平同期信号 $Hsync$ と同一位相を有する。つまり、第2ゲートスタートパルス GSP_2 2は、第1ゲートスタートパルス GSP_2 1に比べて、水平同期信号の1周期 $1H$ から所定期間 α が減算された第2期間 ($1H - \alpha$) だけ遅れた位相を有する。

10

【 0 0 8 5 】

これにより、偶数番目のゲートライン GL_2 、 GL_4 、...、 GL_{n-2} に供給される各ゲート信号と、隣接する次の奇数番目のゲートライン GL_3 、 GL_5 、...、 GL_{n-1} に供給される各ゲート信号とは、期間 2α の間、同時にイネーブルされる。これにより、偶数番目のゲートライン GL_2 、 GL_4 、...、 GL_{n-2} 上の各液晶セル CLC は、水平同期信号の1周期 $1H$ と、追加期間である所定期間 α との間、画素データ信号を充電する。

【 0 0 8 6 】

一方、奇数番目のゲートライン GL_3 、 GL_5 、...、 GL_{n-1} 上の各液晶セル CLC は、まず、期間 2α の間に、先行の偶数番目のゲートライン GL_2 、 GL_4 、...、 GL_n - 2 上の液晶セル CLC に供給される画素データ信号を充電した後、残りの第2期間 ($1H - \alpha$) の間、各液晶セル CLC に供給されるブラックデータ信号を充電する。

20

【 0 0 8 7 】

この場合、最初の奇数番目のゲートライン GL_1 上の液晶セル CLC は、第1期間 ($1H + \alpha$) の間、信号切替部 208 からのブラックデータ信号 BD を充電する。また、最後の偶数番目のゲートライン GL_n 上の液晶セル CLC は、第1期間 ($1H + \alpha$) の間、データドライバ 206 から信号切替部 208 を介して供給される画素データ信号を充電する。

【 0 0 8 8 】

また、タイミングコントローラ 210 は、外部のシステムから赤色 R 、緑色 G 、及び青色 B の画素データをフレーム単位で入力する。1フレーム単位の赤色 R 、緑色 G 、及び青色 B の画素データは、タイミングコントローラ 210 によって1ライン分ずつ並び替えられると共に、2つのフレームに分割される。この場合、分割された奇数番目のフレームには、奇数番目のゲートライン GL_1 、 GL_3 、...、 GL_{n-1} 上の液晶セル CLC に供給される画素データが含まれ、偶数番目のフレームには、偶数番目のゲートライン GL_2 、 GL_4 、...、 GL_n 上の液晶セル CLC に供給される画素データが含まれる。

30

【 0 0 8 9 】

このように並び替えられたフレーム単位の赤色 R 、緑色 G 、及び青色 B の画素データは、水平同期信号の2周期 $2H$ 毎に、1ライン分ずつデータドライバ 206 に供給される。すると、データドライバ 206 は、水平同期信号の1周期 $1H$ 毎に1ライン分の赤色 R 、緑色 G 、及び青色 B の画素データを、アナログ形態の赤色 R 、緑色 G 、及び青色 B の画素データ信号に変換する。このように変換された1ライン分の赤色 R 、緑色 G 、及び青色 B の画素データ信号は、水平同期信号の1周期 $1H$ と、所定期間 α とを加算した第1期間 ($1H + \alpha$) の間、信号切替部 208 及び液晶パネル 202 上の複数のデータライン $DL_1 \sim DL_m$ を介して、1ライン分の液晶セル CLC にそれぞれ充電される。

40

【 0 0 9 0 】

このように、本発明の実施の形態2に係る液晶表示装置によれば、画素データ信号及びブラックデータ信号が、ライン及びフレームの変更によって交互に液晶パネル 202 上の液晶セル CLC に充電されるので、モーションブラー現象の発生及び残像の発生が最小化

50

される。

また、画素データ信号の充電時間が、水平同期信号の1周期1Hよりも長くなり、画素データ信号が、正確に液晶パネル202上の液晶セルCLCに充電される。よって、液晶パネル202上に表示される画像の画質を高画質に改善することができる。

【0091】

図8は、図5の信号切替部208を詳細に説明する説明図である。図8に示すように、信号切替部208は、液晶パネル202上のデータラインDL1~DLmにそれぞれ接続された第1~第m制御用スイッチSW1~SWmを備える。

第1~第m制御用スイッチSW1~SWmの基準接点は、液晶パネル202上のデータラインDL1~DLmにそれぞれ接続される。第1~第m制御用スイッチSW1~SWmの第1選択接点は、全てデータドライバ206に接続される。第1~第m制御用スイッチSW1~SWmの第2選択接点は、タイミングコントローラ210からのブラックデータ信号を共通に入力する。

10

【0092】

このような第1~第m制御用スイッチSW1~SWmは、タイミングコントローラ210からのソースイネーブル信号SOEに応答し、ブラックデータ信号BD及びデータドライバ206からの画素データ信号を選択的に液晶パネル202上のデータラインDL1~DLmに向けて伝送する。例えば、ソースイネーブル信号SOEが基底論理(すなわち、ロー論理レベル)である場合、第1~第m制御用スイッチSW1~SWmは、データドライバ206からの画素データ信号を液晶パネル202上のデータラインDL1~DLmに向けて伝送する。反対に、ソースイネーブル信号SOEが特定論理(すなわち、ハイ論理レベル)である場合、第1~第m制御用スイッチSW1~SWmは、タイミングコントローラ210からのブラックデータ信号BDを液晶パネル202上のデータラインDL1~DLmに供給する。

20

【0093】

図9は、図5の極性信号発生部210Aを詳細に説明するブロック図である。図9の極性信号発生部210Aは、極性信号発生器300と、第1~第3遅延器302、304、306と、極性信号発生器300及び第1~第3遅延器302、304、306からの第1~第4極性反転信号POL1~POL4を入力する選択器310と、垂直同期信号Vsyncに응答する循環カウンタ320とを備える。

30

【0094】

極性信号発生器300は、水平同期信号Hsyncを1/4の比率で周波数分周して、図7に示すような第1極性信号POL1を発生する。第1~第3遅延器302、304、306は、極性信号発生器300に従属接続される。また、第1~第3遅延器302、304、306は、前段の極性信号発生器300、第1遅延器302または第2遅延器304からの極性反転信号を水平同期信号の1周期1H毎に遅延させる。

【0095】

つまり、第1遅延器302は、極性信号発生器300からの第1極性反転信号POL1を水平同期信号の1周期1H遅延させて、図7のような第2極性反転信号POL2を発生する。第2遅延器304は、第1遅延器302からの第2極性反転信号POL2を再び水平同期信号の1周期1H遅延させて、図7のような第3極性反転信号POL3を発生する。第3遅延器306は、第2遅延器304からの第3極性反転信号POL3を再び水平同期信号の1周期1H遅延させて、図7のような第4極性反転信号POL4を発生する。選択器310は、極性信号発生器300及び第1~第3遅延器302、304、306からの第1~第4極性反転信号POL1~POL4のいずれか1つを選択して、図5に示すデータドライバ206に供給する。

40

【0096】

循環カウンタ320は、垂直同期信号Vsyncの立ち上がりまたは立ち下がりエッジのいずれか一方が入力される度に「1」ずつ加算カウントし、そのカウントデータを選択制御信号として選択器310に供給する。循環カウンタ320から出力されるカウントデ

50

ータは、「0」から「3」までの値を循環・反復して取る。

これにより、循環カウンタ320からのカウントデータに応答する選択器310は、 $4k+1$ 番目のフレームでは、第1極性反転信号POL1を、 $4k+2$ 番目のフレームでは、第2極性反転信号POL2を、 $4k+3$ 番目のフレームでは、第3極性反転信号POL3を、 $4k+0$ 番目のフレームでは、第4極性反転信号POL4を図5に示すデータドライバ206に供給する。

【0097】

前述したように、本発明の実施の形態2に係る液晶表示装置によれば、液晶パネル202上の液晶セルCLCの充電時間が、水平同期信号の1周期1Hよりも長くなるようにし、画素データ信号が、液晶パネル202上の液晶セルCLCに正確に充電されるようにする。よって、本発明の実施の形態2に係る液晶表示装置は、高いフレーム周波数でも高画質の画像を提供することができる。

10

【0098】

また、本発明の実施の形態2に係る液晶表示装置によれば、画素データ信号及びブラックデータ信号が、ライン及びフレームの変更によって交互に液晶パネル202上の液晶セルCLCに充電されるので、モーションブラー現象の発生及び残像の発生が最小化される。

また、画素データ信号の充電時間が、水平同期信号の1周期1Hよりも長くなり、画素データ信号が、正確に液晶パネル202上の液晶セルCLCに充電される。よって、本発明の実施の形態2に係る液晶表示装置は、液晶パネル202上に表示される画像の画質を高画質に改善するとともに、残像がほとんどない画像を提供することができる。

20

【0099】

以上のように、本発明を図面に示す各実施の形態に限定して説明したが、本発明の属する技術分野における通常の知識を有する者であれば、本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であろう。従って、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるのではなく、特許請求の範囲により定められるべきである。

【図面の簡単な説明】

【0100】

【図1】本発明の実施の形態1に係る液晶表示装置の概略構成を説明するブロック図である。

30

【図2】図1の液晶パネルに形成された画素を詳細に説明する説明図である。

【図3A】図1の液晶パネルにおいて、2ドット反転方式で奇数番目のフレームに映像データが充電された場合の極性分布を示す説明図である。

【図3B】図1の液晶パネルにおいて、2ドット反転方式で偶数番目のフレームに映像データが充電された場合の極性分布を示す説明図である。

【図4】図1の液晶表示装置で発生するゲート信号及び画素データ信号を説明する波形図である。

【図5】本発明の実施の形態2に係る液晶表示装置の概略構成を説明するブロック図である。

40

【図6A】奇数番目のフレームについて、図5の液晶表示装置の各部分から出力される信号を説明する波形図である。

【図6B】偶数番目のフレームについて、図5の液晶表示装置の各部分から出力される信号を説明する波形図である。

【図7】図5の極性信号発生部で発生する極性反転信号を説明する波形図である。

【図8】図5の信号切替部を詳細に説明する説明図である。

【図9】図5の極性信号発生部を詳細に説明するブロック図である。

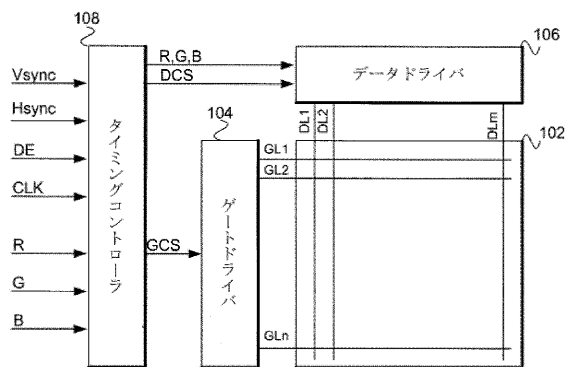
【符号の説明】

【0101】

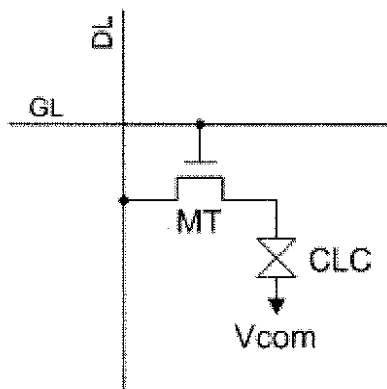
102、202 液晶パネル、104、204 ゲートドライバ、106、206 デ 50

ータドライバ、108、210 タイミングコントローラ、208 信号切替部、210
 A 極性信号発生部、300 極性信号発生器、302、304、306 遅延器、31
 0 選択器、320 循環カウンタ、CLC 液晶セル、MT 薄膜トランジスタ。

【図1】



【図2】



【図3A】

奇数フレーム

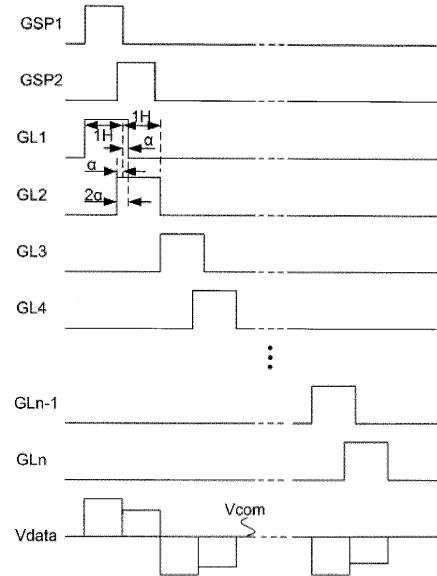
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+

【図 3 B】

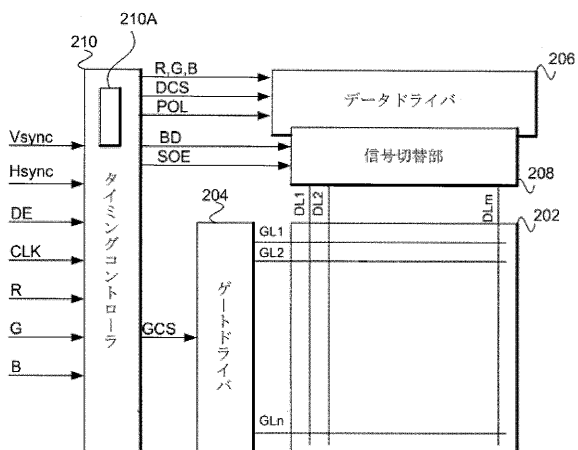
偶数フレーム

-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+
-	+	-	+	-	+	-	+
+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-

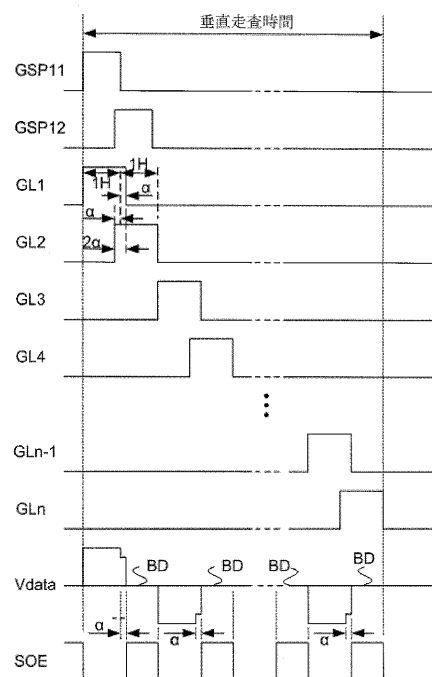
【図 4】



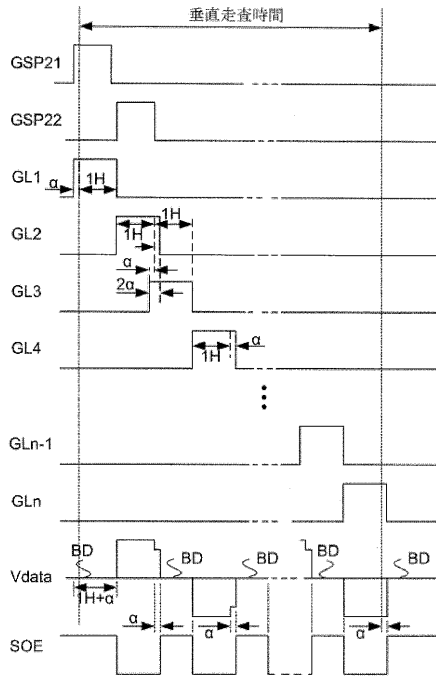
【図 5】



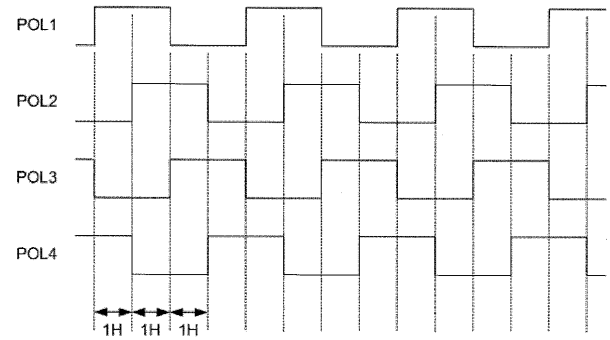
【図 6 A】



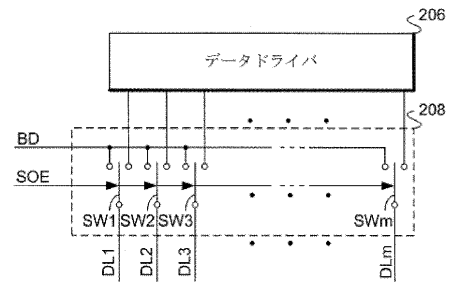
【図 6 B】



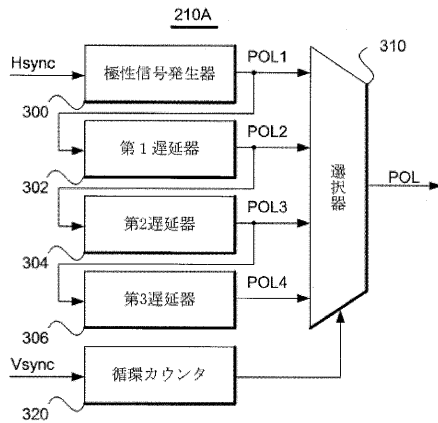
【図 7】



【図 8】



【図 9】



フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 4 1 R
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5
H 0 4 N	5/66	1 0 2 B

(72)発明者 チェソク・パク

大韓民国、デグ - シ、ブク - グ、グワヌム - ドン、ハンシン・アパートメント 1 0 1 - 4 0 4

(72)発明者 ヨンジュ・ジョン

大韓民国、デジョン - シ、ドン - グ、イン - ドン、インドン・ヒョンデ・アパートメント 1 0 8
- 4 0 2

F ターム(参考) 2H093 NA16 NA32 NA33 NA43 NC10 NC12 NC34 NC49 NC65 ND37
ND58 ND60 NH15
5C006 AA11 AA22 AC24 AC28 AF42 AF43 AF52 AF53 AF71 BB16
BC03 BC11 BF07 FA29 FA56
5C058 AA09 BA02 BB15
5C080 AA10 BB05 CC03 DD02 EE19 EE29 EE30 FF11 JJ02 JJ03
JJ04

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2007304555A	公开(公告)日	2007-11-22
申请号	JP2006343135	申请日	2006-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	チェソクパク ヨンジュジョン		
发明人	チェソク・パク ヨンジュ・ジョン		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/3659 G09G3/3614 G09G2310/0224 G09G2310/061 G09G2320/0252		
FI分类号	G09G3/36 G09G3/20.622.C G09G3/20.621.A G09G3/20.623.B G09G3/20.621.B G09G3/20.623.R G09G3/20.641.R G02F1/133.550 G02F1/133.525 H04N5/66.102.B G09G3/20.622.D G09G3/20.623.D G09G3/20.623.U		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA43 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC49 2H093/NC65 2H093/ND37 2H093/ND58 2H093/ND60 2H093/NH15 5C006/AA11 5C006/AA22 5C006/AC24 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF52 5C006/AF53 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BF07 5C006/FA29 5C006/FA56 5C058/AA09 5C058/BA02 5C058/BB15 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD02 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZC02 2H193/ZC14 2H193/ZC15 2H193/ZF22 2H193/ZF36 2H193/ZH40		
代理人(译)	英年古河 Kajinami秩序		
优先权	1020060042193 2006-05-11 KR		
其他公开文献	JP4787146B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种即使在高帧频下也能够充分确保视频信号的输入时间的液晶显示装置及其驱动方法。液晶显示装置包括液晶面板，液晶面板上的多条栅极线GL1至GLn，以及液晶面板上的多条栅极线GL1至GLn。液晶显示装置通过将预定周期 α 加到水平同步信号的一个周期1H而使能第一周期。栅极驱动器104，其提供多个栅极信号并将提供给两个相邻栅极线GL1至GLn的栅极信号彼此叠加，并且将多个数据线DL1至DLm叠加在液晶面板102上。数据驱动器106用于在水平同步信号的每个周期提供像素数据信号。点域1

