

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-184334

(P2006-184334A)

(43) 公開日 平成18年7月13日(2006.7.13)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H088
G02F 1/1333 (2006.01)	G02F 1/1333	2H089
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/139 (2006.01)	G02F 1/139	

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号	特願2004-375018 (P2004-375018)	(71) 出願人	000001443
(22) 出願日	平成16年12月24日 (2004.12.24)		カシオ計算機株式会社
			東京都渋谷区本町 1 丁目 6 番 2 号
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 液晶表示素子

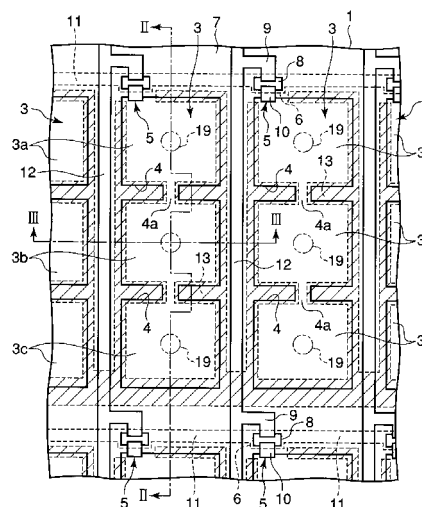
(57) 【要約】

【課題】画素電極を細長形状に形成して高精細化をはかるとともに、各画素の液晶分子を電圧の印加により安定に倒れ配向させ、ざらつき感の無い良好な品質の画像を表示し、しかも充分な開口率を得ることができる垂直配向型のアクティブマトリックス液晶表示素子を提供する。

【解決手段】細長形状の複数の画素電極 3 にそれぞれ、画素電極 3 をその長手方向に並ぶ複数の電極部 3 a , 3 b , 3 c に区分するスリット 4 を設け、画素電極 3 を設けた基板 1 の基板面と画素電極形成面との間に、複数の画素電極 3 のスリット 4 に対応させて、他方の基板の対向電極と対向し、前記対向電極との間に予め定めた値の電界を形成する補助電極 13 を設けた。

【選択図】 図 1

図 1



【特許請求の範囲】

【請求項 1】

予め定めた間隙を存して対向する一対の基板と、前記一対の基板の互いに対向する内面のうち、一方の基板の内面に設けられ、行方向及び列方向にマトリックス状に配列する細長形状の複数の画素電極と、前記一方の基板の内面に前記複数の画素電極にそれぞれ対応させて設けられ、対応する画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記一方の基板の内面に各画素電極行の一側及び各画素電極列の一側にそれぞれ沿わせて設けられ、その行及び列の前記薄膜トランジスタにゲート信号及びデータ信号を供給する複数のゲート配線及びデータ配線と、他方の基板の内面に形成され、前記複数の画素電極とそれぞれ対向する領域により複数の画素を形成する対向電極と、前記前側基板と後側基板の内面にそれぞれ前記電極を覆って設けられた垂直配向膜と、前記前側基板と後側基板との間の間隙に封入された負の誘電異方性を有する液晶層とからなり、

前記複数の画素電極にそれぞれ、前記画素電極をその長手方向に並ぶ複数の電極部に区分するスリットが設けられ、

前記一方の基板の基板面と前記画素電極の形成面との間に、前記複数の画素電極の前記スリットに対応させて、前記他方の基板の対向電極と対向し、前記対向電極との間に予め定めた値の電界を形成する補助電極が設けられていることを特徴とする液晶表示素子。

【請求項 2】

画素電極のスリットにより区分された各電極部は、実質的に正方形の形状を有していることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 3】

補助電極は、画素電極のスリットにより区分された各電極部の全ての縁部に沿わせて設けられていることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 4】

補助電極の電位は、対向電極の電位と実質的に同じ値に設定されていることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 5】

補助電極は、画素電極との間に補償容量を形成する容量電極と一体的に形成されていることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 6】

対向電極が設けられた他方の基板の内面に、一方の基板の複数の画素電極のスリットにより区分された各電極部の中心にそれぞれ対応する複数の突起が設けられていることを特徴とする請求項 1 に記載の液晶表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、薄膜トランジスタ（以下、TFTと記す）をアクティブ素子とした垂直配向型のアクティブマトリックス液晶表示素子に関する。

【背景技術】

【0002】

垂直配向型のアクティブマトリックス液晶表示素子は、予め定めた間隙を存して対向する一対の基板と、前記一対の基板の互いに対向する内面のうち、一方の基板の内面に設けられ、行方向及び列方向にマトリックス状に配列する複数の画素電極と、前記一方の基板の内面に前記複数の画素電極にそれぞれ対応させて設けられ、対応する画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記一方の基板の内面に各画素電極行の一側及び各画素電極列の一側にそれぞれ沿わせて設けられ、その行及び列の前記薄膜トランジスタにゲート信号及びデータ信号を供給する複数のゲート配線及びデータ配線と、他方の基板の内面に形成され、前記複数の画素電極とそれぞれ対向する領域により複数の画素を形成する対向電極と、前記前側基板と後側基板の内面にそれぞれ前記電極を覆って設けられた垂直配向膜と、前記前側基板と後側基板との間の間隙に封入された負の誘電異方性を有

10

20

30

40

50

する液晶層とからなっている（特許文献 1 参照）。

【特許文献 1】特許第 2 5 6 5 6 3 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

垂直配向型の液晶表示素子は、複数の画素電極と対向電極とが互いに対向する領域からなる複数の画素毎に、前記電極間への電圧の印加により液晶分子を垂直配向状態から倒れ配向させて画像を表示するものであり、各画素の液晶分子は、前記電圧の印加により、画素の周縁部から画素中心に向かって倒れ込むように配向する。

【0004】

ところで、液晶表示素子は、高精細化のために、複数の画素電極を細長形状に形成し、画素密度を高くすることが望まれている。

【0005】

しかし、従来の垂直配向型液晶表示素子は、画素電極を細長形状に形成すると、電圧の印加による液晶分子の倒れ配向が不安定になり、各画素の液晶分子の倒れ配向状態がばらついて、表示にざらつき感を生じる。

【0006】

この発明は、画素電極を細長形状に形成して高精細化をはかるとともに、各画素の液晶分子を電圧の印加により安定に倒れ配向させ、ざらつき感の無い良好な品質の画像を表示し、しかも充分な開口率を得ることができる垂直配向型のアクティブマトリックス液晶表示素子を提供することを目的としたものである。

【課題を解決するための手段】

【0007】

この発明の液晶表示素子は、予め定めた間隙を存して対向する一对の基板と、前記一对の基板の互いに対向する内面のうち、一方の基板の内面に設けられ、行方向及び列方向にマトリックス状に配列する細長形状の複数の画素電極と、前記一方の基板の内面に前記複数の画素電極にそれぞれ対応させて設けられ、対応する画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記一方の基板の内面に各画素電極行の一侧及び各画素電極列の一侧にそれぞれ沿わせて設けられ、その行及び列の前記薄膜トランジスタにゲート信号及びデータ信号を供給する複数のゲート配線及びデータ配線と、他方の基板の内面に形成され、前記複数の画素電極とそれぞれ対向する領域により複数の画素を形成する対向電極と、前記前側基板と後側基板の内面にそれぞれ前記電極を覆って設けられた垂直配向膜と、前記前側基板と後側基板との間の間隙に封入された負の誘電異方性を有する液晶層とからなり、前記複数の画素電極にそれぞれ、前記画素電極をその長手方向に並ぶ複数の電極部に区分するスリットが設けられ、前記一方の基板の基板面と前記画素電極の形成面との間に、前記複数の画素電極の前記スリットに対応させて、前記他方の基板の対向電極と対向し、前記対向電極との間に予め定めた値の電界を形成する補助電極が設けられていることを特徴とする。

【0008】

この液晶表示素子において、前記画素電極のスリットにより区分された各電極部は、実質的に正方形の形状を有しているのが好ましい。

【0009】

この液晶表示素子において、前記補助電極は、前記画素電極のスリットにより区分された各電極部の全ての縁部に沿わせて設けるのが望ましい。

【0010】

また、前記補助電極の電位は、前記対向電極の電位と実質的に同じ値に設定するのが望ましい。

【0011】

さらに、前記補助電極は、前記画素電極との間に補償容量を形成する容量電極と一体的に形成するのが好ましい。

10

20

30

40

50

【 0 0 1 2 】

この液晶表示素子においては、対向電極が設けられた他方の基板の内面に、一方の基板の複数の画素電極のスリットにより区分された各電極部の中心にそれぞれ対応する複数の突起を設けるのが望ましい。

【 発明の効果 】

【 0 0 1 3 】

この発明の液晶表示素子は、複数の画素電極を細長形状に形成しているため、画素密度を高くして高精細化をはかることができる。

【 0 0 1 4 】

そして、この液晶表示素子は、前記複数の画素電極にそれぞれ、前記画素電極をその長手方向に並ぶ複数の電極部に区分するスリットを設け、前記複数の画素電極を設けた一方の基板の基板面と前記画素電極の形成面との間に、前記複数の画素電極の前記スリットに対応させて、他方の基板の対向電極と対向し、前記対向電極との間に予め定めた値の電界を形成する補助電極を設けているため、各画素の液晶分子を、前記画素電極と対向電極との間への電圧の印加により、前記画素電極のスリットにより区分された各電極部に対応する各領域毎に、その周縁部から前記領域の中心に向かって倒れ込むように安定に倒れ配向させ、ざらつき感の無い良好な品質の画像を表示し、しかも充分な開口率を得ることができる。

【 0 0 1 5 】

この液晶表示素子において、前記画素電極のスリットにより区分された各電極部は、実質的に正方形の形状を有しているのが好ましく、このようにすることにより、前記画素電極の各電極部に対応する各領域の液晶分子を、前記各領域毎に、その周縁部から中心に向かってバランス良く倒れ配向させることができる。

【 0 0 1 6 】

この液晶表示素子において、前記補助電極は、前記画素電極のスリットにより区分された各電極部の全ての縁部に沿わせて設けるのが望ましく、このようにすることにより、このようにすることにより、液晶分子を、前記画素電極の各電極部に対応する各領域毎にさらに安定に倒れ配向させることができる。

【 0 0 1 7 】

また、この液晶表示素子においては、前記補助電極の電位を前記対向電極の電位と実質的に同じ値に設定するのが望ましく、このようにすることにより、前記補助電極と対向電極との間に実質的に電界が印加されない領域を形成し、各画素の液晶分子を、前記各領域毎にさらに安定に倒れ配向させることができる。

【 0 0 1 8 】

さらに、前記補助電極は、前記画素電極との間に補償容量を形成する容量電極と一体的に形成するのが好ましく、このようにすることにより、液晶表示素子の製造を容易にすることができる。

【 0 0 1 9 】

この液晶表示素子においては、対向電極が設けられた他方の基板の内面に、一方の基板の複数の画素電極のスリットにより区分された各電極部の中心にそれぞれ対応する複数の突起を設けるのが望ましく、このようにすることにより、各画素の液晶分子を、前記電圧の印加により、前記画素電極の各電極部に対応する各領域毎に、その周縁部から前記領域の中心に向かってより安定に倒れ配向させ、さらに良好な品質の画像を表示することができる。

【 発明を実施するための最良の形態 】

【 0 0 2 0 】

図 1 ~ 図 6 はこの発明の一実施例を示しており、図 1 は液晶表示素子の一方の基板の一部分の平面図、図 2 及び図 3 は図 1 の II - II 線及び III - III 線に沿う液晶表示素子の断面図である。

【 0 0 2 1 】

この液晶表示素子は、TFTをアクティブ素子とした垂直配向型のアクティブマトリックス液晶表示素子であり、図1～図3に示したように、予め定めた間隙を存して対向する一対の透明基板1, 2と、前記一対の基板1, 2の互いに対向する内面のうち、一方の基板、例えば表示の観察側とは反対側の基板（以下、後基板という）1の内面に設けられ、行方向（図1において左右方向）及び列方向（図1において上下方向）にマトリックス状に配列する複数の透明な画素電極3と、前記後基板1の内面に前記複数の画素電極3にそれぞれ対応させて設けられ、対応する画素電極3にそれぞれ接続された複数のTFT5と、前記後基板1の内面に各画素電極行の一侧及び各画素電極列の一侧にそれぞれ沿わせて設けられ、その行及び列の前記TFT5にゲート信号及びデータ信号を供給する複数のゲート配線11及びデータ配線12と、他方の基板、つまり観察側の基板（以下、前基板という）2の内面に形成され、前記複数の画素電極3とそれぞれ対向する領域により複数の画素を形成する透明な対向電極16と、前記一対の基板1, 2の内面にそれぞれ前記電極3, 16を覆って設けられた垂直配向膜15, 20と、前記一対の基板1, 2間の間隙に封入された負の誘電異方性を有する液晶層21とからなっている。

10

【0022】

前記複数のTFT5は、前記後基板1の基板面に形成されたゲート電極6と、前記ゲート電極6を覆って前記画素電極3の配列領域の全域に形成された透明なゲート絶縁膜7と、前記ゲート絶縁膜7の上に前記ゲート電極6と対向させて形成されたi型半導体膜8と、前記i型半導体膜8の一侧部と他側部の上に図示しないn型半導体膜を介して形成されたドレイン電極9及びソース電極10とからなっている。

20

【0023】

なお、前記ゲート配線11は、前記後基板1の基板面に前記TFT5のゲート電極6と一体に形成されており、前記データ配線12は、前記ゲート絶縁膜7の上に前記TFT5のドレイン電極9と一体に形成されている。

【0024】

また、前記複数の画素電極3は、前記ゲート絶縁膜7の上に、列方向（データ配線12に沿った方向）に長い細長形状に形成されており、前記TFT5は、前記細長形状の画素電極3の長手方向の一方の端側の一侧部に対応させて設けられ、そのソース電極10を前記画素電極3の端縁部に接続されている。

30

【0025】

そして、前記複数の画素電極3にはそれぞれ、前記画素電極3をその長手方向に並ぶ複数の電極部に区分するスリット4が設けられている。

【0026】

この実施例では、前記画素電極3をその電極幅が電極長さの約1/3の細長形状に形成し、その長さを実質的に3等分する2箇所それぞれ行方向に沿うスリット4を設けて、画素電極3を、実質的に正方形の形状を有する3つの電極部3a, 3b, 3cを形成している。

【0027】

また、この実施例では、前記スリット4を、画素電極3の幅方向の中間部を避けてその両側にスリット端を画素電極3の両側縁に開放させて設け、前記幅方向の中間部に、各電極部3a, 3b, 3cのつながり部4aを形成している。

40

【0028】

さらに、前記後基板1の内面には、この後基板1の基板面と前記画素電極3の形成面との間に、前記複数の画素電極3の前記スリット4に対応させて、前記前基板2の対向電極16と対向し、前記対向電極16との間に予め定めた値の電界を形成する補助電極13が設けられている。

【0029】

この実施例では、前記補助電極13を、前記画素電極3のスリット4により区分された各電極部3a, 3b, 3cの全ての縁部に沿わせて設けている。なお、図1では、図を見やすくするために、前記補助電極13に対応する部分に平行斜線を施している。

50

【0030】

前記補助電極13は、前記画素電極3との間に補償容量を形成する容量電極を兼ねている。

【0031】

すなわち、前記補助電極13は、前記後基板1の基板面に、前記画素電極3のTFT接続部を除く周縁部と前記スリット4とに対応させて、前記画素電極3の周縁部に対応する棒状部の内周縁部が前記画素電極3の周縁部に対向し、前記棒状部の外周縁部が画素電極3の外方に張出すとともに、前記スリット4とに対応する部分の両側縁部が前記画素電極3の各電極部3a, 3b, 3cの縁部に対向する幅に形成された金属膜からなっており、この金属膜の画素電極3に対向する部分が、前記画素電極3との間に前記ゲート絶縁膜7を誘電体層とする補償容量を形成する容量電極部とされ、前記画素電極3の外方に張出す部分及び前記スリット4内に対応する部分が、前記対向電極16との間に前記予め定めた値の電界を形成する補助電極部とされている。

10

【0032】

前記複数の画素電極3にそれぞれ対応する補助電極13は、各画素電極行毎に、前記画素電極3のTFT接続側とは反対側において一体につながっており、さらに、各行の補助電極13は、前記複数の画素電極3の配列領域の外側の一端または両端に前記データ配線12と平行に設けられた図示しない補助電極接続配線に共通接続されている。

【0033】

また、前記後基板1の内面には、前記複数の画素電極3に対応する部分を除いて、前記複数のTFT5及びデータ配線12を覆うオーバーコート絶縁膜14(図1には図示せず)が設けられており、その上に前記垂直配向膜15が形成されている。

20

【0034】

一方、前基板2の内面には、前記後基板1の内面に設けられた複数の画素電極3と前基板2の内面に設けられた対向電極16とが互いに対向する領域からなる複数の画素の間の領域に対向する格子膜状のブラックマスク17と、各画素列にそれぞれ対応する赤、緑、青の3色のカラーフィルタ18R, 18G, 18Bが設けられており、前記カラーフィルタ18R, 18G, 18Bの上に前記対向電極16が形成されている。

【0035】

さらに、この前基板2の内面には、前記後基板1の複数の画素電極3のスリット4により区分された各電極部3a, 3b, 3cの中心にそれぞれ対応する位置に誘電体からなる複数の突起19が設けられている。

30

【0036】

前記複数の突起19は、前記対向電極16の上に、感光性樹脂等の誘電性材料により、例えば突出端に向かって径が小さくなる裁頭円錐状に形成されており、その上に、これらの突起19及び対向電極16を覆って垂直配向膜20が形成されている。

【0037】

前記後基板1と前基板2は、前記複数の画素電極3の配列領域を囲む図示しない棒状のシール材を介して接合されている。

【0038】

また、前記後基板1は、図示しないが、その行方向の一端と列方向の一端とにそれぞれ、前基板2の外方に突出する張出部を有しており、その行方向の張出部に複数のゲート側ドライバ接続端子が配列形成され、列方向の張出部に複数のデータ側ドライバ接続端子が配列形成されている。

40

【0039】

そして、前記複数のゲート配線11は、前記行方向の張出部に導出されて前記複数のゲート側ドライバ接続端子にそれぞれ接続され、前記複数のデータ配線12は、前記列方向の張出部に導出されて前記複数のデータ側ドライバ接続端子にそれぞれ接続されており、前記補助電極接続配線は、前記行方向と列方向の張出部の一方または両方に導出され、その張出部の複数のドライバ接続端子と共に配列された対向電極端子に接続されている。

50

【0040】

さらに、前記後基板1の内面には、前記シール材による基板接合部の角部付近から前記行方向と列方向の張出部の一方または両方に導出され、前記ドライバ接続端子と並べて配列された前記対向電極端子（補助電極接続配線が接続された端子と同じ端子でも別の端子でもよい）に接続された対向電極接続配線が設けられており、前記前基板2の内面に設けられた対向電極16は、前記基板接合部において前記対向電極接続配線に接続され、この対向電極接続配線を介して前記対向電極端子に接続されている。

【0041】

すなわち、前記複数の補助電極13の電位は、前記対向電極16の電位と同じ値に設定されている。

10

【0042】

そして、前記液晶層21は、前記後基板1と前基板2との間の前記シール材で囲まれた領域に封入されており、この液晶層21の液晶分子21aは、両基板1,2の内面にそれぞれ設けられた垂直配向膜15,20の垂直配向性により、前記突起19に対応する部分以外の領域において、基板1,2面に対して実質的に垂直に配向し、前記突起19に対応する部分においては、前基板2側の前記突起19の近傍の液晶分子21aが前記突起19の表面（裁頭円錐の頂面及び周面）に対して実質的に垂直な方向に分子長軸を向けて配向し、後基板1の近傍の液晶分子21aが前記後基板1面に対して実質的に垂直に配向した状態に配向している。

【0043】

20

また、前記後基板1と前基板2の外面にはそれぞれ、偏光板22,23がその透過軸を予め定めた方向に向けて配置されている。なお、この実施例では、前記偏光板22,23をそれぞれの透過軸を実質的に互いに直交させて配置し、液晶表示素子にノーマリーブラックモードの表示を行なわせるようにしている。

【0044】

この液晶表示素子は、複数の画素電極3を細長形状に形成しているため、画素密度を高くして高精細化をはかることができる。

【0045】

そして、この液晶表示素子は、前記複数の画素電極3にそれぞれ、前記画素電極3をその長手方向に並ぶ複数の電極部3a,3b,3cに区分するスリット4を設け、前記複数の画素電極3を設けた後基板1の基板面と前記画素電極3の形成面との間に、前記複数の画素電極3の前記スリット4に対応させて、前基板2の対向電極16と対向し、前記対向電極16との間に予め定めた値の電界を形成する補助電極13を設けているため、各画素の液晶分子21aを、前記画素電極3と対向電極16との間への電圧の印加により、前記画素電極3のスリット4により区分された各電極部3a,3b,3cに対応する各領域毎に、その周縁部から前記領域の中心に向かって倒れ込むように安定に倒れ配向させ、ざらつき感の無い良好な品質の画像を表示し、しかも充分な開口率を得ることができる。

30

【0046】

すなわち、垂直配向型の液晶表示素子は、各画素の液晶分子を電圧の印加により画素の周縁部から画素中心に向かって倒れ配向させて表示するが、高精細化のために画素電極を細長形状に形成すると、前記電圧の印加による液晶分子の倒れ配向が不安定になり、各画素の液晶分子の倒れ配向状態がばらついて、表示にざらつき感を生じる。

40

【0047】

それに対して、上記実施例の液晶表示素子は、細長形状に形成された複数の画素電極3をそれぞれ前記スリット4により画素電極3の長手方向に並ぶ複数の電極部3a,3b,3cに区分しているため、各画素の液晶分子21aを、前記電圧の印加により、前記画素電極3のスリット4により区分された各電極部3a,3b,3cに対応する各領域毎に、その周縁部から前記領域の中心に向かって倒れ込むように安定に倒れ配向させ、ざらつき感の無い良好な品質の画像を表示することができる。

【0048】

50

しかも、この液晶表示素子は、前記画素電極 3 のスリット 4 により区分された各電極部 3 a , 3 b , 3 c が、実質的に正方形の形状を有しているため、前記各電極部 3 a , 3 b , 3 c に対応する各領域の液晶分子 2 1 a を、前記各領域毎に、その周縁部から中心に向かってバランス良く倒れ配向させることができる。

【 0 0 4 9 】

さらに、この液晶表示素子は、対向電極 1 6 が設けられた前基板 2 の内面に、後基板 1 の複数の画素電極 3 のスリット 4 により区分された各電極部 3 a , 3 b , 3 c の中心にそれぞれ対応する複数の突起 1 9 を設けているため、前記各電極部 3 a , 3 b , 3 c に対応する各領域毎に、その周縁部から前記領域の中心に向かってより安定に倒れ配向させることができる。

10

【 0 0 5 0 】

図 4 及び図 5 は前記液晶表示素子の 1 つの画素の電圧印加時の液晶分子配向状態を模式的に示す平面図及び断面図であり、この液晶表示素子は、画素電極 3 と対向電極 1 6 との間に電圧を印加したときに、前記画素電極 3 の各電極部 3 a , 3 b , 3 c に対応する各領域の液晶分子 2 1 a がそれぞれ、前記突起 1 9 の近傍の分子配向により誘導され、図のように、前記突起 1 9 に向かって、つまり前記各領域の中心に向かって倒れ込むように配向するため、さらに良好な品質の画像を表示することができる。

【 0 0 5 1 】

また、この液晶表示素子は、前記複数の画素電極 3 のスリット 4 に対応させて、前基板 2 の対向電極 1 6 と対向し、前記対向電極 1 6 との間に予め定めた値の電界を形成する補助電極 1 3 を設けているため、前記スリット 4 の幅が小さくても、前記画素電極 3 の各電極部 3 a , 3 b , 3 c に対応する各領域の液晶分子 2 1 a を前記電圧の印加により安定に倒れ配向させることができる。

20

【 0 0 5 2 】

すなわち、図 6 は、画素電極 3 のスリット幅及び前記補助電極 1 3 の有無による電圧印加時の各電極部 3 a , 3 b , 3 c の境界部における液晶分子 2 1 a の倒れ配向状態を示しており、(a) , (b) は、前記補助電極 1 3 が無い場合のスリット幅を大きくしたときと前記スリット幅を小さくしたときの配向状態、(c) は、画素電極 3 のスリット幅を小さくし、前記補助電極 1 3 を設けたときの配向状態を示している。

【 0 0 5 3 】

まず、画素電極 3 のスリット 4 の幅を大きくしたときの液晶分子 2 1 a の倒れ配向状態を説明すると、このときは、前記画素電極 3 の各電極部 3 a , 3 b , 3 c に対応する各領域毎に、電圧が印加され、図 6 (a) のように、各電極部 3 a , 3 b の間のスリット 4 に対応する部分の液晶層に電界が印加されない領域が生じ、液晶分子 2 1 a は、前記各領域毎に図に破線で示した等電位線に沿って倒れ配向する。

30

【 0 0 5 4 】

しかし、このように画素電極 3 のスリット 4 の幅を大きくすると、前記画素電極 3 のスリット 4 により区分された各電極部 3 a , 3 b , 3 c の面積が小さくなり、開口率が低下する。

【 0 0 5 5 】

一方、画素電極 3 のスリット 4 の幅を小さくすれば、十分な開口率を得ることができるが、前記補助電極 1 3 が無い場合は、前記スリット 4 の幅を小さくすると、前記画素電極 3 の各電極部 3 a , 3 b , 3 c に対応する各領域間の電氣的な境界がはっきりしなくなり、液晶分子 2 1 a が図 6 (b) のように配向するため、画素電極 3 をスリット 4 により複数の電極部 3 a , 3 b , 3 c に区分した効果が失われ、画素全体の液晶分子 2 1 a の倒れ配向が不安定になる。

40

【 0 0 5 6 】

それに対し、画素電極 3 のスリット 4 に対応させて前記補助電極 1 3 を設けたときは、この補助電極 1 3 と対向電極 1 6 との間に予め定めた値の弱い電界が形成されるため、前記画素電極 3 のスリット 4 の幅が小さくても、前記画素電極 3 の各電極部 3 a , 3 b , 3

50

c に対応する各領域毎に、電圧が印加が形成され、図 6 (c) のように、液晶分子 2 1 a が、前記各領域毎に倒れ配向する。

【 0 0 5 7 】

したがって、上記実施例の液晶表示素子は、各画素の液晶分子 2 1 a を電圧の印加により安定に倒れ配向させ、ざらつき感の無い良好な品質の画像を表示し、しかも充分な開口率を得ることができる。

【 0 0 5 8 】

なお、前記画素電極 3 のスリット 4 の幅は 4 . 0 μ m 以下が好ましく、このようにすることにより、充分な開口率を得ることができる。

【 0 0 5 9 】

また、前記画素電極 3 のスリット 4 で区分された各電極部 3 a , 3 b , 3 c のつながり部 4 a の幅は、画素電極 3 の幅の 1 3 % 程度以下で、且つ電気抵抗値が許容範囲を越えない寸法に設定するのが好ましく、このようにすることにより、各画素の液晶分子 2 1 a を、前記画素電極 3 の各電極部 3 a , 3 b , 3 c に対応する各領域毎に、その領域の周縁部から中心に向かって安定に倒れ配向させることができる。

【 0 0 6 0 】

さらに、この液晶表示素子は、前記補助電極 1 3 を、前記画素電極 3 のスリット 4 により区分された各電極部 3 a , 3 b , 3 c の全ての縁部に沿わせて設けているため、液晶分子 2 1 a を、前記画素電極 3 の各電極部 3 a , 3 b , 3 c に対応する各領域毎にさらに安定に倒れ配向させることができる。

【 0 0 6 1 】

また、この液晶表示素子は、前記補助電極 1 3 の電位を対向電極 1 6 の電位と実質的に同じ値に設定しているため、前記補助電極 1 3 と対向電極 1 6 との間を実質的に無電界状態にし、その部分の液晶分子 2 1 a を図 4 , 5 及び図 6 (c) のように実質的に垂直に配向させることができ、したがって、各画素の液晶分子 2 1 a を前記各領域毎にさらに安定に倒れ配向させることができる。

【 0 0 6 2 】

さらに、前記補助電極は、前記画素電極との間に補償容量を形成する容量電極と一体的に形成するのが好ましく、このようにすることにより、前記補助電極とは別に前記補償容量を形成するための電極を設ける場合に比べて液晶表示素子の製造を容易にすることができる。

【 0 0 6 3 】

なお、上記実施例では、画素電極 3 をその電極幅が電極長さの約 1 / 3 の細長形状に形成し、その長さを実質的に 3 等分する 2 箇所にスリット 4 を設けて、前記画素電極 3 を、その長手方向に並ぶ 3 つの電極部 3 a , 3 b , 3 c に区分しているが、前記画素電極 3 の幅と長さの比と、その区分数は任意でよい。

【図面の簡単な説明】

【 0 0 6 4 】

【図 1】この発明の一実施例を示す液晶表示素子の一方の基板の一部分の平面図。

【図 2】図 1 の II - II 線に沿う液晶表示素子の断面図。

【図 3】図 1 の III - III 線に沿う液晶表示素子の断面図。

【図 4】前記液晶表示素子の 1 つの画素の電圧印加時の液晶分子配向状態の模式的に示す平面図。

【図 5】前記 1 つの画素の電圧印加時の液晶分子配向状態を模式的に示す断面図。

【図 6】画素電極のスリット幅及び補助電極の有無による電圧印加時の各電極部の境界部における液晶分子の倒れ配向状態を示す図。

【符号の説明】

【 0 0 6 5 】

1 , 2 ... 基板、 3 ... 画素電極、 3 a , 3 b , 3 c ... 電極部、 4 ... スリット、 4 a ... つながり部、 5 ... T F T、 1 1 ... ゲート配線、 1 2 ... データ配線、 1 3 ... 補助電極、 1 5 ... 垂

10

20

30

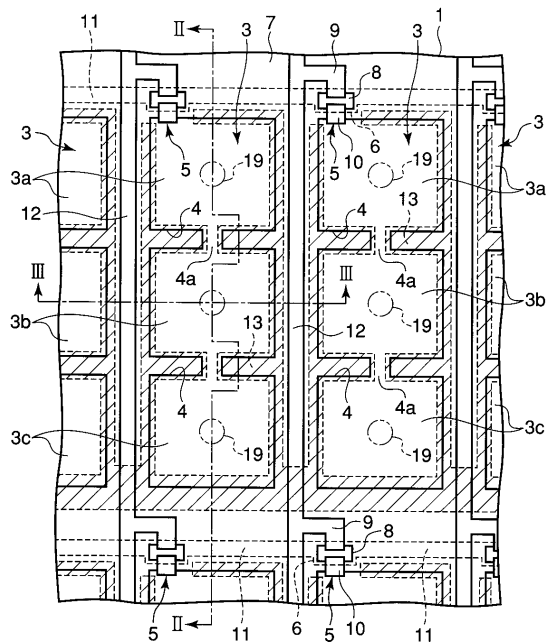
40

50

直配向膜、16...対向電極、17...ブラックマスク、18R, 18G, 18B...カラーフィルタ、19...突起、20...垂直配向膜、21...液晶層、21a...液晶分子、22, 23...偏光板。

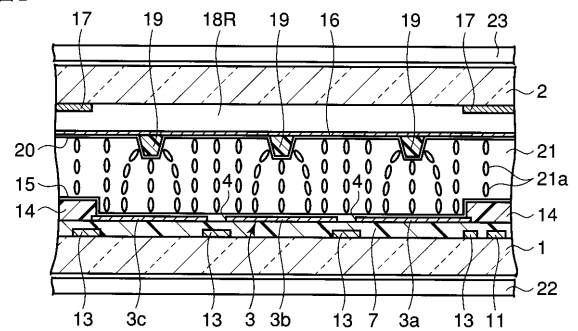
【図1】

図1



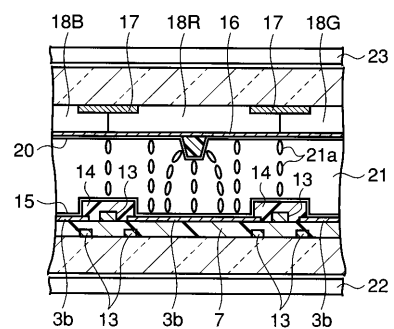
【図2】

図2



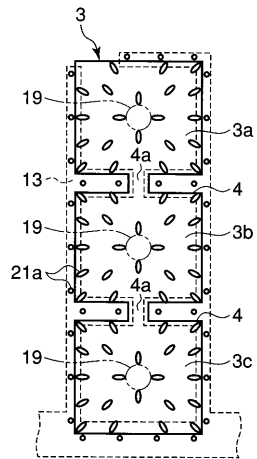
【図3】

図3



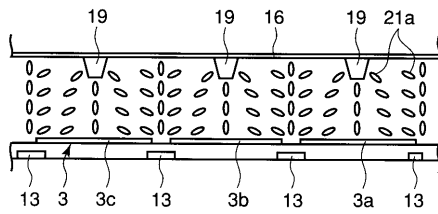
【 図 4 】

図 4



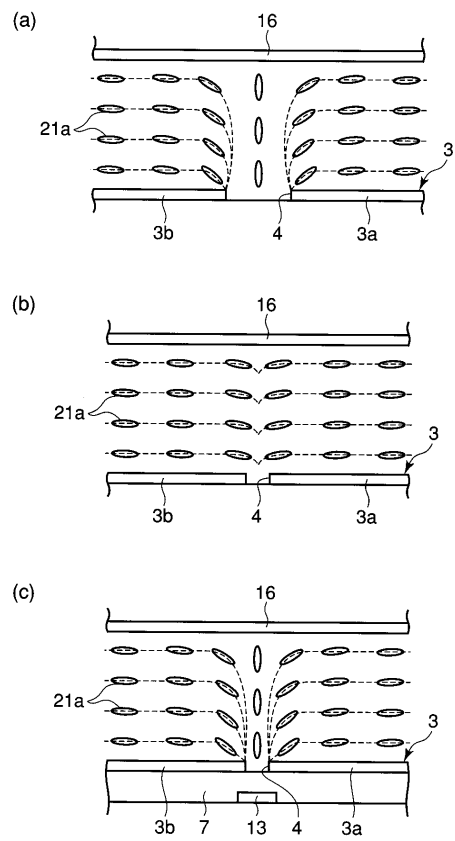
【 図 5 】

図 5



【 図 6 】

図 6



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 山口 稔

東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内

(72)発明者 中島 靖

東京都八王子市石川町 2 9 5 1 番地の 5 カシオ計算機株式会社八王子技術センター内

F ターム(参考) 2H088 GA02 HA02 HA03 JA10 MA04

2H089 HA08 HA15 JA07 QA15 RA08 TA02

2H092 GA13 GA15 GA20 GA61 HA04 JA24 JB02 JB05 JB13 JB69

KB21 KB23 NA04 NA11 PA02 QA09

专利名称(译)	液晶显示元件		
公开(公告)号	JP2006184334A	公开(公告)日	2006-07-13
申请号	JP2004375018	申请日	2004-12-24
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	山口 稔 中島 靖		
发明人	山口 稔 中島 靖		
IPC分类号	G02F1/1343 G02F1/1333 G02F1/1368 G02F1/139		
FI分类号	G02F1/1343 G02F1/1333 G02F1/1368 G02F1/139		
F-TERM分类号	2H088/GA02 2H088/HA02 2H088/HA03 2H088/JA10 2H088/MA04 2H089/HA08 2H089/HA15 2H089/JA07 2H089/QA15 2H089/RA08 2H089/TA02 2H092/GA13 2H092/GA15 2H092/GA20 2H092/GA61 2H092/HA04 2H092/JA24 2H092/JB02 2H092/JB05 2H092/JB13 2H092/JB69 2H092/KB21 2H092/KB23 2H092/NA04 2H092/NA11 2H092/PA02 2H092/QA09 2H189/AA08 2H189/AA14 2H189/BA07 2H189/HA15 2H189/JA10 2H189/LA03 2H192/AA24 2H192/BC13 2H192/BC51 2H192/CB05 2H192/DA12 2H192/EA22 2H192/EA43 2H192/GD14 2H192/JA13		
代理人(译)	河野 哲 中村 诚		
其他公开文献	JP4752266B2		
外部链接	Espacenet		

摘要(译)

像素电极形成为细长形状以实现高清晰度，并且每个像素的液晶分子通过施加电压而稳定地塌陷和取向，从而显示出没有粗糙感的高质量图像，提供一种能够获得孔径比的垂直取向型有源矩阵液晶显示装置。解决方案：为多个细长像素电极3中的每一个提供用于将像素电极3分成沿其纵向排列的多个电极部分3a，3b，3c的狭缝4，并且设置有像素电极3的基板1在基板表面和像素电极形成表面之间形成预定值的电场，以对应于多个像素电极3的狭缝4并与另一个基板的对电极相对，提供辅助电极13。点域1

图 1

