

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-338421

(P2005-338421A)

(43) 公開日 平成17年12月8日(2005.12.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 505	5C006
G09G 3/20	G02F 1/133 525	5C080
	G02F 1/133 550	
	G02F 1/133 570	
審査請求 未請求 請求項の数 14 O L (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2004-157005 (P2004-157005)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成16年5月27日 (2004.5.27)	(74) 代理人	100085811 弁理士 大日方 富雄
		(72) 発明者	岡村 和浩 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
		(72) 発明者	吉岡 明彦 北海道千歳市泉沢1007番地39 株式会社ルネサス北日本セミコンダクタ内
		Fターム(参考)	2H093 NA16 NA22 NA31 NB01 NC16 NC26 NC34 NC49 NC81 ND01 ND34 ND60 NE10
		最終頁に続く	

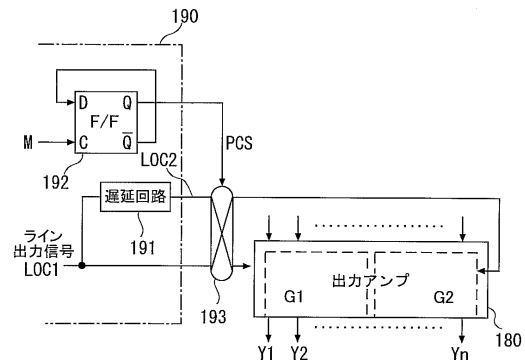
(54) 【発明の名称】 液晶表示駆動装置および液晶表示システム

(57) 【要約】

【課題】 EMI対策のため表示パネルの複数の信号線（ソース線）を複数のグループに分けてグループ間で時間差をおいて駆動するようにした場合においても表示画質を低下させることのない液晶表示駆動装置（液晶ドライバ）を提供する。

【解決手段】 表示画像データを受けて表示パネルの信号線に印加されるべき画像信号を生成し、外部より入力される出力タイミング信号に従って1ライン分ずつまとめて出力する表示駆動装置（液晶ドライバ）において、画像信号を出力する最終段の出力アンプを複数のグループに分け、画像信号の出力タイミングを上記グループごとに僅かずつずらすとともに、各グループの出力アンプの出力順序を周期的に変化させるようにした。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数の走査線と該走査線と交差するように配置された複数の信号線とを含む表示パネルの前記信号線に印加されるべき電圧を、外部より入力される出力タイミング信号に応じて出力する複数の出力回路を備え、

前記複数の出力回路は複数のグループに分割され、各グループの出力回路は互いに異なるタイミングで出力するようにされ、各グループの出力回路の出力順序が周期的に変化するように構成されていることを特徴とする表示駆動装置。

【請求項 2】

前記複数の出力回路は 2 つのグループに分割され、前記 2 つのグループのうちひとつは前記複数の出力回路が配置された領域を空間的に 2 分する 1 本の仮想境界線の一方の側に存在する半数の出力回路であり、前記 2 つのグループのうち他のひとつは前記仮想境界線の他方の側に存在する半数の出力回路であることを特徴とする請求項 1 に記載の表示駆動装置。

10

【請求項 3】

前記複数の出力回路は 1 列に配置されているとともに、前記複数の出力回路は 2 つのグループに分割され、前記 2 つのグループのうちひとつは 1 列に配置されている前記複数の出力回路のうち奇数番目の出力回路であり、前記 2 つのグループのうち他のひとつは偶数番目の出力回路であることを特徴とする請求項 1 に記載の表示駆動装置。

【請求項 4】

前記表示パネルは液晶パネルであり、前記出力順序は液晶パネルの画素を交流駆動するための周期を与えるべく外部より入力される交流化信号に応じて周期的に変化するように構成されていることを特徴とする請求項 1 ~ 3 のいずれかに記載の表示駆動装置。

20

【請求項 5】

前記表示パネルの 1 画面の表示期間を示す信号に応じて前記出力順序が周期的に変化するように構成されていることを特徴とする請求項 1 ~ 3 のいずれかに記載の表示駆動装置。

【請求項 6】

前記 2 つのグループの出力順序を周期的に変化させる切替え回路を備え、前記複数の出力回路は 1 列に配置されているとともに、前記切替え回路は前記複数の出力回路の列の中央近傍に配置され、前記切替え回路から各出力回路に供給されるべき出力タイミング信号を伝達する配線が前記出力回路の列方向に沿って配設されていることを特徴とする請求項 2 に記載の表示駆動装置。

30

【請求項 7】

複数の走査線と該走査線と交差するように配置された複数の信号線とを含む液晶パネルの前記信号線に印加されるべき電圧を、外部より入力される出力タイミング信号に応じて出力する複数の出力回路を備え、

前記複数の出力回路は複数のグループに分割され、各グループの出力回路は互いに異なるタイミングで出力するように構成され、前記各グループの出力回路が互いに異なるタイミングで出力する第 1 の動作モードと前記各グループの出力回路が同一のタイミングで出力する第 2 の動作モードのいずれかのモードで動作可能であり、前記第 1 の動作モードまたは第 2 の動作モードのいずれかで動作するか外部より設定可能なモード設定端子を備えることを特徴とする液晶表示駆動装置。

40

【請求項 8】

前記各グループの出力回路の出力順序が周期的に変化するように構成されていることを特徴とする請求項 7 に記載の液晶表示駆動装置。

【請求項 9】

前記複数の出力回路は 2 つのグループに分割され、前記 2 つのグループのうちひとつは前記複数の出力回路が配置された領域を空間的に 2 分する 1 本の仮想境界線の一方の側に存在する半数の出力回路であり、前記 2 つのグループのうち他のひとつは前記仮想境界線

50

の他方の側に存在する半数の出力回路であることを特徴とする請求項 7 に記載の液晶表示駆動装置。

【請求項 1 0】

前記複数の出力回路は 1 列に配置されているとともに、前記複数の出力回路は 2 つのグループに分割され、前記 2 つのグループのうちひとつは 1 列に配置されている前記複数の出力回路のうち奇数番目の出力回路であり、前記 2 つのグループのうち他のひとつは偶数番目の出力回路であることを特徴とする請求項 7 に記載の液晶表示駆動装置。

【請求項 1 1】

前記液晶パネルの画素を交流駆動するための周期を与えるべく外部より入力される交流化信号に応じて前記出力順序が周期的に変化するように構成されていることを特徴とする請求項 7 ~ 1 0 のいずれかに記載の液晶表示駆動装置。

10

【請求項 1 2】

請求項 4 または 1 1 に記載の構成を有する複数の液晶表示駆動装置と、該液晶表示駆動装置から出力される電圧を入力端子に受け表示を行なう液晶パネルと、該液晶パネルの複数の走査線を順次駆動する走査線駆動装置と、前記複数の液晶表示駆動装置に対する画像データを生成し出力するとともに前記走査線駆動装置のタイミング制御信号を生成し出力する制御装置とを備え、前記出力タイミング信号および交流化信号は前記制御装置により生成されて前記複数の液晶表示駆動装置に供給されることを特徴とする液晶表示システム。

【請求項 1 3】

外部より入力された画像データを取り込むデータラッチ回路と、該データラッチ回路に取り込まれた画像データに対応された電圧を出力する変換回路と、前記変換回路の出力に応じた電圧を外部より入力される出力タイミング信号に応じて出力する複数の出力アンプとを備えた液晶表示駆動装置であって、

20

前記複数の出力アンプは第 1 のグループと第 2 のグループに分割され、第 1 のグループの出力アンプと第 2 のグループの出力アンプは、前記出力タイミング信号の 1 周期の間に互いに異なるタイミングでそれぞれ 1 回ずつ出力するようにされ、各グループの出力アンプの出力順序が液晶パネルの画素を交流駆動するための周期を与えるべく外部より入力される交流化信号に応じて周期的に入れ替わるように構成されていることを特徴とする液晶表示駆動装置。

30

【請求項 1 4】

前記出力タイミング信号は、前記液晶パネルの 1 ラインの表示期間を示す信号であることを特徴とする請求項 1 3 に記載の液晶表示駆動装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、表示パネルを駆動する表示駆動装置さらには液晶パネルを駆動する液晶表示駆動装置に適用して有効な技術に関し、例えば T F T カラー液晶パネルのソース線を駆動する液晶ドライバ（液晶駆動用半導体集積回路）に利用して有効な技術に関する。

【背景技術】

40

【0 0 0 2】

表示装置の 1 つとしての液晶表示装置は、表示パネルとしての液晶表示パネル（以下、液晶パネルとも言う）と表示制御装置としての液晶表示制御装置（液晶コントローラ）や該制御装置の制御下で液晶表示パネルを駆動する表示駆動装置としての液晶表示駆動装置（液晶表示ドライバ）などにより構成されている。従来より、液晶パネルとしてはパッシブ型やアクティブマトリックス型など種々の形態のものが提案されている。

【0 0 0 3】

このうち、アクティブマトリックス型のひとつである T F T 液晶パネルは、複数のゲート線（走査線）と複数のソース線（信号線）とが交差するように配置され、各交点に画素となる電極と該電極に信号線上の電圧を印加するトランジスタが配置され、共通の対向電

50

極との間に液晶が挟持された構造を有する。ソースドライバは、かかる構造の液晶パネルのソース線にゲート線の選択動作に同期して時分割で画素信号を1ライン分ずつ順次印加するようにされる。

【0004】

大画面TFT液晶パネルを駆動させるためのソースドライバとしては、複数の出力端子を有する多出力液晶ドライバが用いられる。多出力液晶ドライバは、ソース線への印加タイミングを与えるべく入力されたライン出力信号に同期して液晶パネルの駆動信号を出力する。従来の多出力液晶ドライバにおいては、全ての出力端子から同一のタイミングで駆動信号が出力されるため、液晶パネルを駆動するための電流が集中し、瞬間的に大電流が流れ、この大電流によって電源ラインや信号ラインにスパイク状のノイズが発生したり、電源電圧が低下するという課題がある。

10

【0005】

一般に、電子機器は、電波環境が複雑化するにつれ、機器単体だけでなく、構成されるシステムでのEMI(電気磁気障害)を考慮する必要があるが、上記従来の多出力液晶ドライバを用いた液晶ディスプレイ装置においては、液晶パネルのソース線を同時に駆動するため、瞬間的に大電流が流れて電源ラインや信号ラインにスパイク状のノイズが発生することによって、EMIが生じるおそれがある。このEMIの低減を図るためにも、液晶パネルを駆動するための電流が集中するのを防止する必要がある。

【0006】

そこで、本発明者らは、複数のソース出力を例えば右半分と左半分のように2のグループに分割して、図1に示すように、それぞれ出力タイミングをずらすことによって電流の集中を回避して、EMIの発生を抑制するようにしたソースドライバに関する発明をなし、先に出願をした(特許文献1)。

20

【特許文献1】特開2003-233358号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上記先願発明においては、グループ化した単位でソース線を駆動する場合、例えば右半分のソース線を駆動したのち左半分のソース線を駆動するというように、タイミングはずれるものの分割したソース線間の駆動順序は固定されたままであった。

30

【0008】

本発明者らは、その後、上記ソース線の駆動方式について再検討を行なった結果、EMI対策としては十分な効果が得られるものの、グループ化したソース線間の駆動順序が同じままであると、ソース線に印加された電圧はゲート線の信号によってオン、オフされるTFT(薄膜トランジスタ)を介して画素電極に印加されるため、ゲート線の電圧VGが立ち下がることによってソース線の電圧が画素電極に印加されなくなる。

【0009】

その結果、左右のソース線で実効電圧が僅かではあるがずれてしまう、つまり図15に示すように、画素電極の充電電荷量に相当するハッチングの部分の面積が、左半分のソース線 $Y_1 \sim Y_{n/2}$ と右半分のソース線 $Y_{n/2+1} \sim Y_n$ とで異なってしまい、それによって液晶パネルの表示画質が低下するおそれがあることを見出した。

40

【0010】

この発明の目的は、表示画質の良好な表示駆動装置(液晶ドライバ、液晶駆動用半導体集積回路)を提供することにある。

この発明の他の目的は、EMIの発生を抑制しつつ高画質の表示駆動を行なうことができる表示駆動装置(液晶ドライバ、液晶駆動用半導体集積回路)を提供することにある。

【0011】

この発明のさらに他の目的は、使い勝手の良い表示駆動装置(液晶ドライバ、液晶駆動用半導体集積回路)を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述およ

50

び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、表示画像データを受けて表示パネルの信号線に印加されるべき画像信号を生成し、外部より入力される出力タイミング信号に従って1ライン分ずつまとめて出力する液晶ドライバにおいて、画像信号を出力する最終段の出力アンプを複数のグループに分け、画像信号の出力タイミングを上記グループごとに僅かずつずらすとともに、各グループの出力アンプの出力順序を周期的に変化させるようにしたものである。

10

【0013】

上記した手段によれば、画像信号の出力タイミングが各グループの出力アンプごとに僅かずつずれているため、電流が集中して表示パネルに流れるのを防止することができ、それによってEMIを低減させることができる。また、各グループの出力アンプの出力順序が周期的に変化されることによって、平均すると各画素電極に画像信号が印加される時間が同じになり、それによって実効電圧が均一になり表示画質の低下を回避することができるようになる。これにより、EMI対策のため表示パネルの複数の信号線(ソース線)を複数のグループに分けてグループ間で時間差を有して駆動するようにした場合においても表示画質を低下させることのない表示駆動装置(液晶ドライバ)を得ることができる。

【0014】

ここで、望ましくは、各グループの出力アンプの出力順序を周期的に変化させる切替え回路を設け、該切替え回路の制御信号は液晶パネルの画素を交流駆動するための周期を与える交流化信号に基づいて生成し、該交流化信号の周期に応じて各グループの出力アンプの出力順序を変化させるようにする。交流化信号は液晶ドライバに必ず必要とされる信号であるため、切替え回路の制御信号を交流化信号に基づいて生成することによって、入力信号数や端子数を増加させたりシステム構成を大きく変更することなく液晶パネルに流れる電流の集中を回避してEMIの発生を抑制することができ、かつ高画質の表示駆動を行なうことができる液晶ドライバを得ることができる。

20

【0015】

また、本願の他の発明は、表示画像データを受けてアナログ階調電圧に変換された複数の画像信号を生成して出力する液晶表示駆動装置(液晶ドライバ)において、出力タイミング信号に従って画像信号を出力する最終段の出力アンプを複数のグループに分け、画像信号の出力タイミングを各グループの出力アンプごとに僅かずつずらすとともに、各グループの出力アンプの出力順序を周期的に変化させ、さらにこのような時間差出力制御の機能を、外部から有効にしたり無効にしたり設定するための端子を設けるようにしたものである。

30

【0016】

液晶パネルによってはライン出力タイミングの周期が短く画素電極の充電時間が十分に取れないものがあり、そのような液晶パネルは時間差出力制御の機能を有効にすると却って表示画質が低下するおそれがあるが、上記した手段によれば、使用する液晶パネルの特性に応じて時間差出力制御の機能を発現させたりその機能が発現しないようにすることができる使い勝手の良い液晶表示駆動装置(液晶ドライバ)を得ることができる。

40

【0017】

ここで、最終段の出力アンプを左右2つのグループに分ける場合には、最終段の出力アンプ部のほぼ中央部の近傍に各グループの出力アンプの出力順序を周期的に変化させる切替え回路を設け、該切替え回路から各出力アンプに供給されるべき出力タイミング信号を伝達する配線を出力アンプの配列方向に沿って配設するようにするのが望ましい。

【0018】

出力アンプを2つのグループに分ける方法としては左右に2分してグループ化する方法と、奇数番目の出力アンプと偶数番目の出力アンプをそれぞれグループ化する方法とが考

50

えられるがと、後者の方法にあってはライン出力信号を伝達する配線を出力アンプ部全体にわたって2本配設しなければならないが、上記のようなレイアウトを行なうことにより、配線を出力アンプ部の左右にそれぞれ1本ずつ配設すればよく、それによって配線領域を減らすことができるようになり、半導体集積回路化される液晶ドライバではチップサイズを小さくすることができる。

【発明の効果】

【0019】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本出願の発明に従うと、表示画質の良好な表示駆動装置（液晶ドライバ、液晶駆動用半導体集積回路）を実現することができる。

10

【0020】

また、本出願の発明に従うと、EMIの発生を抑制しつつ高画質の表示駆動を行なうことができる表示駆動装置（液晶ドライバ、液晶駆動用半導体集積回路）を実現することができる。

【0021】

さらに本出願の発明に従うと、使用システムに応じて機能を変更可能な使い勝手の良い表示駆動装置（液晶ドライバ、液晶駆動用半導体集積回路）を実現することができる。

【0022】

また、チップサイズの増大を抑えつつ高画質の表示駆動を行なうことができる表示駆動装置（液晶ドライバ、液晶駆動用半導体集積回路）を実現することができる。

20

【発明を実施するための最良の形態】

【0023】

以下、本発明の好適な実施例を図面に基づいて説明する。

図1は、本発明を適用した液晶ドライバの概略構成を示す。特に制限されるものでないが、図1に示されている各回路ブロックは、公知の半導体製造技術により単結晶シリコンのような1個の半導体チップ上に半導体集積回路として構成される。本実施例の液晶ドライバは、複数の走査線（ゲート線）と複数の信号線（ソース線）とが格子状に配設され各交点に画素が設けられているドットマトリックス型のカラー液晶パネルの信号線に印加される画像信号 $Y_1 \sim Y_n$ を出力する回路である。

30

【0024】

本発明において、特に制限されないが、1画素の画素データは、赤色（R）/緑色（G）/青色（B）の各色データがそれぞれ8ビットとされた24ビットで構成されるものとして、以下実施例が説明される。

【0025】

本実施例の液晶ドライバは、8ビットの入力画像データ（R/G/Bの3つ色データのうち、1つの色データの8ビットを示す）を順次取り込む第1ラッチ部110と、該第1ラッチ部110に取り込まれた画像データを一括して転送する第2ラッチ部120と、入力制御信号POL1, POL2に応じて入力画像データを反転させるデータ反転回路130と、上記第1ラッチ部110のどこに入力画像データを取り込ませるか指定するラッチ位置指定回路140と、外部から供給される階調電圧 $V_0 \sim V_8$, $V_9 \sim V_{17}$ を例えば図2に示すようなラダー抵抗 $R_0 \sim R_{15}$ で分圧して正極性および負極性それぞれ256階調の電圧を生成する階調電圧生成回路150と、生成された電圧の中から前記第2ラッチ部120に保持されている画像データに応じた電圧を選択することでデジタル信号をアナログ階調電圧に変換するデコーダ（セレクタ）部160と、変換されたアナログ電圧に応じた画像信号 $Y_1 \sim Y_n$ を生成して出力する出力アンプ部180と、外部から入力されるクロック信号や制御信号に基づいて半導体チップ内部の回路を所定の順序に従って動作させる内部制御信号を生成するタイミング制御部190などから構成される。

40

【0026】

上記第1ラッチ部110および第2ラッチ部120は、それぞれ n （例えば $n = 480$

50

）本の信号線に対応する数のデータラッチを8プレーン備える。8プレーン備えるのは、各ソース線駆動端子から例えば256階調の電圧を出力するために、1端子当たり8ビットの画像データが入力され、それを端子ごとに保持する必要があるからである。

【0027】

本実施例の液晶ドライバには、データ反転回路130が設けられているため、ユーザは入力画像データを変化させずに例えば黒と白の反転のような表示をさせることができ、それによって入力画像データの頻繁な変化に伴うノイズの発生や消費電流の増加を抑えることができる。この機能は、パーソナルコンピュータやノートパソコンの液晶モニタを駆動するシステムに有効な機能である。なお、本実施例の液晶ドライバにおいては、特に制限されるものでないが、各々8ビットで構成される6画素分の画像データD57～D50…… D07～D00が同時に取り込み可能に構成されている。 10

【0028】

タイミング制御部190は、外部より入力される液晶を交流駆動するための交流化信号Mや水平同期信号CL1，データ転送用クロックCL2，シフト方向指示信号SHLなどに基づいて、上記第1ラッチ部110や第2ラッチ部120、ラッチ位置指定回路140、デコーダ部160、出力アンプ部180に対して動作タイミングを指示するタイミング制御信号を生成して出力する機能を有する。また、タイミング制御部190は、交流化信号Mの論理レベルに応じてデコーダ部160が階調電圧生成回路150により生成された正極性および負極性の階調電圧のいずれを選択してデコードするか指定する制御信号を供給する。これにより、液晶パネルのソース線に印加される画像信号Y1～Ynが、交流化信号Mの周期に応じて変化する交流電圧とされ、直流電圧の印加により液晶が劣化するのを防止することができる。 20

【0029】

また、タイミング制御部190には、本実施例の液晶ドライバを複数個シリーズに接続して当該ドライバの出力数(n本)よりも多い信号線を有する液晶パネルを駆動するシステムを構成する場合に、所定の端子EIO1の状態に応じて画像データの取り込みを開始しても良いか否かを判定するとともに、当該ドライバが1ラインすべての画像信号Y1～Ynを出力したことを示す信号を所定の端子EIO2より出力する機能が設けられている。具体的には、先頭の液晶ドライバの端子EIO1にコントローラから転送開始信号を入力させるとともに、前段のドライバの端子EIO2を次段のドライバの端子EIO1に接続することにより、複数の液晶ドライバを順次画像データ取込み状態にさせることができる。 30

【0030】

さらに、本実施例の液晶ドライバには、特に制限されるものでないが、外部から動作モードを設定することができるモード設定端子MODEが設けられており、タイミング制御部190はこのモード設定端子MODEの状態に応じて後述のライン出力信号LOC1とそれを遅延した信号LOC2の生成を行ったり行なわないようにしたりする制御が可能に構成されている。

【0031】

上記ライン出力信号LOC1は、出力アンプ部180へ画像信号の出力のタイミングを知らせる信号であり、外部より入力される水平同期信号(クロック)CL1に基づいて生成される。SHLは表示データのシフト方向を指示する信号とされ、ラッチ位置指定回路140を介して第1ラッチ回路110に書き込まれる表示データの書き込み方向が制御される。 40

【0032】

図3は、図1に示されている液晶ドライバのうち出力アンプ部180とタイミング制御部190の一部を取り出して本発明の第1の実施例の特徴とする構成を示したものである。

【0033】

図3に示されているように、本実施例においては、ライン出力信号LOC1を所定時間 50

Tdだけ遅延させる遅延回路191と、遅延されたライン出力信号LOC2と遅延前のライン出力信号LOC1をスルーさせたり交差させたり切り替えることが可能な信号経路切替え回路193と、前記交流化信号Mに基づいて該信号経路切替え回路193の切替え制御信号PCSを生成するD型フリップフロップFF1からなる信号生成回路192とが設けられている。遅延回路191における遅延量Tdの最適な値は0.1μs(マイクロ秒)程度すなわち1水平期間(15μs)の0.1%~数%程度が妥当である。

【0034】

信号生成回路192は、図4に示すように、D型フリップフロップFF1の前段に交流化信号MをラッチするD型フリップフロップFF0を設けて、交流化信号Mを水平同期信号CL1の立下りでラッチしてFF0の出力を後段のD型フリップフロップFF1のクロック端子に入力して動作させ、制御信号PCSを生成するように構成しても良い。このように構成することによって、交流化信号Mのパルス幅が狭くなった場合にも安定した動作が保証されるようになる。

10

【0035】

また、本実施例においては、出力アンプ部180のn個の出力アンプ(出力回路)は、例えば半数ずつ2つのグループG1, G2に分割されている。ここで、出力アンプ部180のn個の出力アンプのグループ化は、左右半分ずつつまり出力Y1~Yn/2に対応するアンプと出力Yn/2+1~Ynに対応するアンプとに分けても良いし、奇数番目の出力Y1, Y3... Yn-1に対応するアンプと偶数番目の出力Y2, Y4... Ynに対応するアンプとに分けても良い。あるいは、後述される図5に示されるように、出力Y1及びY2に対応する一対のアンプを第1番目ペア、出力Y3及びY4に対応する一対のアンプを第2番目ペアの様に考えた場合に、奇数番目ペアと奇数番目ペアとにグループ化してもよい。

20

【0036】

ライン出力信号LOC1またはLOC2によって出力タイミングが与えられる出力アンプ部180の各出力アンプは、具体的には、例えば後段に設けられた伝送ゲートがライン出力信号LOC1またはLOC2によってオン/オフされることにより、あるいはライン出力信号LOC1またはLOC2を活性化信号としてアンプの電流源がオンされることにより増幅動作を行なうことで、画像信号の出力を行なうように構成される。

【0037】

図5には、出力アンプ部180の各出力アンプの後段に設けられる伝送ゲートを、交流駆動のための極性反転用のゲートと共用させるようにした実施例が示されている。

30

【0038】

図5においては、出力アンプ部180の各出力アンプAMP1~AMPnとして、低出力インピーダンスのボルテージフォロワが用いられている。また、入力画像データに応じた階調電圧を生成するデコーダ部160には、正極性電圧出力用DA変換回路DAC1, DAC3... DACn-1と負極性電圧出力用DA変換回路DAC2, DAC4... DACnが交互に配置されている。これとともに、各DA変換回路の前段には隣接するもの同士の間で入力データを入れ替えるマルチプレクサMPX1が設けられ、出力アンプAMP1~AMPnの後段には出力信号を入れ替えるマルチプレクサMPX2が設けられている。

【0039】

マルチプレクサMPX1とMPX2は交流化信号Mに基づいてタイミング制御回路190により生成された制御信号CX1, CX2により切り替え動作され、あるソース線の画像データはマルチプレクサMPX1により、正電圧出力用DA変換回路DACiと負電圧出力用DA変換回路DACi+1に交互に入力されてアナログ電圧に変換されマルチプレクサMPX2を介してソース線に印加される。

40

【0040】

このとき、マルチプレクサMPX1とMPX2は同じように動作される。すなわち、マルチプレクサMPX1が画像データをスルーさせている時はマルチプレクサMPX2も画像信号をスルーさせ、マルチプレクサMPX1が画像データを交差させている時はマルチプレクサMPX2も画像信号を交差させるように信号経路を切り替える。

50

【0041】

これによって、液晶パネルの各画素電極は正極性の電圧と負極性の電圧が交互に印加されて交流駆動され、液晶の劣化が防止される。そして、本実施例では、マルチプレクサMPX2が制御信号CX2により切り替え動作されるとともに、出力アンプAMP1~AMPn/2に対応するマルチプレクサMPX2はライン出力信号LOC1によって、また出力アンプAMPn/2+1~AMPnに対応するマルチプレクサMPX2はLOC1を遅延したLOC2によって出力タイミングが与えられるようになっている。

【0042】

次に、本実施例の信号経路切替え回路193によるライン出力信号LOC1とLOC2の切替えに伴う出力アンプ部180からの出力(Y1~Yn)の変化のタイミングを、図6を用いて説明する。なお、図6には、交流化信号Mの周期がライン出力信号LOCの周期の2倍である場合、つまり1ラインごとにドットが反転するドット反転駆動の場合のタイミングが示されている。

10

【0043】

図6に示されているように、実施例の液晶ドライバにおいては、交流化信号Mの1周期ごとに信号経路切替え回路193の切替え制御信号PCSがハイレベルとロウレベルに変化するため、PCSがハイレベルである期間は、出力Y1~Yn/2に対応するアンプがライン出力信号LOC1の立下りに同期して出力を開始し、Tdだけ遅れて出力Yn/2+1~Ynに対応するアンプがライン出力信号LOC2の立下りに同期して出力を開始する。また、PCSがロウレベルである期間は、出力Yn/2+1~Ynに対応するアンプがライン出力信号LOC2の立下りに同期して出力を開始し、Tdだけ遅れて出力Y1~Yn/2に対応するアンプがライン出力信号LOC1の立下りに同期して出力を開始する。

20

【0044】

そして、次の期間では、上記とは逆に、先ず出力Yn/2+1~Ynに対応するアンプがライン出力信号LOC2の立下りに同期して出力を開始し、Tdだけ遅れて出力Y1~Yn/2に対応するアンプがライン出力信号LOC1の立下りに同期して出力を開始する。続いて、出力Y1~Yn/2に対応するアンプがライン出力信号LOC1の立下りに同期して出力を開始し、Tdだけ遅れて出力Yn/2+1~Ynに対応するアンプがライン出力信号LOC2の立下りに同期して出力を開始する。

30

【0045】

このように、全出力のうち半分の出力のタイミングを残りの半分の出力のタイミングよりも少し遅らせる時間差出力制御を行なうことにより、液晶パネルのソース線に流れる電流のピークを下げることもできるとともに、交流化信号Mの1周期ごとに遅らせるグループを切り替えることにより、画像データが同じであれば長い期間ではいずれの出力信号による画素電極の充電期間も等しくなり、遅らせるグループを固定した時間差出力制御の場合に比べて実効電圧を安定させることができる。

【0046】

上記実施例においては、交流化信号Mに基づいて信号経路切替え回路193の切替え制御信号PCSを生成しているが、図3の信号生成回路(フリップフロップ)192に、交流化信号Mの代わりにフレーム同期信号(FRM)を入れて、フレーム同期信号(FRM)に基づいて信号経路切替え回路193の切替え制御信号PCSを生成するようにしても良い。

40

【0047】

図7には、そのようにした場合における出力アンプ部180の出力(Y1~Yn)の変化のタイミングを示す。図7から明らかなように、本実施例の液晶ドライバにおいては、フレーム同期信号(FRM)の1周期ごとに信号経路切替え回路193の切替え制御信号PCSがハイレベルとロウレベルに変化するため、第1のフレーム期間T1においては、出力Y1~Yn/2に対応するアンプがライン出力信号LOC1の立下りに同期して出力を開始し、Tdだけ遅れて出力Yn/2+1~Ynに対応するアンプがライン出力信号LOC2の立下りに同期して出力を開始する。

50

【0048】

そして、次のフレーム期間 T_2 では、上記とは逆に、先ず出力 $Y_{n/2+1} \sim Y_n$ に対応するアンプがライン出力信号 LOC_1 の立下りに同期して出力を開始し、 T_d だけ遅れて出力 $Y_1 \sim Y_{n/2}$ に対応するアンプがライン出力信号 LOC_2 の立下りに同期して出力を開始する。なお、図7においても、交流化信号 M の周期がライン出力信号 LOC の周期の2倍である場合、つまり1ラインごとにドットが反転するドット反転駆動の場合のタイミングが示されている。

【0049】

このように、フレーム同期信号 (FRM) に基づいて信号経路切替え回路 193 の切替え制御信号 PCS を生成するようにしているので、同じ画像データに対する画素の実効電圧は同一になり表示画質は向上するが、フレーム同期信号 (FRM) よりも交流化信号 M の方が周期が短いため、第1の実施例のように交流化信号 M に基づいて切替え制御信号 PCS を生成する方が、高画質が得られ易い。また、現在市場に提供されている液晶ドライバは交流化信号 M を外部からもらうものが一般的であり、フレーム同期信号 (FRM) に関してはこれを外部からもらうものともならないものがあるので、交流化信号 M を用いる方が入力信号数や外部端子数を少なくすることができるという利点もある。

【0050】

以上、出力アンプ部 180 の n 個の出力アンプを、左右半分ずつつまり出力 $Y_1 \sim Y_{n/2}$ に対応するアンプと出力 $Y_{n/2+1} \sim Y_n$ に対応するアンプとに分けて時間差出力制御を行なうようにした場合について説明したが、奇数番目の出力 Y_1, Y_3, \dots, Y_{n-1} に対応するアンプと偶数番目の出力 Y_2, Y_4, \dots, Y_n に対応するアンプとにグループを分けて時間差出力制御を行なうようにしても良い。その場合の出力タイミングは、図6および図7と同様であり、 $Y_1 \sim Y_{n/2}$ を Y_1, Y_3, \dots, Y_{n-1} に置き換えて、また $Y_{n/2+1} \sim Y_n$ を Y_2, Y_4, \dots, Y_n に置き換えて考えればよい。

【0051】

なお、特に限定されるものでないが、本実施例においては、信号生成回路 192 と遅延回路 191 はタイミング制御部 190 内に設けられ、信号経路切替え回路 193 は出力アンプ部 180 に近い側に設けられているが、遅延回路 191 も出力アンプ部 180 に近い側に設けるようにしても良い。

【0052】

また、遅延回路 191 は、図8に示すように、遅延用インバータ列 DLY とそれを迂回するバイパス経路 BPS と切替えスイッチ SW とを備え、例えば前記モード信号 $MODE$ に応じてスイッチ SW を切り替えることで、ライン出力信号 LOC_1 を遅延させたり遅延させないようにしたりすることが可能に構成することができる。そして、スイッチ SW を切り替えてライン出力信号 LOC_1 を遅延させないようにした状態では、フリップフロップ 192 をリセットして切替え制御信号 PCS をロウレベルもしくはハイレベルに固定し、信号経路切替え回路 193 の切替えがなされないように構成しても良い。

【0053】

ライン出力信号 LOC_1 の遅延を行なわないようにすることにより、例えば、ライン出力の周期すなわちコモンラインのシフト周期が短く画素電極の充電時間が十分に取れない表示システムにおいて、実施例の左右2つの出力アンプの時間差出力制御により実効電圧が下がるのを回避することができる。なお、図8の構成において、段数すなわち遅延量が異なる複数の遅延用インバータ列を設けてレジスタ等への設定により、使用する液晶パネルやシステムに応じて遅延量を調整できるように構成することも可能である。

【0054】

図9は、本発明の第2の実施例を示す。この実施例は、ライン出力信号 LOC_0 を遅延させる互いに遅延量が異なる複数の遅延回路 $DLY_1, DLY_2, \dots, DLY_m$ を設けて、それぞれタイミングの異なるライン出力信号 $LOC_0, LOC_1 \sim LOC_m$ を生成するとともに、出力アンプ部 180 の n 個の出力アンプを $m+1$ 個のグループに分け、信号経路切替え回路 193 でライン出力信号 $LOC_0 \sim LOC_m$ を適当な周期 (例えば交流化信号

10

20

30

40

50

Mの周期のm倍)で切り替えて各グループの出力アンプに順繰りに供給して、異なるタイミングで動作させるようにしたものである。この実施例によれば、液晶パネルのソース線に流れる電流のピークをさらに下げることができるという利点がある。

【0055】

なお、図9においては、出力アンプ部180のn個の出力アンプをm+1個のグループに分け、それぞれのグループを、それぞれタイミングの異なるm+1個のライン出力信号LOC0~LOCmによって制御する実施例に関するが、これに限定されるものではなく、遅延回路をm個以上設け、それらの出力信号を適切なタイミングで信号経路切替え回路193によって切り換えて、出力アンプ部180のn個の出力アンプをm+1個のグループに供給することによって、出力アンプ部180のn個の出力アンプをm+1個のグループを制御しても良い。

10

【0056】

図10は、本発明の第3の実施例を示す。この実施例は、出力アンプ部180のn個の出力アンプを左右2つのグループに分けて2つのライン出力信号LOC1またはLOC2で時間差出力制御を行なうようにした図3の実施例において、出力アンプ部180のほぼ中央部に隣接して信号経路切替え回路193を配置してその両側にアンプの列方向に沿って延設された配線LL1, LL2を設けて、各出力アンプにライン出力信号LOC1またはLOC2を供給して周期的に切替えながら時間差出力動作をさせるように構成したものである。

【0057】

奇数番目の出力アンプと偶数番目の出力アンプをそれぞれグループ化すると、ライン出力信号LOC1とLOC2を伝達する配線LL1, LL2を出力アンプ部180全体にわたって2本配設しなければならないが、図10のようなレイアウトを行なうことにより、配線LL1, LL2を出力アンプ部180の左右にそれぞれ1本ずつ配設すればよく、それによって配線領域を減らすことができるという利点がある。

20

【0058】

図11には、本実施例の液晶ドライバ100を複数個使用して1600×1200ドットのカラー液晶パネル200を駆動するシステムを構成した場合のブロック図が示されている。カラー液晶パネル200のライン方向には、10個のソースドライバDRV1~DRV10が配置され、これらのソースドライバDRV1~DRV10のうちソースドライバDRV2~DRV10の端子EIO1には、前段のソースドライバの端子EIO2が電気的に結合されることにより、直列形態に接続されている。

30

【0059】

先頭のソースドライバDRV1の端子EIO1には液晶表示コントローラ400からデータ取込みイネーブル信号EIOが入力され、先頭の液晶ドライバDRV1のデータ取込みが終了すると端子EIO2がハイレベルに変化され、次のソースドライバDRV2の端子EIO1にデータ取込みイネーブル信号として入力され、データの取込みを開始するようになっている。これにより、次段の液晶ドライバがこの信号をEIO1端子に受けるように接続をしておくことによって、複数の液晶ドライバを使用した表示システムにおいて、液晶表示コントローラは各ドライバに対して独自の開始信号を送ることなく、連続した画像データの伝送が可能となる。そのため、表示システムの設計者の負担を軽減することができる。

40

【0060】

図11の駆動システムは、上記ソースドライバDRV1~DRV10と、カラー液晶パネル200のコモン線(TFTパネルではゲート線と呼ばれる)を順番に選択レベルにするゲートドライバ(走査線駆動回路)300と、システム全体を制御する液晶表示コントローラ400と、液晶駆動電圧を生成する液晶駆動電源回路500とを備える。液晶表示コントローラ400はゲートドライバ300に対する制御信号としてのフレーム同期信号FRMやシフトタイミングを与えるクロックCL3を生成したり、上記ソースドライバDRV1~DRV10に供給する画像データD57~D50...D07~D00やソースド

50

ライバを制御するイネーブル信号E I O、動作クロックC L 1、C L 2、交流化信号Mを生成する。

【0061】

液晶駆動電源回路500は、ソースドライバD R V 1 ~ D R V 1 0に対して供給する階調電圧の元になる前記18段階の駆動電圧V 0 ~ V 1 8(図1, 図2参照)と、液晶パネル200の対向電極に液晶中心電位として印加する電圧V C O M、ゲートドライバ300に対して供給するゲート線の選択レベルとなる電圧V G O Nおよびゲート線の非選択レベルとなる電圧V G O F Fを生成する。

【0062】

図12~図14には、液晶パネルの交流駆動例が示される。これらの図において、符号「+」,「-」はそれぞれのドット(画素)の極性を表わしており、(A), (B)はドットがどのように反転するのかを示している。図より明らかなように、図12~図14の交流駆動例には、液晶パネルを左右2つのグループに分割して出力タイミングをずらす方式ではなく、奇数列(奇数のソース線)と偶数列のグループを分けて出力タイミングをずらす方式が適用される。

10

【0063】

図12~図14は、液晶パネルを奇数列と偶数列のグループを分けて出力タイミングをずらす方式を適用する場合であっても、走査線方向の極性の反転方式が異なる場合があることを示している。これらの駆動方式は、交流化信号Mに応じてタイミング制御部190からデコーダ部160へ供給される正極性および負極性の階調電圧のいずれを選択して出力するか指定する制御信号に従って決定される。

20

【0064】

図12~図14のうち図12の交流駆動方式は、上下および左右に隣接するドット同士で極性が逆となり、かつフレームごとつまり奇数フレームと偶数フレームとで各ドットが反転するように駆動する方式である。また、図13の交流駆動方式は、m本の走査線ごとにドットが反転するようつまり同一列のm個のドットは同じ極性で隣接する列のドットの極性と逆になるように駆動する方式である。図14の交流駆動方式は、フレームごとにドットが反転するようつまり同一列のドットはすべて同じ極性で隣接する列のドットの極性は逆になるように駆動する方式である。

【0065】

同様にして、液晶パネルを左右2つのグループに分割して出力タイミングをずらす方式においても、それぞれ図12~図14と対応する交流駆動が考えられる。さらに、複数のソースドライバを使用するシステムにおいては、隣接するドライバごとに極性を変えたとともに全ドライバを2つのグループに分けて、グループ単位で時間差出力制御を行なうようにすることも可能である。

30

【0066】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例では、画像データが8ビットで階調電圧が負極性、正極性それぞれ256段階である場合について説明したが、それに限定されるものではなく、画像データが9ビットで階調電圧が512段階の場合や、画像データが10ビットで階調電圧が1024段階の場合にも適用することができる。また、前記実施例では、1つの液晶ドライバに480個の出力アンプを設けているが、420個などであっても良い。また、前記実施例では、出力アンプとしてボルテージフォロウを用いているが、差動アンプ等であっても良い。また、前期実施例では、6画素(1ライン分)の画素データを同時に取り込む場合について説明されたが、それに限定される物ではなく、3画素や4画素などを1ライン分として同時に取り込む場合であっても良い。また、外部から入力される画素データの信号レベルは、T T Lレベル、L V D S (Low Voltage Differential Signaling)レベル、あるいは、mini-L V D Sであっても良い。

40

【0067】

50

また、出力アンプの形式は、図 5 に示されるような、ペア方式のアンプに限定される物ではなく、図 5 において、マルチプレクサ M P X 2 を設けないような方式（双方向アンプ方式）にも適用可能である。

【 0 0 6 8 】

さらに、前記実施例では、画像データの取り込みが終了したときに画像データの取り込み終了を示す信号 E I O 2 を出力する端子を設け、複数のドライバ I C を用いてシステムを構成する場合に該端子の信号を次段のドライバ I C にデータ取込みイネーブル信号 E I O 1 として入力しているが、信号 E I O 2 を出力する端子を省略し、すべてのドライバ I C に対してデータ取込みイネーブル信号 E I O 1 を液晶表示コントローラ 4 0 0 から順に与えるように構成することも可能である。

10

【 0 0 6 9 】

また、前記実施例では、カラー液晶表示パネルの駆動方法について述べられたが、有機 E L 表示パネルの駆動方法として適用可能である。

【産業上の利用可能性】

【 0 0 7 0 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である T F T カラー液晶パネルを駆動する液晶ドライバに適用したものについて説明したが、本発明はそれに限定されるものでなく、T F T 以外のカラー液晶パネルのほか、白黒表示の液晶パネルを駆動する液晶ドライバにも適用することができる。また、本発明の液晶ドライバは、テレビジョン用液晶ディスプレイを駆動する場合は勿論のこと、パーソナル

20

【図面の簡単な説明】

【 0 0 7 1 】

【図 1】本発明を適用した液晶ドライバの概略構成を示すブロック図である。

【図 2】階調電圧生成回路の構成を概念として示した説明図である。

【図 3】図 1 に示されている液晶ドライバのうち出力アンプ部とタイミング制御部の一部を取り出して本発明の第 1 の実施例の特徴とする構成を示したブロック図である。

【図 4】信号経路切替え回路の切替え制御信号 P C S を生成する信号生成回路の概略構成を示すブロック図である。

30

【図 5】デコーダ部と出力アンプ部の構成例を示すブロック図である。

【図 6】実施例の液晶ドライバにおいて、1 ラインごとにドットが反転するドット反転駆動の場合の出力画像信号 Y 1 ~ Y n のタイミングを示すタイミングチャートである。

【図 7】実施例の液晶ドライバにおいて、フレーム同期信号（F R M）に基づいて信号経路切替え回路の切替え制御信号 P C S を生成するようにした場合の出力画像信号 Y 1 ~ Y n のタイミングを示すタイミングチャートである。

【図 8】ライン出力信号を遅延する遅延回路の構成例を示すブロック図である。

【図 9】本発明の第 2 の実施例の構成を示したブロック図である。

【図 1 0】本発明の第 3 の実施例を示すレイアウト説明図である。

【図 1 1】本発明の実施例の液晶ドライバを複数個使用した液晶表示システムの構成例を示すブロック図である。

40

【図 1 2】本発明を適用可能な液晶表示システムにおける液晶パネルの交流駆動例を示す説明図である。

【図 1 3】本発明を適用可能な液晶表示システムにおける液晶パネルの他の交流駆動例を示す説明図である。

【図 1 4】本発明を適用可能な液晶表示システムにおける液晶パネルのさらに他の交流駆動例を示す説明図である。

【図 1 5】本発明に先立って検討した時間差制御による出力画像信号 Y 1 ~ Y n のタイミングを示すタイミングチャートである。

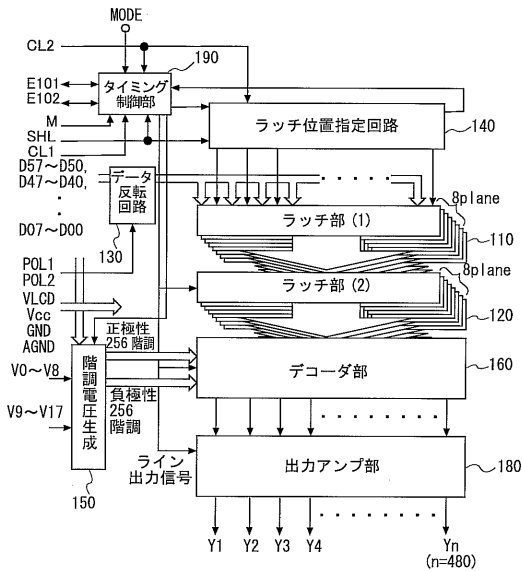
【符号の説明】

50

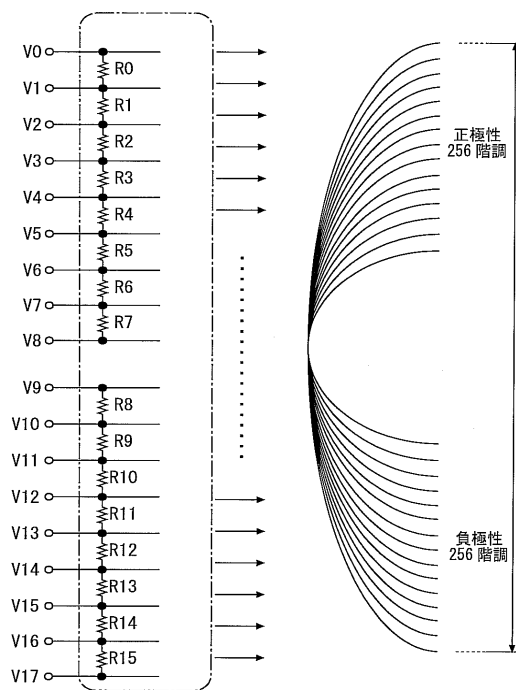
【 0 0 7 2 】

- 1 0 0 液晶表示駆動装置 (液晶ドライバ I C)
- 1 1 0 第 1 ラッチ部
- 1 2 0 第 2 ラッチ部
- 1 3 0 データ反転回路
- 1 4 0 ラッチ位置指定回路
- 1 5 0 階調電圧生成回路
- 1 6 0 デコーダ (セレクタ) 部
- 1 8 0 出力アンプ部
- 1 9 0 タイミング制御部
- 1 9 1 遅延回路
- 1 9 2 切替え制御信号生成回路
- 1 9 3 信号経路切替え回路
- 2 0 0 液晶パネル
- 3 0 0 走査線駆動回路 (コモンドライバ)
- 4 0 0 液晶表示コントローラ
- 5 0 0 液晶駆動電源回路
- DRV 1 ~ DRV 1 0 液晶ドライバ I C

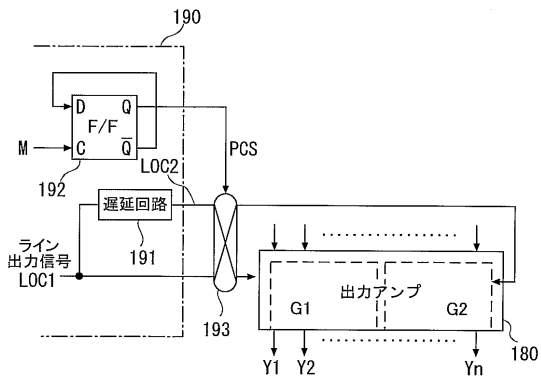
【 図 1 】



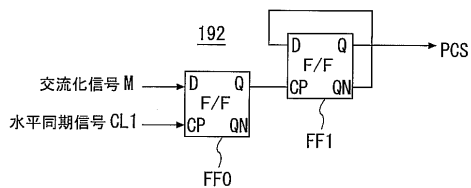
【 図 2 】



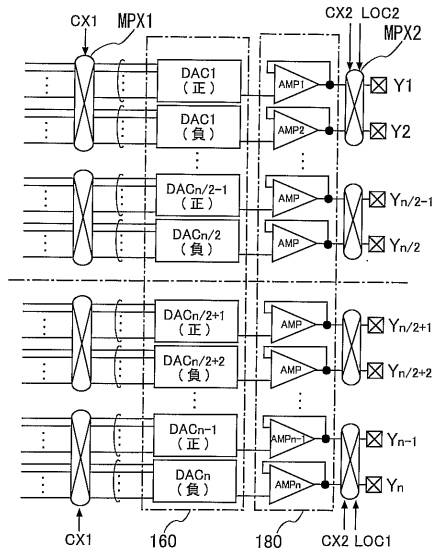
【 図 3 】



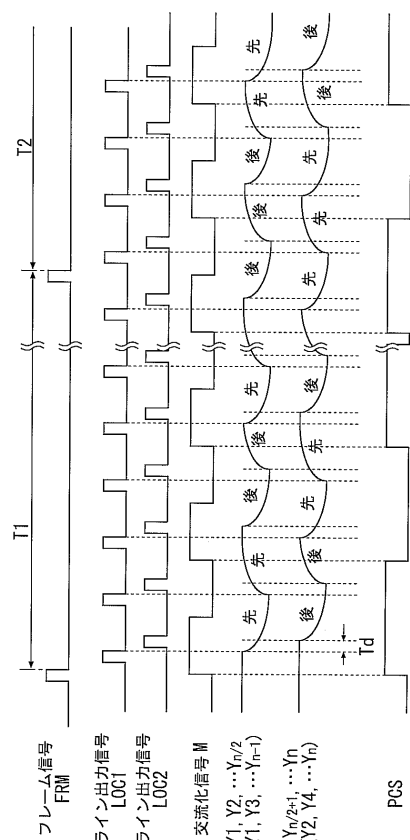
【 図 4 】



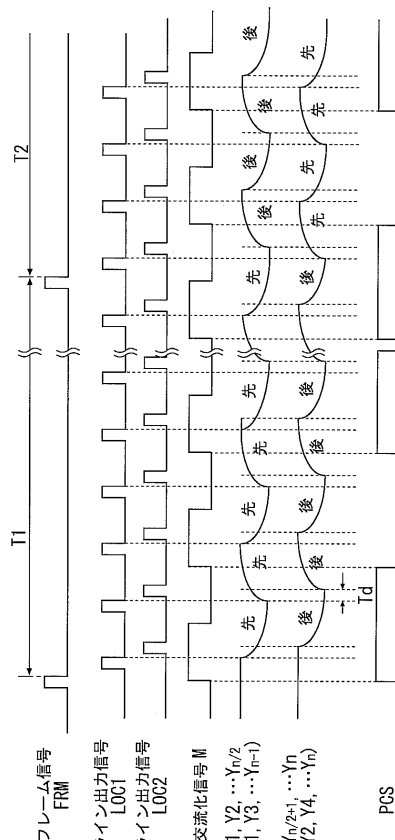
【 図 5 】



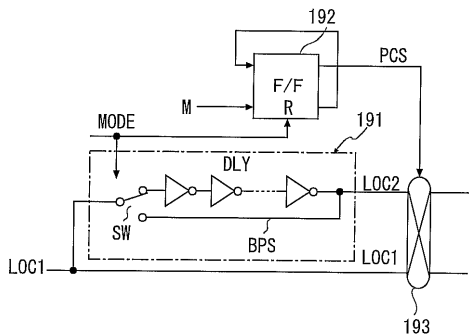
【 図 6 】



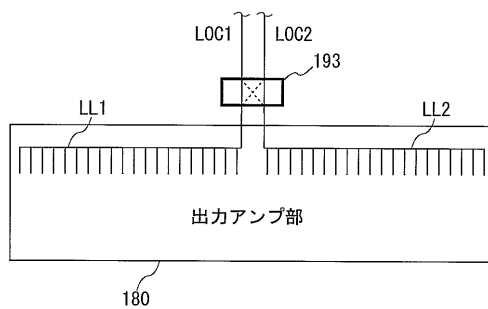
【 図 7 】



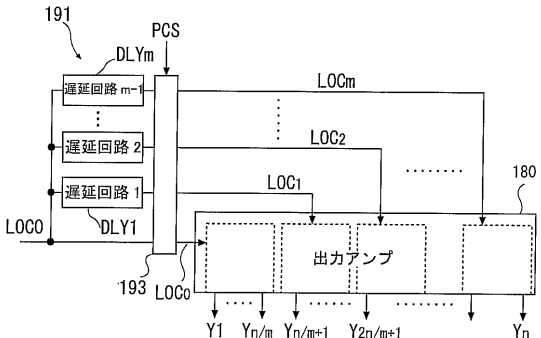
【図8】



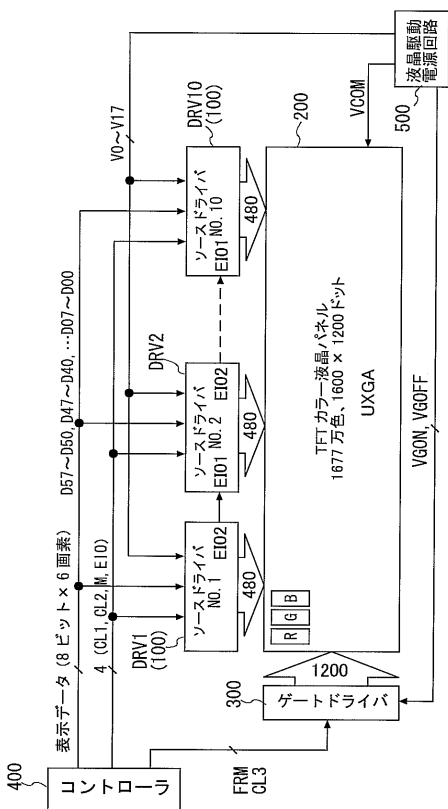
【図10】



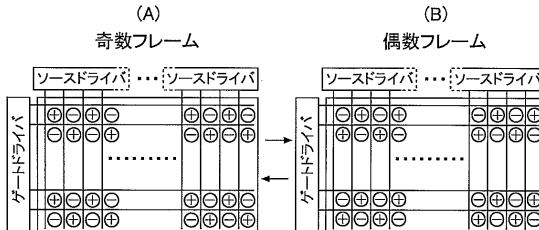
【図9】



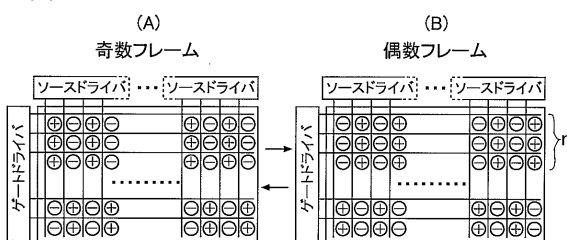
【図11】



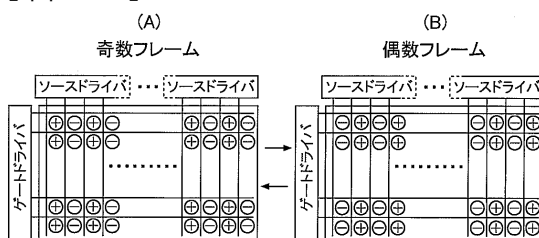
【図12】



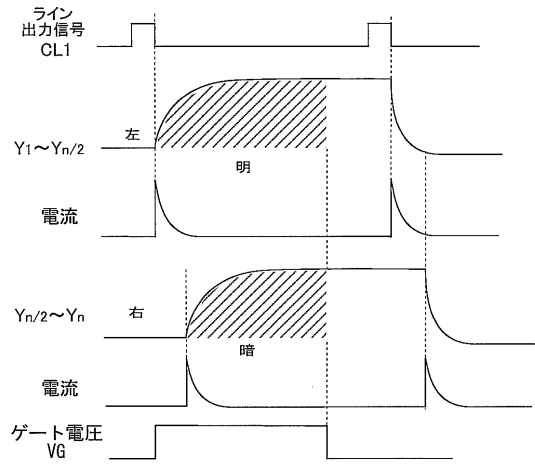
【図13】



【図14】



【 図 1 5 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 C
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 W
G 0 9 G	3/20	6 2 3 X
G 0 9 G	3/20	6 4 2 A

Fターム(参考) 5C006 AA16 AA22 AC11 AC21 AC28 AF22 AF44 AF51 AF53 AF61
AF71 AF83 BB16 BC03 BC12 BC20 BF04 BF24 BF25 BF43
EB04 FA32
5C080 AA10 BB05 DD12 DD28 FF11 JJ02 JJ04

专利名称(译)	液晶显示器驱动装置和液晶显示系统		
公开(公告)号	JP2005338421A	公开(公告)日	2005-12-08
申请号	JP2004157005	申请日	2004-05-27
[标]申请(专利权)人(译)	株式会社瑞萨科技		
申请(专利权)人(译)	瑞萨科技公司		
[标]发明人	冈村和浩 吉岡明彦		
发明人	岡村 和浩 吉岡 明彦		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G3/2011 G09G3/3614 G09G2310/027 G09G2310/0283 G09G2310/0297 G09G2310/08 G09G2330/025 G09G2330/06		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.525 G02F1/133.550 G02F1/133.570 G09G3/20.611.C G09G3/20.621.B G09G3/20.623.R G09G3/20.623.W G09G3/20.623.X G09G3/20.642.A		
F-TERM分类号	2H093/NA16 2H093/NA22 2H093/NA31 2H093/NB01 2H093/NC16 2H093/NC26 2H093/NC34 2H093/NC49 2H093/NC81 2H093/ND01 2H093/ND34 2H093/ND60 2H093/NE10 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AC28 5C006/AF22 5C006/AF44 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF04 5C006/BF24 5C006/BF25 5C006/BF43 5C006/EB04 5C006/FA32 5C080/AA10 5C080/BB05 5C080/DD12 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZA32 2H193/ZJ11 2H193/ZP20		
外部链接	Espacenet		

摘要(译)

即使将显示面板的多条信号线（源线）分成多组并以各组之间的时间差来驱动，也不会降低显示图像质量的液晶显示器用于EMI对策 提供一种驱动装置（液晶驱动器）。一种显示驱动装置（液晶驱动器），其接收显示图像数据，生成要施加到显示面板的信号线上的图像信号，并根据从外部输入的输出定时信号，一次输出一行图像信号。在上文中，输出图像信号的末级输出放大器被分成多个组，对于每组图像信号的输出时序略有偏移，并且每组的输出放大器的输出顺序被周期性地改变。是的选择图]图3

