

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-121983

(P2005-121983A)

(43) 公開日 平成17年5月12日(2005.5.12)

(51) Int.Cl.<sup>7</sup>

G09G 3/36

G09G 3/20

// G02F 1/133

F I

G09G 3/36

G09G 3/20

G09G 3/20 611A

G09G 3/20 621M

G09G 3/20 622E

G09G 3/20 631M

テーマコード(参考)

2H093

5C006

5C080

審査請求 未請求 請求項の数 15 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2003-358263 (P2003-358263)

(22) 出願日 平成15年10月17日(2003.10.17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(71) 出願人 502356528

株式会社 日立ディスプレイズ

千葉県茂原市早野3300番地

(74) 代理人 100093506

弁理士 小野寺 洋二

(72) 発明者 笠井 成彦

神奈川県横浜市戸塚区吉田町292番地

株式会社日立製作所

システム開発研究所内

最終頁に続く

(54) 【発明の名称】 表示装置

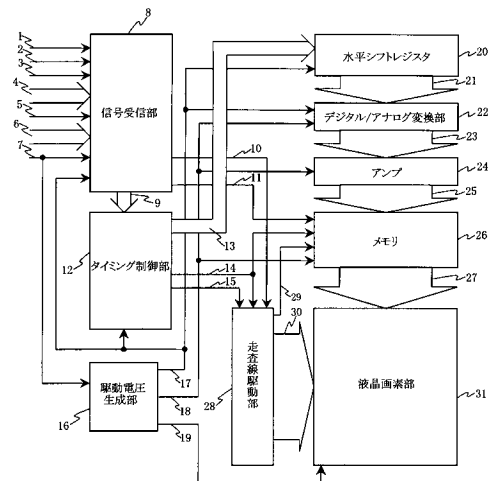
(57) 【要約】

【課題】 本発明は、メモリー一体型の表示装置において、回路構成の簡略化、および消費電力の抑制を課題とする。

【解決手段】 本発明は、複数の表示素子がマトリクス状に配置された液晶画素部31と、液晶画素部31に電圧を印加するための水平シフトレジスタ20、デジタル／アナログ変換部22、アンプ24、垂直方向の走査線を選択する走査線駆動部28で構成される表示装置において、表示データを格納するメモリ26をアンプ24と液晶画素部31との間に配置する。

【選択図】 図1

図 1



## 【特許請求の範囲】

## 【請求項 1】

マトリクス状に配置された複数の表示素子と、前記複数の表示素子のデータ線に駆動電圧を与えるためのデータ線駆動手段と、表示データを格納するメモリ手段と、駆動すべき前記表示素子を選択するための走査線駆動手段とを備えた表示装置において、

前記メモリ手段を、前記データ線駆動手段と前記マトリクス状に配置された複数の表示素子との間に配置することを特徴とする表示装置。

## 【請求項 2】

前記メモリ手段は、前記マトリクス状に配置された複数の表示素子の一部分に相当する各画素に対して、それぞれ 1 ビットを割り当てる容量を持つことを特徴とする請求項 1 に記載の表示装置。 10

## 【請求項 3】

前記メモリ手段は、その水平ラインを走査するメモリ走査シフトレジスタを持つことを特徴とする請求項 1 に記載の表示装置。

## 【請求項 4】

前記メモリ手段は、動作モード信号によって、メモリセルへの書き込み読み出しの制御を行うとともに、表示データの切り替えを行うことを特徴とする請求項 1 に記載の表示装置。

## 【請求項 5】

前記走査線駆動手段は、前記メモリ走査シフトレジスタへ供給するメモリ垂直スタートパルスを生成することを特徴とする請求項 3 に記載の表示装置。 20

## 【請求項 6】

マトリクス状に配置された複数の表示素子と、前記複数の表示素子のデータ線に駆動電圧を与えるためのデータ線駆動手段と、表示データを格納するメモリ手段と、駆動すべき前記表示素子を選択するための走査線駆動手段とを備えた表示装置において、

前記メモリ手段を、前記マトリクス状に配置された複数の表示素子の後段に配置することを特徴とする表示装置。

## 【請求項 7】

前記メモリ手段は、前記マトリクス状に配置された複数の表示素子の一部分に相当する各画素に対して、それぞれ 1 ビットを割り当てる容量を持つことを特徴とする請求項 6 に記載の表示装置。 30

## 【請求項 8】

前記メモリ手段は、その水平ラインを走査するメモリ走査シフトレジスタを持つことを特徴とする、請求項 6 に記載の表示装置。

## 【請求項 9】

前記メモリ手段は、動作モード信号によって、メモリセルへの書き込み読み出しの制御を行うとともに、表示データの切り替えを行うことを特徴とする請求項 6 に記載の表示装置。

## 【請求項 10】

前記走査線駆動手段は、前記メモリ走査シフトレジスタへ供給するメモリ垂直スタートパルスを生成することを特徴とする請求項 8 に記載の表示装置。 40

## 【請求項 11】

ガラス基板上に複数の表示素子がマトリクス状に配置された画素部と、外部からの表示データを増幅するアンプ手段とを備えた表示装置において、前記ガラス基板上に配置され、前記アンプ手段からの増幅された表示データを記憶するメモリ手段を設けたことを特徴とする表示装置。

## 【請求項 12】

前記メモリ手段は、前記マトリクス状に配置された複数の表示素子の一部分に相当する各画素に対して、それぞれ 1 ビットを割り当てる容量を持つことを特徴とする請求項 11 に記載の表示装置。 50

## 【請求項 1 3】

前記メモリ手段は、その水平ラインを走査するメモリ走査シフトレジスタを持つことを特徴とする請求項 1 1 に記載の表示装置。

## 【請求項 1 4】

前記メモリ手段は、動作モード信号によって、メモリセルへの書き込み読み出しの制御を行うとともに、表示データの切り替えを行うことを特徴とする請求項 1 1 に記載の表示装置。

## 【請求項 1 5】

前記走査線駆動手段は、前記メモリ走査シフトレジスタへ供給するメモリ垂直スタートパルスを生成することを特徴とする請求項 1 3 に記載の表示装置。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、表示素子に電圧を印加する駆動手段と、表示データを一旦格納するメモリ手段とを有する表示装置に係り、特に、ガラス基板上に低温ポリシリコントランジスタを用いて、駆動手段及びメモリ等の周辺回路を形成する表示装置に関する。

## 【背景技術】

## 【0002】

下記特許文献1には、静止画像を格納するためのメモリを、表示装置と同一のガラス基板上に設けること、また、従来のメモリ内蔵ドライバの構成をガラス基板上に設けることが記載されている。

20

【特許文献1】特開2002-91332号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0003】

しかし、前記背景技術では、メモリへの書き込み動作は、アドレス指定を行う必要があり、そのための制御回路を必要とする。特に、周辺回路をガラス基板上に形成する低温ポリシリコン液晶ディスプレイにおいては、同一ガラス基板上に表示素子と周辺回路とを形成するために、回路規模の増大は表示素子の領域を除いたガラス基板上での額縁の増大につながる。

30

## 【課題を解決するための手段】

## 【0004】

本発明は上記課題を解決するためになされたものであり、実施例1としては、メモリ手段をデータ線駆動手段と液晶画素部におけるマトリクス状に配置された複数の表示素子との間に配置する。実施例2としては、メモリ手段を液晶画素部におけるマトリクス状に配置された複数の表示素子の後段に(表示素子のデータ線を介して)配置する。

## 【0005】

実施例1においては、メモリ手段への書き込み、読み出し動作の際のアドレス制御が不要となり、周辺回路を簡略化できる。実施例2においては、実施例1における作用に加え、メモリ読出データを液晶画素部へ表示する際、データ線駆動手段を介さないため、消費電力を抑制できる。実施例3においては、実施例2における作用に加え、メモリからの読出データを他の表示装置(例えば携帯電話のサブ画面)へ表示することができる。

40

## 【発明の効果】

## 【0006】

本発明によれば、ガラス基板上にメモリ手段を形成する際、アドレス制御回路が不要となり、低温ポリシリコン液晶ディスプレイの周辺回路を簡略化しつつ、携帯電話等の低消費電力モードにも対応できるという効果を奏する。

## 【発明を実施するための最良の形態】

## 【0007】

以下、本発明の実施例1, 2について、図面を用いて詳細に説明する。

50

## 【実施例 1】

## 【0008】

図 1 は本発明の実施例 1 であるメモリー一体型表示装置の例であって、1 は垂直同期信号、2 は水平同期信号、3 はデータイネーブル信号、4 は表示データ、5 は同期クロック、6 はパラメータ制御信号、7 はシステム電源であり、垂直同期信号 1 は表示一画面周期（1 フレーム）の信号、水平同期信号 2 は一水平周期の信号、データイネーブル信号 3 は表示データ 4 が有効である期間を示す信号で、全て同期クロック 5 に同期して入力される。

## 【0009】

本実施例では、表示データ 4 が、画面の左上端の画素から順次ラスタスキャン形式で一画面分転送され、一画素分の情報は 6 ビットの階調データからなるものとして以下説明する。パラメータ制御信号 6 は本実施例によるメモリー一体型表示装置の動作モードや、タイミングのパラメータを設定、変更するための制御信号である。システム電源 7 は、携帯電話や、情報端末といったシステム装置から供給される電源である。

## 【0010】

また、本実施例では、パラメータ制御信号 6 は、複数ビットのデータがクロックに同期してシリアルで転送されてくる信号（この信号を、以下「クロック同期シリアルインタフェース」という。）であって、システム電源 7 は、1.8V の電圧を持つ電源であるものとして以下説明する。

## 【0011】

8 は信号受信部、9 は受信表示データ、10 はメモリ位置情報、11 は動作モード信号であり、信号受信部 8 は、システム電源 7 と同じ電圧振幅を持つ表示データ 4 や他の受信信号を、表示装置内部の回路の動作電圧と同じ電圧振幅を持つ信号に、パネルロジック電源 17 を用いて変換し、パラメータ制御信号 6 に従った制御信号と合わせて、受信表示データ 9 として出力する。

## 【0012】

また、パラメータ制御信号 6 から、メモリ手段としてのメモリ 26 が格納しているデータの表示画面上での位置情報を示すメモリ位置情報 10 と、通常の表示動作なのか、メモリを使用した表示なのかを示す動作モード信号 11 を生成する。

## 【0013】

12 はタイミング制御部、13 は表示データとタイミング信号を含む水平表示制御信号、14 は垂直シフトクロック、15 は垂直スタートパルスであり、タイミング制御部 12 は、受信表示データ 9 から、水平シフトレジスタ 20 で表示データをサンプリングさせるための水平表示制御信号 13、液晶画素部 31 の書き込みラインを走査制御するための垂直シフトクロック 14、垂直スタートパルス 15 を生成する。

## 【0014】

16 は駆動電圧生成部、17 はパネルロジック電源、18 は液晶駆動アナログ電源、19 は液晶対向電極電源であり、駆動電圧生成部 16 は、システムから入力されるシステム電源 7 を基準として、表示装置内のロジック回路を動作するためのパネルロジック電源 17、液晶に印加する電圧を生成するための液晶駆動アナログ電源 18、液晶素子の対向電極側に印加する電圧となる液晶対向電極電源 19 を生成する。ここでは、表示装置内のロジック回路は全て 5V で動作するものとし、したがって、パネルロジック電源 17 は 5V として、以下説明する。

## 【0015】

20 は水平シフトレジスタ、21 は水平表示デジタルデータであり、水平シフトレジスタ 20 は、水平表示制御信号 13 に従って、一水平ライン分の表示データを取り込み、一水平ライン分取り込んだ後、水平表示デジタルデータ 21 として出力する。

## 【0016】

22 はデジタル／アナログ変換部、23 は水平表示アナログデータであり、デジタル／アナログ変換部 22 は、一水平ライン分のデジタルデータである水平表示デジタルデータ 21 を、デジタル／アナログ変換クロック（図示を省略）に従ってデジタル／アナログ変換

10

20

30

40

50

を行い、水平表示アナログデータ 23 として出力する。

【0017】

24 はデータ線駆動手段としてのアンプ、25 は水平表示データであり、アンプ 24 は、水平表示アナログデータ 23 が示すアナログ電圧値を、液晶画素部 31 のデータ線へ書き込むために増幅するための回路であり、水平表示データ 25 として出力する。

【0018】

26 はメモリ、27 は水平表示画素データであり、メモリ 26 は液晶画素部 31 と共にガラス基板上に配置され、垂直シフトクロック 14、メモリ垂直スタートパルス 29 に従って、水平表示データ 25 を格納する場合と、格納したデータを垂直シフトクロック 14、メモリ垂直スタートパルス 29 に従って読み出したデータを水平表示画素データ 27 として出力する場合と、水平表示データ 25 をそのまま水平表示画素データ 27 として出力する場合の 3 種類の動作を行う。

10

【0019】

28 は走査線駆動手段としての走査線駆動部、29 はメモリ垂直スタートパルス、30 は垂直走査信号であり、走査線駆動部 28 は、垂直シフトクロック 14、垂直スタートパルス 15 に従って、画素部の水平ラインを順次選択するための垂直走査信号 30 を生成するとともに、メモリ 26 からの読出データを表示する場合に、その読出データを表示する水平ライン位置に合わせてメモリ垂直スタートパルス 29 を生成する。

【0020】

31 は液晶画素部であり、本実施例では、従来と同様にガラス基板上に複数の表示素子がマトリクス状に配置されたアクティブマトリクス型の液晶画素で構成され、垂直走査信号 30 で選択された水平ライン上の画素に、水平表示画素データ 27 が書き込まれ、このデータの電圧に従った表示輝度で表示がなされるものとし、さらにここでは、横方向 240 画素、縦方向 320 ラインであるものとして以下説明する。

20

【0021】

図 2 は図 1 に記載の信号受信部 8 の内部構成の一実施形態である。図 2 において、32 は信号電圧レベル変換部、33 は内部垂直同期信号、34 は内部水平同期信号、35 は内部ディスプレイイネーブル信号、36 は内部表示データ、37 は内部同期クロック、38 は内部パラメータ制御信号であり、信号電圧レベル変換部 32 は、各々システム電源 7 の電圧レベルを持つ垂直同期信号 1、水平同期信号 2、データイネーブル信号 3、表示データ 4、同期クロック 5、パラメータ制御信号 6 を、各々パネルロジック電源 17 の電圧レベルを持つ内部垂直同期信号 33、内部水平同期信号 34、内部ディスプレイイネーブル信号 35、内部表示データ 36、内部同期クロック 37、内部パラメータ制御信号 38 へレベル変換して出力する。

30

【0022】

39 はシリアル／パラレル変換部、40 は制御パラメータであり、シリアル／パラレル変換部 39 は、液晶表示装置の動作モードや、タイミングのパラメータを設定、変更するために、複数ビットのデータがクロックに同期してシリアルで転送されてくるクロック同期シリアルインタフェースを、複数ビットのアドレスとデータからなる制御パラメータ 40 にパラレル変換する。

40

【0023】

41 はモード生成部であり、モード生成部 41 は、制御パラメータ 40 のアドレスから、制御パラメータ 40 が何を表すパラメータであるかを判別し、アドレスに続くデータをパラメータの値として判別する。ここでは、制御パラメータ 40 は、通常表示であるか、メモリに格納したデータを表示するモードであるかを示す動作モード信号 11 と、表示画面のなかのどの位置をメモリに格納するか、また、メモリから読み出したデータをどの位置に表示するかを示すメモリ位置情報 10 を持ち、動作モード信号 11 は 2 ビットで「通常表示」「メモリ書き込み」「メモリ読み出し」の 3 モードを示す信号、メモリ位置情報 10 は 2 ビットで表示開始位置を「上端」「中央」「下端」の 3 種類を示す信号を出力するものとして、以下説明する。

50

## 【0024】

図3は、図1に記載のタイミング制御部12の内部構成の一実施形態である。図3において、43は水平駆動タイミング生成部、44は垂直駆動タイミング生成部であり、水平駆動タイミング生成部43は、内部垂直同期信号33、内部水平同期信号34、内部ディスプレイイネーブル信号35、内部表示データ36、内部同期クロック37から、従来と同様に、水平方向駆動を制御するための、水平表示制御信号13を生成する。

## 【0025】

垂直駆動タイミング生成部44は、内部垂直同期信号33、内部水平同期信号34、内部同期クロック37から、従来と同様に、垂直方向駆動を制御するための、垂直シフトクロック14、垂直スタートパルス15を生成する。

10

## 【0026】

図4は、図1に記載のメモリ26の内部構成の一実施形態である。図4において、45はメモリ走査シフトレジスタ、46はメモリ走査信号、47はメモリ書込部、48はメモリ書込データ、49はメモリセル、50はメモリ読出データ、51はメモリ読出部(センサンプ)、52はメモリ読出データ、53はデータ切替部である。

## 【0027】

メモリ走査シフトレジスタ45は、マトリクス状に配置されたメモリセル49への書き込み、あるいは、読み出しを行う水平ラインを選択するためのメモリ走査信号46を生成する。メモリ書込部47は、動作モード信号11が「メモリ書き込み」動作を示すとき、水平表示データ25をメモリ書込データ48として出力する。

20

## 【0028】

メモリセル49は、メモリ走査信号46によって選択された水平ライン上にメモリ書込データ48を書き込む。

## 【0029】

メモリ読出部51は、動作モード信号11が「メモリ読み出し」動作を示すとき、メモリ走査信号46によって選択された水平ライン上のデータをメモリ読出データ50としてメモリから読み出し、メモリ読出データ52として出力する。

## 【0030】

データ切替部53は、動作モード信号11が「通常表示」動作を示すときには水平表示データ25を、「メモリ読み出し」動作を示すときにはメモリ読出データ52を選択し、水平表示画素データ27として出力する。

30

## 【0031】

ここで、メモリセル49は、液晶画素部31が240×320ドットであるのに対し、その一部分である240×40ドット分、各ドット入力されるアナログデータがある閾値より大きい、小さいかを1ビットの情報として格納するものであって、カラー情報の場合には、各色にそれぞれ1ビットを割り当てて、8色を表示するものとして、以下説明する。

## 【0032】

図5は、図1に記載の走査線駆動部28の内部構成の一実施形態であって、54は走査駆動用シフトレジスタ、55はメモリ走査スタートパルス選択部であり、走査駆動用シフトレジスタ54は、従来の液晶表示装置の走査駆動用のシフトレジスタと同様、垂直スタートパルス15を垂直シフトクロック14に従って、順次一段ずつシフトし垂直走査線を1本選択する垂直走査信号30を出力する。

40

## 【0033】

メモリ走査スタートパルス選択部55は、垂直走査信号30の選択パルスのうち、メモリ位置情報10が示す位置のパルスのみを選択し、メモリ垂直スタートパルス29として出力する。

## 【0034】

図6は、本発明の動作モードのうち、「メモリ読み出し」モード時の表示画面の状態を示す図であって、56は全表示領域、57はメモリ読み出しモード時非表示領域、58は

50

メモリ読み出しモード時表示領域であり、メモリ読み出し時表示領域 58 は、メモリセル 49 の容量である  $240 \times 40$  ドット分の領域を持ち、その表示位置はメモリ位置情報 10 で指示されるメモリ垂直スタートパルス 29 によって、「上端」「中央」「下端」が選択される。その領域以外の部分が、メモリ読出しモード時非表示領域 57 となり、合わせて全表示領域 56 となる。

#### 【0035】

図 7 は図 5 に記載の走査駆動用シフトレジスタ 54、メモリ走査スタートパルス選択部 55 の、通常表示動作モード時の動作を示した図であって、59 は走査線選択パルス第 1 走査線出力、60 は走査線選択パルス第 2 走査線出力、61 は走査線選択パルス第 141 走査線出力、62 は走査線選択パルス第 142 走査線出力、63 は走査線選択パルス第 180 走査線出力、64 は走査線選択パルス第 320 走査線出力である。

10

#### 【0036】

走査線選択パルス 59～64 は、垂直スタートパルス 15 が垂直シフトクロック 14 に従って、順次シフトされて出力されていることを示している。

#### 【0037】

65 は通常表示モード時メモリ走査線選択パルス第 1 走査線出力、66 は通常表示モード時メモリ走査線選択パルス第 2 走査線出力、67 は通常表示モード時メモリ走査線選択パルス第 40 走査線出力である。

#### 【0038】

通常表示モード時メモリ走査線選択パルス 65～67 は、メモリを使用しない動作モードのため、どのパルスも出力されない。68 は 1 フレーム期間であり、走査線選択パルス 59～64 が、1 フレーム期間 68 で一周期となっていることを示している。

20

#### 【0039】

図 8 は図 5 に記載の走査駆動用シフトレジスタ 54、メモリ走査スタートパルス選択部 55 の、メモリ書き込み動作モード時、メモリ読み出し動作モード時、つまりメモリ動作時の動作を示した図であって、69 はメモリ動作時メモリ走査線選択パルス第 1 走査線出力、70 はメモリ動作時メモリ走査線選択パルス第 2 走査線出力、71 はメモリ動作時メモリ走査線選択パルス第 40 走査線出力、72 はメモリ走査期間であり、メモリ動作時メモリ走査線選択パルス 69～71 は、メモリ垂直スタートパルス 29 の“1”出力を、順次垂直シフトクロック 14 に従ってシフト出力する。

30

#### 【0040】

そのメモリ垂直スタートパルス 29 は、表示画面のなかのどの位置をメモリに格納するか、また、メモリから読み出したデータをどの位置に表示するかを示すメモリ位置情報 10 に従って、メモリ走査の開始位置と同じ走査線位置の走査線選択パルスが“1”のときに“1”を出力する。

#### 【0041】

ここで、メモリ位置情報 10 が「中央」を示すものとして説明すると、走査線選択パルス第 141 走査線出力が“1”のとき、メモリ垂直スタートパルス 29 が“1”となる。したがって、メモリ書き込み時は表示の 141 ライン目から 180 ライン目の走査線選択パルス 61～63 と同じタイミングとなるメモリ走査期間 72 の間、メモリ走査線選択パルス 69～71 が出力される。

40

#### 【0042】

以下、図 1～8 を用いて、本実施例におけるメモリ一体型表示装置におけるメモリ制御について説明する。まず、図 1 を用いて、表示データの流れを説明する。

#### 【0043】

図 1 で、信号受信部 8 は、1.8V 振幅である入力信号としての、垂直同期信号 1、水平同期信号 2、データイネーブル信号 3、表示データ 4、同期クロック 5、パラメータ制御信号 6 を全て、パネルロジック電源 17 と同じ振幅までレベル変換し、受信表示データ 9 として出力する。

#### 【0044】

50

また、パラメータ制御信号 6 から、通常の表示を行う「通常表示」、メモリへの書き込み動作を行う「メモリ書き込み」、省電力時にシステムからのデータ転送を止め、メモリからの読出データを表示する「メモリ読み出し」(俗に「パーシャル表示」ともいう)の 3 つの動作モードを示す動作モード信号 11 を生成するとともに、「メモリ書き込み」時に、液晶画素部 31 の表示のうちどの部分をメモリに格納し、「メモリ読み出し」時にどの位置に表示するかを示すメモリ位置情報 10 を生成する。

【0045】

タイミング制御部 12 は、レベル変換された受信表示データ 9 から、水平方向のタイミング制御を行う水平表示制御信号 13 と、垂直方向のタイミング制御を行う、垂直シフトクロック 14 と垂直スタートパルス 15 を生成する。

10

【0046】

駆動電圧生成部 16 は、システム電源 7 から、従来の液晶表示装置と同様に、パネル内のロジック回路を動作させるための電源となるパネルロジック電源 17、液晶に印加する電圧の基準となる液晶駆動アナログ電源 18、その対向電極側の電圧となる液晶対向電極電源 19 を生成する。

【0047】

水平シフトレジスタ 20 は、従来と同様に、水平表示制御信号 13 に従って、1 水平ライン分のデータをラッチし、水平表示デジタルデータ 21 として出力する。

【0048】

デジタル／アナログ変換部 22 は、従来と同様に、水平表示デジタルデータ 21 を液晶に印加するアナログデータに変換し、水平表示アナログデータ 23 として出力する。

20

【0049】

アンプ 24 は、従来と同様、水平表示アナログデータ 23 を、液晶画素部へ書き込むために増幅し、水平表示データ 25 として出力する。

【0050】

走査線駆動部 28 は、従来と同様に、垂直スタートパルス 15 を垂直シフトクロック 14 に従って順次シフトし、垂直走査信号 30 として出力するとともに、メモリの書き込み、読み出しのスタート位置を示すメモリ位置情報 10 に従って、メモリの書き込み、読み出しのスタートパルスとなるメモリ垂直スタートパルス 29 を出力する。

【0051】

液晶画素部 31 は、従来と同様に、走査線信号 30 によって選択された水平ライン上の画素に、水平表示画素データ 27 として出力される電圧を書き込むことにより表示がなされる。

30

【0052】

図 2 を用いて、図 1 に記載の信号受信部 8 の動作の詳細について説明する。まず、入力信号の電圧レベル変換について説明する。図 2 で、信号電圧レベル変換部 32 は、1.8V 振幅である、垂直同期信号 1、水平同期信号 2、データイネーブル信号 3、表示データ 4、同期クロック 5、パラメータ制御信号 6 を、1.8V のシステム電源 7 と 5V のパネルロジック電源 17 を用いてレベル変換し、各々 5V 振幅の、内部垂直同期信号 33、内部水平同期信号 34、内部ディスプレイイネーブル信号 35、内部表示データ 36、内部同期クロック 37、内部パラメータ制御信号 38 として出力する。

40

【0053】

ここで、パネル内部のロジック電源を 5V としているが、これに限定するものではなく、また、パネル内部のロジック電源もシステム電源と同じ電圧で動作する場合は、この信号電圧レベル変換部 32 を省略することも可能となる。

【0054】

次に、パラメータ制御信号 6 から、動作モード等、制御パラメータを判別する動作の詳細について説明する。図 2 で、シリアル／パラレル変換部 39 は、複数ビットのアドレスとデータがシリアルで転送されてくるクロック同期シリアルインタフェースを、複数ビットのアドレスとデータからなる制御パラメータ 40 にパラレル変換する。

50



## 【0055】

モード生成部41は、制御パラメータ40のアドレスから、その後のデータがどういう意味を持つパラメータであるかを判別し、データからモード信号を生成する。

## 【0056】

ここでは、動作モードか、メモリ位置情報かをアドレスで区別する。例えば、アドレス“0”であれば、そのあとに送られているデータは動作モードを表すデータであり、そのデータが“0”であれば「通常表示」、「1」であれば「メモリ書き込み」、「2」であれば「メモリ読み出し」とであると判別し、各々を動作モード信号11として出力する。

## 【0057】

また、アドレスが“1”であれば、そのあとに送られているデータはメモリ位置情報を表すデータであり、“0”であれば「上端」40ラインをメモリに格納、表示し、“1”であれば「中央」40ラインをメモリに格納、表示し、“2”であれば「下端」40ラインをメモリに格納、表示するという意味であると判別し、各々をメモリ位置情報10として出力する。

## 【0058】

なお、パラメータはこれに限定するものではなく、アドレスの種類を増やしてより多様な制御を行うことが可能であることはいうまでもない。

## 【0059】

図3を用いて、図1に記載のタイミング制御部12のタイミング生成動作の詳細について説明する。ただし、ここでの動作は従来の液晶表示装置の動作と同様である。図3で、水平駆動タイミング生成部43は、内部ロジック用に電圧レベルシフトされた、内部垂直同期信号33、内部水平同期信号34、内部ディスプレイイネーブル信号35、内部同期クロック37から、水平方向駆動を制御するタイミング信号を生成するとともに、それに合わせて内部表示データ36のタイミングを調整し、タイミング信号と内部表示データ36とを水平表示制御信号13として出力する。垂直駆動タイミング生成部44は、内部垂直同期信号33、内部水平同期信号34、内部同期クロック37から、垂直方向駆動を制御する垂直シフトクロック14と、垂直スタートパルス15を生成する。

## 【0060】

図4～8を用いて、図1に記載のメモリ26、垂直駆動部28による、メモリ制御動作の詳細について説明する。まず、図4を用いて、メモリ26におけるメモリ制御動作の詳細について説明する。

## 【0061】

図4で、メモリ走査シフトレジスタ45は、メモリ垂直スタートパルス29を垂直シフトクロック14に従って順次シフトし、メモリ走査信号46として出力する。

## 【0062】

メモリ書込部47は、動作モード信号11が「メモリ書き込み」を示すとき、水平表示データ25をメモリ書込データ48として出力する。

## 【0063】

メモリセル49には、メモリ走査信号46が選択する水平ライン上のセルに、メモリ書込データ48が書き込まれる。

## 【0064】

メモリ読出部51は、動作モード信号11が「メモリ読み出し」を示すとき、メモリセル49から、メモリ走査信号46が選択する水平ライン上のセルからメモリ読出データ50を読み出し、メモリ読出画素データ52として出力する。

## 【0065】

データ切替部53は、動作モード信号11が「通常表示」を示すときは水平表示データ25を選択し、「メモリ読み出し」を示すときは、メモリ読出しデータ52を選択し、水平表示画素データ27として出力する。

## 【0066】

次に図5～8を用いて、走査線駆動部28によるメモリ走査の詳細について説明する。

図 5 で、走査駆動用シフトレジスタ 54 は、従来と同様、垂直スタートパルス 15 を、垂直シフトクロック 14 に従って順次シフトし、垂直走査信号 30 として出力する。メモリ走査スタートパルス選択部 55 は、メモリ位置情報 10 に従って、メモリにデータを書き込む、あるいは読み出す表示データの位置にあたる走査駆動信号 30 の位置を選択し、メモリ垂直スタートパルス 29 として出力する。

#### 【0067】

図 6 で、メモリ読み出しモード時表示領域 58 を示す位置が、メモリ位置情報 10 として送られてくることとなる。この場合のメモリ位置情報 10 は「中央」を示す“1”となる。

#### 【0068】

図 7 では「通常表示」モード時の動作を示しており、垂直スタートパルス 15 が、垂直シフトクロック 14 に従って順次シフトされ、走査線選択パルス第 1 走査線出力 59、走査線選択パルス第 2 走査線出力 60、……、走査線選択パルス第 141 走査線出力 61、走査線選択パルス第 142 走査線出力 62、……、走査線選択パルス第 180 走査線出力 63、……、走査線選択パルス第 320 走査線出力 64 の順に出力される。「通常表示」モードなので、メモリ垂直スタートパルス 29 以下の信号は出力されない。

#### 【0069】

図 8 では、「メモリ読み出し表示」モード時の動作を示しており、「通常表示」モードと同様に、垂直スタートパルス 15 が、垂直シフトクロック 14 に従って順次シフトされ、走査線選択パルス第 1 走査線出力 59、走査線選択パルス第 2 走査線出力 60、……、走査線選択パルス第 141 走査線出力 61、走査線選択パルス第 142 走査線出力 62、……、走査線選択パルス第 180 走査線出力 63、……、走査線選択パルス第 320 走査線出力 64 の順に出力される。

#### 【0070】

「メモリ読み出し表示」モードの場合、メモリ位置情報 10 に従って、走査線選択パルス第 1 走査線出力から第 320 走査線出力のうち一つを選択して出力する。ここでは、メモリ位置情報 10 が「中央」を示すため、141 ライン目からの表示データをメモリに書き込み、読み出したデータを 141 ライン目から表示することになるため、走査線選択パルス第 141 走査線出力 61 を選択してメモリ垂直スタートパルス 29 として出力する。

#### 【0071】

メモリ垂直スタートパルス 29 は、垂直シフトクロック 14 に従って順次シフトされ、メモリ走査線選択パルス第 1 走査線出力 69、メモリ走査線選択パルス第 2 走査線出力 70、……、メモリ走査線選択パルス第 40 走査線出力 71 の順に出力される。

#### 【0072】

以上で、パネルに内蔵したメモリを使った、メモリ書き込み動作、メモリ読み出し動作制御を実現する。なお、本発明は、本実施例のようにメモリの容量を制限するものではなく、全画面分持たせることも可能であるし、省電力モード時は、その使用領域をパラメータ制御により制限することも可能であるが、いずれにしろ、メモリ 26 をアンプ 24 と液晶画素部 31 との間に配置することにより、制御を簡略化することは共通である。

#### 【0073】

上記本発明の実施例 1 によれば、水平表示データ 25 を、メモリ走査シフトレジスタ 45 による走査線選択制御によりメモリセル 49 への書き込み、読み出しを行うことにより、複雑なアドレス制御が不要となり、特に、ガラス基板上にメモリを形成する際の回路規模を抑制するという効果を奏する。

#### 【実施例 2】

#### 【0074】

図 9 は、本発明の実施例 2 であるメモリー一体型表示装置の例であって、図 1 と同じ符号を付した部分は、実施例 1 と同一のものである。73 は液晶画素部後段メモリ、74 はメモリ書込／読出データであり、実施例 1 と異なり、メモリをアンプ 24 と液晶画素部 31 の間ではなく、液晶画素部 31 の後段に(液晶表示部 31 のデータ線を介して)配置してい

10

20

30

40

50

るだけで、メモリ制御は実施例 1 と全く同様である。この実施例 2 によれば、実施例 1 と同様の効果に加え、メモリに格納したデータを更に別の液晶画素部（例えば携帯電話のサブ画面）の表示データとすることも容易に実現できるという効果を奏する。

### 【実施例 3】

#### 【0075】

図 10 は、実施例 2 における別の液晶画素部（例えば携帯電話のサブ画面）を設けた本発明の実施例 3 であるメモリー一体型表示装置の例であって、図 9 と同じ符号を付した部分は、実施例 2 と同一のものである。75 は読出データ、76 はサブ液晶画素部であり、メモリ制御は実施例 1 と全く同様である。

### 【図面の簡単な説明】

#### 【0076】

【図 1】 本発明の実施例 1 であるメモリー一体型表示装置のブロック図

【図 2】 図 1 に示す信号受信部 8 の一実施例である内部構成図

【図 3】 図 1 に示すタイミング制御部 12 の一実施例である内部構成図

【図 4】 図 1 に示すメモリ 26 の一実施例である内部構成図

【図 5】 図 1 に示す走査線駆動部 28 の一実施例である内部構成図

【図 6】 本発明の動作モードのうち「メモリ読み出し」モード時の表示画面の状態を示す図

【図 7】 図 5 に示す走査駆動用シフトレジスタ 54、メモリ走査スタートパルス選択部 55 の「通常表示」動作モード時の動作を示した図

【図 8】 図 5 に示す走査駆動用シフトレジスタ 54、メモリ走査スタートパルス選択部 55 の「メモリ読み出し」モード時の動作を示した図

【図 9】 本発明の実施例 2 であるメモリー一体型表示装置のブロック図

【図 10】 本発明の実施例 3 であるメモリー一体型表示装置のブロック図

### 【符号の説明】

#### 【0077】

1 … 垂直同期信号、2 … 水平同期信号、3 … データイネーブル信号、4 … 表示データ、5 … 同期クロック、6 … パラメータ制御信号、7 … システム電源、8 … 信号受信部、9 … 受信表示データ、10 … メモリ位置情報、11 … 動作モード信号、12 … タイミング制御部、13 … 水平表示制御信号、14 … 垂直シフトクロック、15 … 垂直スタートパルス、16 … 駆動電圧生成部、17 … パネルロジック電源、18 … 液晶駆動アナログ電源、19 … 液晶対向電極電源、20 … 水平シフトレジスタ、21 … 水平表示デジタルデータ、22 … デジタル／アナログ変換部、23 … 水平表示アナログデータ、24 … アンプ、25 … 水平表示データ、26 … メモリ、27 … 水平表示画素データ、28 … 走査線駆動部、29 … メモリ垂直スタートパルス、30 … 垂直走査信号、31 … 液晶画素部、32 … 信号電圧レベル変換部、33 … 内部垂直同期信号、34 … 内部水平同期信号、35 … 内部ディスプレイイネーブル信号、36 … 内部表示データ、37 … 内部同期クロック、38 … 内部パラメータ制御信号、39 … シリアル／パラレル変換部、40 … 制御パラメータ、41 … モード生成部、43 … 水平駆動タイミング生成部、44 … 垂直駆動タイミング生成部、45 … メモリ走査シフトレジスタ、46 … メモリ走査信号、47 … メモリ書込部、48 … メモリ書込データ、49 … メモリセル、50 … メモリ読出データ、51 … メモリ読出部（センスアンプ）、52 … メモリ読出画素データ、53 … データ切替部、54 … 走査駆動用シフトレジスタ、55 … メモリ走査スタートパルス選択部、56 … 全表示領域、57 … メモリ読み出しモード時非表示領域、58 … メモリ読み出しモード時表示領域、59 … 走査線選択パルス第 1 走査線出力、60 … 走査線選択パルス第 2 走査線出力、61 … 走査線選択パルス第 141 走査線出力、62 … 走査線選択パルス第 142 走査線出力、63 … 走査線選択パルス第 180 走査線出力、64 … 走査線選択パルス第 320 走査線出力、65 … 通常表示モード時メモリ走査線選択パルス第 1 走査線出力、66 … 通常表示モード時メモリ走査線選択パルス第 2 走査線出力、67 … 通常表示モード時メモリ走査線選択パルス第 40 走査線出力、68 … 1 フレーム期間、69 … メモリ動作時メモリ走査線選択パルス第 1 走査線出

10

20

30

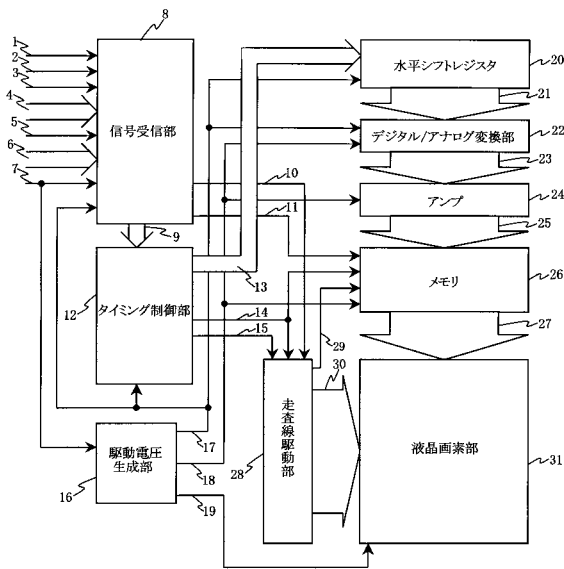
40

50

力、70…メモリ動作時メモリ走査線選択パルス第2走査線出力、71…メモリ動作時メモリ走査線選択パルス第40走査線出力、72…メモリ走査期間、73…液晶画素部後段メモリ、74…メモリ書込／読出データ、75…メモリ読出データ、76…サブ液晶画素部

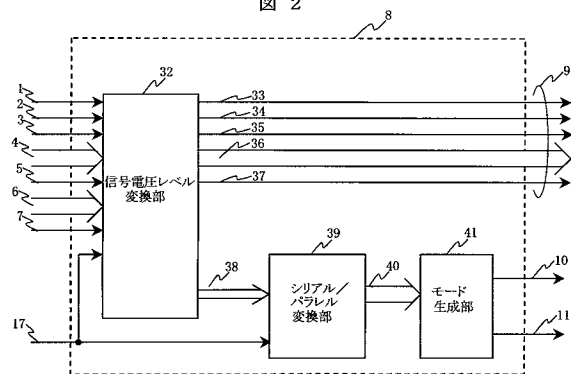
【図1】

図1



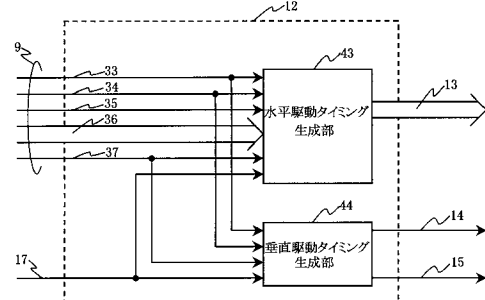
【図2】

図2

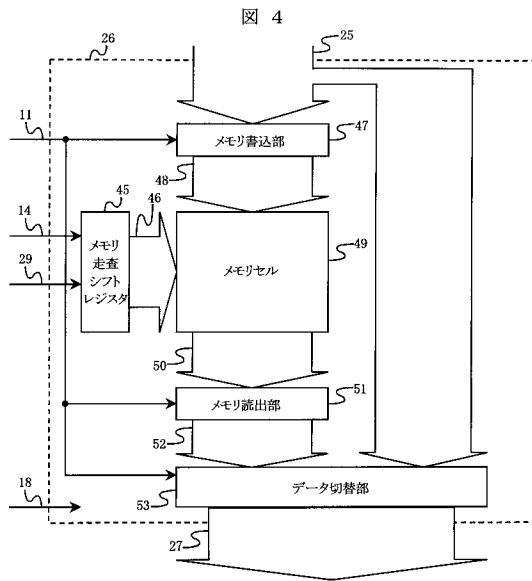


【図3】

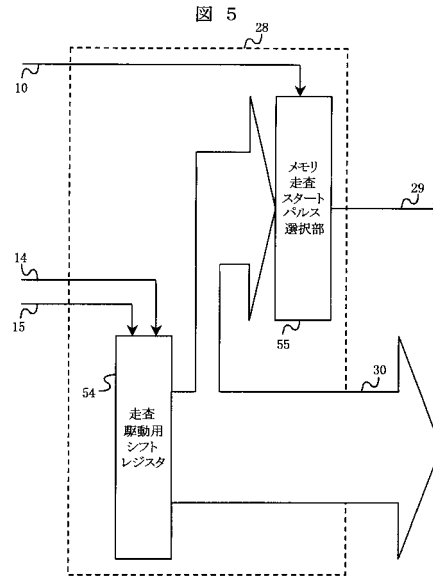
図3



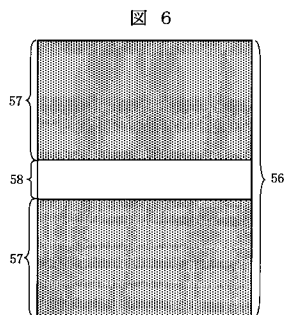
【図 4】



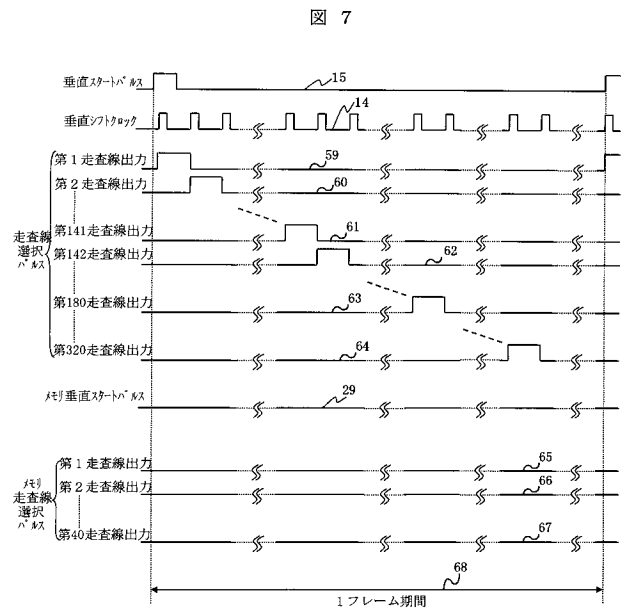
【図 5】



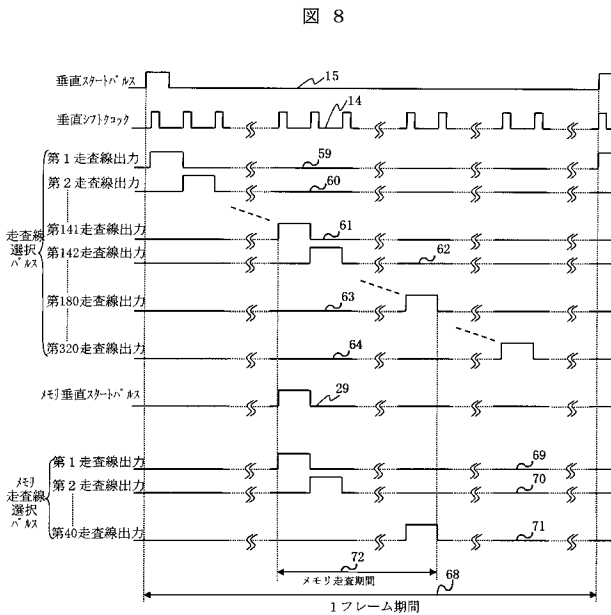
【図 6】



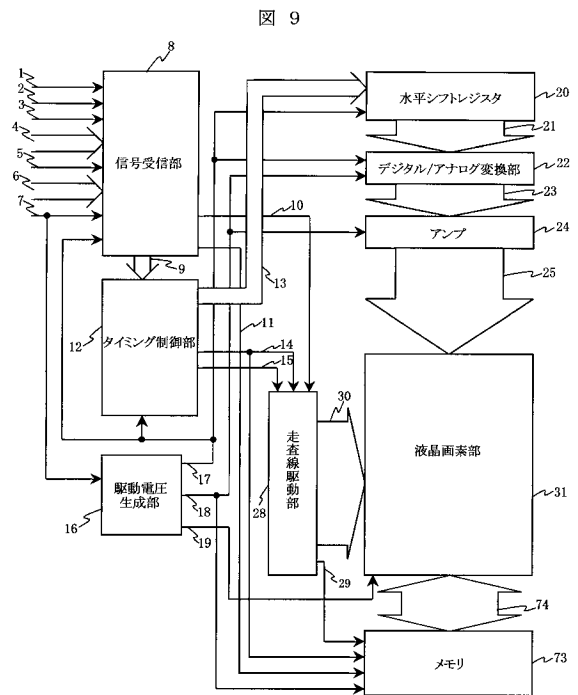
【図 7】



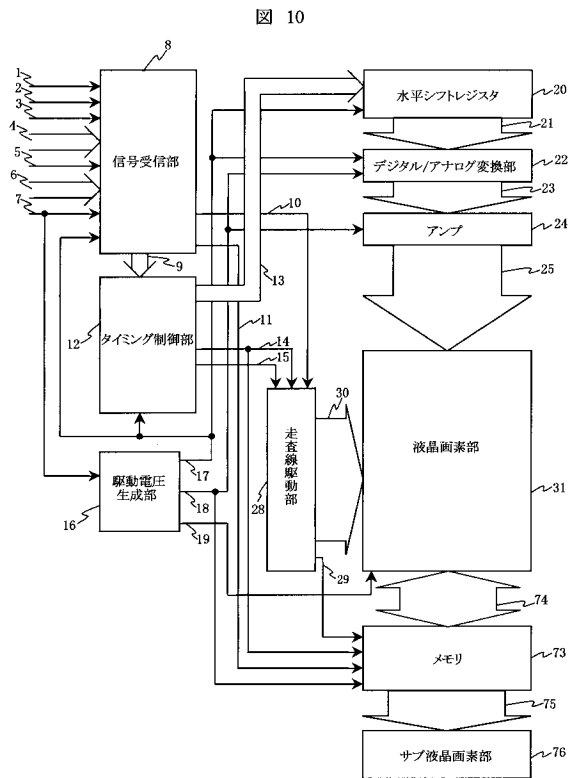
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

テーマコード (参考)

G 0 9 G 3/20 6 6 0 U

G 0 9 G 3/20 6 8 0 G

G 0 2 F 1/133 5 5 0

(72)発明者 古川 武秀

神奈川県横浜市戸塚区吉田町 2 9 2 番地  
研究所内

株式会社日立製作所システム開発

(72)発明者 秋元 肇

東京都国分寺市東恋ヶ窪 1 丁目 2 8 0 番地

株式会社日立製作所中央研究所内

(72)発明者 宮本 光秀

東京都国分寺市東恋ヶ窪 1 丁目 2 8 0 番地

株式会社日立製作所中央研究所内

F ターム (参考) 2H093 NA16 NA80 NC03 NC09 NC13 NC15 NC16 NC22 NC23 NC26  
NC29 NC34 NC35 NC90 ND42 ND50 ND55  
5C006 AA02 AF02 BB16 BC02 BC03 BC06 BC12 BC16 BC20 BF02  
BF03 FA01 FA41 FA47  
5C080 AA10 BB05 DD26 EE19 EE26 EE32 FF01 FF07 FF11 GG12  
GG14 JJ02 JJ04

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
|----------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 表示装置                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| 公开(公告)号        | <a href="#">JP2005121983A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        | 公开(公告)日 | 2005-05-12 |
| 申请号            | JP2003358263                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | 申请日     | 2003-10-17 |
| [标]申请(专利权)人(译) | 株式会社日立制作所                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| 申请(专利权)人(译)    | 株式会社日立制作所<br>日立显示器有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| [标]发明人         | 笠井成彦<br>古川武秀<br>秋元肇<br>宫本光秀                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 发明人            | 笠井 成彦<br>古川 武秀<br>秋元 肇<br>宫本 光秀                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| IPC分类号         | G02F1/133 G09G3/20 G09G3/36 G09G5/00                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| CPC分类号         | G09G3/2092 G09G3/3688 G09G5/008 G09G2300/0408 G09G2310/027                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |         |            |
| FI分类号          | G09G3/36 G09G3/20.611.A G09G3/20.621.M G09G3/20.622.E G09G3/20.631.M G09G3/20.660.U<br>G09G3/20.680.G G02F1/133.550                                                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
| F-TERM分类号      | 2H093/NA16 2H093/NA80 2H093/NC03 2H093/NC09 2H093/NC13 2H093/NC15 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC29 2H093/NC34 2H093/NC35 2H093/NC90 2H093/ND42 2H093/ND50 2H093/ND55 5C006/AA02 5C006/AF02 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC16 5C006/BC20 5C006/BF02 5C006/BF03 5C006/FA01 5C006/FA41 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE19 5C080/EE26 5C080/EE32 5C080/FF01 5C080/FF07 5C080/FF11 5C080/GG12 5C080/GG14 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZE31 2H193/ZF03 |         |            |
| 代理人(译)         | 小野寺杨枝                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                |         |            |
| 其他公开文献         | JP4533616B2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |

#### 摘要(译)

本发明的目的是简化电路配置并抑制存储器集成显示装置中的功耗。根据本发明，提供了其中多个显示元件以矩阵形式布置的液晶像素部分31，用于向液晶像素部分31施加电压的水平移位寄存器20，数字/模拟转换部分22以及放大器24。在包括选择垂直扫描线的扫描线驱动单元28的显示装置中，在放大器24和液晶像素单元31之间布置有存储显示数据的存储器26。[选型图]图1

