

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-72135

(P2005-72135A)

(43) 公開日 平成17年3月17日(2005.3.17)

(51) Int.Cl.⁷

H01L 29/786

G02F 1/1368

G09F 9/30

H01L 21/336

H01L 29/417

F I

H01L 29/78 618C

G02F 1/1368

G09F 9/30 338

H01L 29/78 619B

H01L 29/78 617J

テーマコード (参考)

2H092

4M104

5C094

5F110

審査請求 有 請求項の数 16 O L (全 20 頁) 最終頁に続く

(21) 出願番号

特願2003-297575 (P2003-297575)

(22) 出願日

平成15年8月21日 (2003.8.21)

(71) 出願人 303018827

NEC液晶テクノロジー株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100096231

弁理士 稲垣 清

(72) 発明者 橋本 宜明

神奈川県川崎市中原区下沼部1753番地

NEC液晶テクノロジー株式会社内

(72) 発明者 木村 茂

神奈川県川崎市中原区下沼部1753番地

NEC液晶テクノロジー株式会社内

(72) 発明者 鈴木 聖二

神奈川県川崎市中原区下沼部1753番地

NEC液晶テクノロジー株式会社内

最終頁に続く

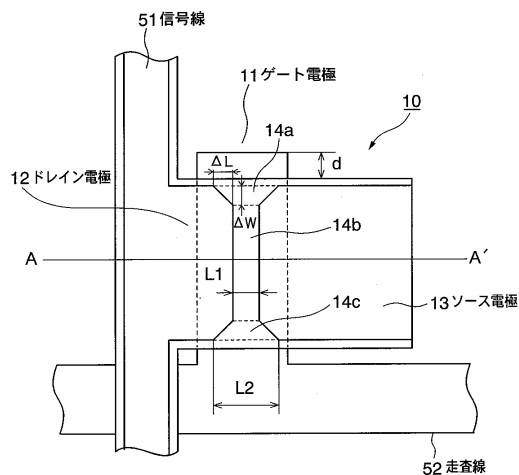
(54) 【発明の名称】 液晶表示装置及び薄膜トランジスタの製造方法

(57) 【要約】

【課題】 液晶表示装置のTFTのチャンネルに侵入する光によるTFTの特性劣化を防止する。

【解決手段】 TFTは、逆スタガ構造に形成され、ゲート電極11が液晶表示装置のバックライトからチャンネル領域14を遮光している。チャンネル領域14は、双方のチャンネル縁部のチャンネル長が、チャンネル中央部分のチャンネル長に比して長く形成される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

薄膜トランジスタ（ＴＦＴ）が形成されたＴＦＴ基板と、ブラックマトリックスが形成された対向基板と、前記ＴＦＴ基板と前記対向基板との間に挟まれた液晶層と、前記ＴＦＴ基板の背面に配設されたバックライトとを備える液晶表示装置において、

前記ＴＦＴのチャンネルは、チャンネル縁部の少なくとも一方のチャンネル長が、チャンネル中央部分のチャンネル長に比して長いことを特徴とする液晶表示装置。

【請求項 2】

前記ＴＦＴの双方のチャンネル縁部のチャンネル長が、前記チャンネル中央部分のチャンネル長よりも長い、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ＴＦＴのゲート電極は、前記チャンネルとバックライトとの間に配設され、前記チャンネルに入射するバックライト光からの光を遮光する、請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

前記チャンネルを含むＴＦＴの半導体層がアモルファスシリコンで形成されている、請求項 1 ～ 3 の何れかーに記載の液晶表示装置。

【請求項 5】

前記ＴＦＴのソース電極及びドレイン電極が、前記半導体層を挟んで前記ゲート電極と対向して配置されている、請求項 1 ～ 4 の何れかーに記載の液晶表示装置。

【請求項 6】

前記ＴＦＴは、前記半導体層と、ソース電極及びドレイン電極との間に、オーミックコンタクト層を有する、請求項 1 ～ 5 の何れかーに記載の液晶表示装置。

【請求項 7】

前記ＴＦＴのソース電極及びドレイン電極が、前記半導体層の上層側に配置されている、請求項 1 ～ 6 の何れかーに記載の液晶表示装置。

【請求項 8】

ＴＦＴのゲート電極と、ゲート絶縁膜と、半導体層と、オーミックコンタクト層とを順次に形成する工程と、

前記半導体層及びオーミックコンタクト層をパターンニングする工程と、

前記パターンニングされたオーミックコンタクト層上に、ソース電極及びドレイン電極を形成する工程と、

前記ソース電極及びドレイン電極をマスクとして、前記ソース電極とドレイン電極の間に対応する領域の前記オーミックコンタクト層を除去することによって、前記半導体層を露出させてチャンネル領域を形成する工程とを順次に備え、

前記チャンネル領域の縁部の少なくとも一方のチャンネル長を、チャンネル領域の中央部分のチャンネル長に比して長く形成することを特徴とするＴＦＴの製造方法。

【請求項 9】

ＴＦＴのゲート電極と、ゲート絶縁膜と、半導体層と、オーミックコンタクト層と、金属層とを順次に形成する工程と、

前記金属層上にレジスト層を形成し、該レジスト層を、所定の波長を有する光源を用い、ソース電極パターン、ドレイン電極パターン、及び、前記ソース電極パターンとドレイン電極パターンとの間に配設される露光解像限界以下のパターンを有するマスクを介して露光し、前記ソース電極パターンと前記ドレイン電極パターンとの間に対応する領域の膜厚が、前記ソース電極パターン及びドレイン電極パターンに対応する領域の膜厚に比して薄いレジストパターンを形成する工程と、

前記レジストパターンを用いて、前記金属層、オーミックコンタクト層、及び、半導体層をパターンニングする工程と、

前記レジストパターンを所定の膜厚まで残して除去するレジスト一部除去工程と、

前記レジスト一部除去工程後のレジストパターンをマスクとし、前記金属層をパターンニ

10

20

30

40

50

ングしてソース電極及びドレイン電極を形成する工程と、

前記ソース電極及びドレイン電極をマスクとして、前記ソース電極とドレイン電極の間に対応する領域の前記オーミックコンタクト層を除去することによって、前記半導体層を露出させてチャンネル領域を形成する工程とを順次に備え、

前記チャンネル領域の縁部の少なくとも一方のチャンネル長を、チャンネル領域の中央部分のチャンネル長に比して長く形成することを特徴とするＴＦＴの製造方法。

【請求項１０】

前記露光解像限界以下のパターンは、露光解像限界以下のスリットパターンとして構成される、請求項９に記載のＴＦＴの製造方法。

【請求項１１】

前記露光解像限界以下のパターンは、露光限界解像以下のハシゴ状パターンとして構成される、請求項９に記載のＴＦＴの製造方法。

【請求項１２】

前記露光解像限界以下のパターンは、露光限界解像以下のドットパターンとして構成される、請求項９に記載のＴＦＴの製造方法。

【請求項１３】

前記レジスト一部除去工程では、ＲＩＥ－ＤＥ装置により、前記レジストパターンを所定の膜厚まで残して除去する、請求項９～１２の何れかーに記載のＴＦＴの製造方法。

【請求項１４】

前記レジスト一部除去工程では、ＵＶアッシャーにより、前記レジストパターンを所定の膜厚まで残して除去する、請求項９～１２の何れかーに記載のＴＦＴの製造方法。

【請求項１５】

前記ＴＦＴの双方のチャンネル縁部のチャンネル長を、前記チャンネル中央部分のチャンネル長よりも長く形成する、請求項８～１４の何れかーに記載のＴＦＴの製造方法。

【請求項１６】

前記チャンネルを含むＴＦＴの半導体層をアモルファスシリコンで形成する、請求項８～１５の何れかーに記載のＴＦＴの製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、薄膜トランジスタの製造方法及び液晶表示装置に関し、更に詳しくは、液晶表示装置に好適な薄膜トランジスタの製造方法及びそのような薄膜トランジスタを有する液晶表示装置に関する。

【背景技術】

【０００２】

能動素子である薄膜トランジスタ（ＴＦＴ）をスイッチング素子として使用するアクティブマトリクス型液晶表示装置が普及している。ＴＦＴの半導体層には種々の材料が用いられているが、液晶表示装置では、多結晶シリコンを半導体層として用いたポリシリコン（ $p-Si$ ）ＴＦＴや、非晶質シリコンを半導体層として用いたアモルファスシリコン（ $a-Si$ ）ＴＦＴが一般的である。 $p-Si$ ＴＦＴと $a-Si$ ＴＦＴとを比較すると、 $a-Si$ ＴＦＴは、製造工程が少なく、また低温プロセスでの製造が可能である。

【０００３】

図１５は、 $a-Si$ ＴＦＴを用いた、一般的な液晶表示装置の液晶パネルの断面を示している。液晶パネル２００では、ＴＦＴ基板２０２と対向基板２０４とが液晶層２０３を挟んで対向しており、各基板面には配向膜２０７が液晶層２０３との間に形成される。ＴＦＴ基板２０２の背面側であるバックライト光源側には第１偏光板２０１が配置され、対向基板２０４の表示面側には第２偏光板２０５が配置される。第１偏光板２０１と第２偏光板２０５とは、例えば、偏光方向が互いに９０度異なる。

【０００４】

10

20

30

40

50

図 16 は、上記 T F T 基板 202 の一部を、対向基板 204 側から見た平面図として示している。T F T 基板 202 では、信号線 231 と走査線 232 とが格子状に配線され、その交点付近には、T F T 230 が形成される。T F T 230 のドレイン電極 225 は、信号線 231 から突き出た電極として構成され、ゲート電極 222 は、走査線 232 から突き出た電極として構成される。図 17 は、図 16 の B - B ' 断面に相当する、一般的な T F T の断面を示している。同図に示すような断面構造を有する T F T は、例えば特許第 3152193 号公報に記載された技術を適用して得られる。

【0005】

一般に、p - S i T F T では、ゲート電極、ドレイン電極、及び、ソース電極が、p - S i 層の一方の側に形成されるコプラナ構造が採用され、a - S i T F T では、ゲート電極 222 と、ドレイン電極 225 及びソース電極 226 とが、半導体層 224 を挟んで対向するスタガ構造が採用されることが多い。図 17 では、T F T 230 を、ゲート電極 222 が半導体層 224 の下層側に配置される逆スタガ構造で形成しているが、ゲート電極 222 が半導体層 224 の上層側に配置される順スタガ構造で形成することもできる。

【0006】

ドレイン電極 225 は、オーミックコンタクト層 233 a を介して半導体層 224 と接し、ソース電極 226 は、オーミックコンタクト層 233 b を介して半導体層 224 と接する。ソース電極 226 は、コンタクトホール 228 を介して画素電極 229 に接続される。同図に示す T F T 230 は、チャンネルエッチング型 T F T として構成され、ドレイン電極 225 とその下層のオーミックコンタクト層 233 a とが同じサイズで形成され、ソース電極 226 とその下層のオーミックコンタクト層 233 b とが同じサイズで形成される。

【0007】

T F T 230 では、ゲート電極 222 の上層の、ドレイン電極 225 側のオーミックコンタクト層 233 a のソース電極 226 側の端部の位置から、ソース電極 226 側のオーミックコンタクト層 233 b のドレイン電極 225 側の端部の位置までの間の半導体層 224 が、チャンネル領域 234 を構成する。逆スタガの T F T 230 では、ゲート電極 222 は、遮光膜を兼ね、バックライト光源側からチャンネル領域 234 に侵入する光を遮光する。図 18 は、図 16 に示す T F T 230 の 1 つを拡大して示している。ドレイン電極 225 及びソース電極 226 は、チャンネル領域 234 を挟んで対向する辺が、互いに平行であり、チャンネル領域 234 のチャンネル長 L は、チャンネル幅方向の位置によらず、一定の長さに形成される。

【0008】

図 19 は、図 16 に示す T F T 基板 202 と空間的に重なる対向基板 204 の一部を平面図として示している。同図に示すように、対向基板 204 上のブラックマトリクス 242 は、T F T 230、信号線 231、及び、走査線 232 と空間的に重なる位置に形成され、バックライト光源側から入射する光を遮光し、透過領域 255 を区画する。透過領域 255 からの光の出射量は、液晶層 203 を、T F T 230 の画素電極 229 と、対向基板の対向電極 244 とによって制御することで、コントロールされる。透過領域 255 には、例えば R、G、B の 3 色の色層 243 が設けられ、画像のカラー表示を可能としている。

【特許文献 1】特許第 3152193 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、ブラックマトリクス 242 は、反射率が低い材料で形成されてはいるものの、対向基板 204 (図 15) に入射した光の一部は、ブラックマトリクス 242 で反射して、T F T 基板 202 側に向かう。この反射光の一部は、ゲート電極 222 とドレイン電極 225 又はソース電極 226 との間で多重反射し、チャンネル領域 234 に侵入する。T F T 230 では、チャンネル領域 234 (図 18) のチャンネル幅方向の両端の領域が、光が

10

20

30

40

50

侵入しやすい領域である。チャンネル領域 234 を構成する半導体層 224 に光が入射すると、TFT 230 にリーク電流が発生してスイッチング特性が悪化し、液晶表示装置における表示品質が低下してしまう。

【0010】

例えば、ブラックマトリクス 242 で反射した光による光リーク電流を低減できる技術として、図 15 で対向基板 204 に配置されるブラックマトリクス 242 及び色層 243 を TFT 基板 202 に積層する構成を採用する技術がある。この技術では、TFT 230 とブラックマトリクス 242 の間の距離を狭めることで、ブラックマトリクス 242 で反射した光による光リーク電流を低減することができる。しかし、この技術では、TFT 基板 202 とブラックマトリクス 242 及び色層 243 とを連続して形成する必要があるため、技術的課題が多い。

10

【0011】

一方、TFT 230 では、上記したブラックマトリクスでの反射光だけでなく、バックライト光源側から TFT 基板 202 に入射する光の一部も、チャンネル領域 234 に侵入する。これは、ゲート電極 222 によって、チャンネル領域 234 に侵入する光を完全に遮光することができないためである。特に、チャンネル領域 234 の画素電極 229 (図 16) 側の縁部では、チャンネル領域 234 に近接して走査線 232 が配線されないため、走査線 232 側の縁部に比して光の侵入量が大きくなる。チャンネル領域 234 の画素電極 229 側の縁部では、ゲート電極 222 の図 18 に示す突き出し量 d をある程度大きくすることで、光の侵入を防いでいる。

20

【0012】

しかし、対向基板 204 に形成されるブラックマトリクス 242 は TFT 230 と空間的に重なる位置に形成されることから、ゲート電極 222 の突き出し量 d を大きくとり、TFT 230 の形成領域が広がると、その分だけ透過領域 255 が狭くなる。液晶表示装置では、透過領域 255 を広くとることで、輝度等の表示品質を向上させることができるため、透過領域 255 を広くとりたいという要求がある。しかし、従来の液晶表示装置では、上記した理由により、TFT 230 の形成領域を狭くして、透過領域 255 を広くすることができなかった。

【0013】

本発明は、上記問題点を解消し、TFT 形成領域を狭くした場合についても、光リーク電流の影響を低減できる薄膜トランジスタ、及び、そのような薄膜トランジスタの製造方法を提供することを目的とする。

30

【0014】

また、本発明は、上記本発明の薄膜トランジスタを有する液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0015】

上記目的を達成するために、本発明の液晶表示装置は、薄膜トランジスタ (TFT) が形成された TFT 基板と、ブラックマトリクスが形成された対向基板と、前記 TFT 基板と前記対向基板との間に挟まれた液晶層と、前記 TFT 基板の背面に配設されたバックライトとを備える液晶表示装置において、前記 TFT のチャンネルは、チャンネル縁部の少なくとも一方のチャンネル長が、チャンネル中央部分のチャンネル長に比して長いことを特徴とする。

40

【0016】

本発明の液晶表示装置では、バックライト光源側から回り込んだ光、或いは、対向基板のブラックマトリクスで反射した光が入射しやすいため、光リーク電流の影響を受けやすい TFT のチャンネル縁部の少なくとも一方が、チャンネル中央部に比して長く設定されている。このため、チャンネル縁部に光が入射した場合にも、光リーク電流の電流経路が長いために光リーク電流を低減でき、光リーク電流が TFT のスイッチング特性に与える影響を低減できる。従って、表示品質が高い液晶表示装置を得ることができる。

50

【 0 0 1 7 】

従来のＴＦＴでは、チャンネル領域の画素電極側の縁部に侵入する光を低減するために、ゲート電極の突き出し量を小さく設定することができなかったが、本発明のＴＦＴでは、チャンネル領域の画素電極側の縁部のチャンネル長を、チャンネル中央部に比して長く設定する構成を採用するときには、ゲート電極の突き出し量を小さく設定することができる。この場合には、ＴＦＴが形成される領域の面積を狭くして、液晶表示装置の対向基板における透過領域を広くすることができ、液晶表示装置の表示品質を向上させることができる。なお、ＴＦＴのチャンネルは、縁部が直線状に広がる形状であってもよく、湾曲して広がる形状であってもよく、或いは、階段状に広がる形状であってもよい。ソース電極とドレイン電極とは、互いに対向する縁部が対称な形状でなくてもよく、例えばドレイン電極をコの字状に形成することもできる。 10

【 0 0 1 8 】

本発明の液晶表示装置は、前記ＴＦＴの双方のチャンネル縁部のチャンネル長が、前記チャンネル中央部分のチャンネル長よりも長いことが好ましい。この場合、より効果的に光リーク電流を低減できる。

【 0 0 1 9 】

本発明の液晶表示装置では、記ＴＦＴのゲート電極は、前記チャンネルとバックライトとの間に配設され、前記チャンネルに入射するバックライト光からの光を遮光することが好ましい。この場合、ゲート電極は、バックライト光源側からチャンネルに入射する光を遮光する役割を兼ねる。 20

【 0 0 2 0 】

本発明の液晶表示装置では、前記チャンネルを含むＴＦＴの半導体層をアモルファスシリコンシリコンで形成することができる。

【 0 0 2 1 】

本発明の液晶表示装置のＴＦＴでは、チャンネル縁部のチャンネル長が長く設定されることで、光リーク電流を低減できるため、例えば、光感度が高いアモルファスシリコンを用いてＴＦＴを形成した場合についても、良好な特性を得ることができる。

【 0 0 2 2 】

本発明の液晶表示では、前記ＴＦＴのソース電極及びドレイン電極が、前記半導体層を挟んで前記ゲート電極と対向して配置されている構成を採用することができる。本発明の液晶表示装置のＴＦＴは、ゲート電極がバックライト光源側に配置される逆スタガ構造や、ゲート電極が対向基板側に配置される順スタガ構造を採用することができる。 30

【 0 0 2 3 】

本発明の液晶表示装置では、前記ＴＦＴは、前記半導体層と、ソース電極及びドレイン電極との間に、オーミックコンタクト層を更に有する構成を採用することができる。この場合、ＴＦＴのチャンネルは、ドレイン電極側の接触層のソース電極側の縁部の位置から、ソース電極側の接触層のドレイン電極側の縁部の位置までの間の真性半導体層によって形成される。ＴＦＴは、チャンネルエッチ型であってもよく、或いは、チャンネル保護型であってもよい。

【 0 0 2 4 】

本発明の液晶表示装置では、前記ＴＦＴのソース電極及びドレイン電極が、前記半導体層の上層側に配置されている構成を採用することができる。 40

【 0 0 2 5 】

本発明の第１の視点のＴＦＴの製造方法は、ＴＦＴのゲート電極と、ゲート絶縁膜と、半導体層と、オーミックコンタクト層とを順次に形成する工程と、前記半導体層及びオーミックコンタクト層をパターニングする工程と、前記パターニングされたオーミックコンタクト層上に、ソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極をマスクとして、前記ソース電極とドレイン電極の間に対応する領域の前記オーミックコンタクト層を除去することによって、前記半導体層を露出させてチャンネル領域を形成する工程とを順次に備え、前記チャンネル領域の縁部の少なくとも一方のチャンネル長を 50

、前記チャネル領域の中央部分のチャネル長に比して長く形成することを特徴とする。

【0026】

本発明の第1の視点のTFTの製造方法では、半導体層及びオーミックコンタクト層をパターンニングした後に、オーミックコンタクト層上にソース電極及びドレイン電極を形成し、ソース電極及びドレイン電極を用いてオーミックコンタクト層を除去して半導体層を露出させ、チャネル領域を形成する。ソース電極及びドレイン電極の形成する工程において、それらの電極を所望の形状に形成することで、チャネル領域の少なくとも一方の縁部のチャネル長が、中央部に比して長いTFTを形成することができる。

【0027】

本発明の第2の視点のTFTの製造方法は、TFTのゲート電極と、ゲート絶縁膜と、半導体層と、オーミックコンタクト層と、金属層とを順次に形成する工程と、前記金属層上にレジスト層を形成し、該レジスト層を、所定の波長を有する光源を用い、ソース電極パターン、ドレイン電極パターン、及び、前記ソース電極パターンとドレイン電極パターンとの間に配設される露光解像限界以下のパターンを有するマスクを介して露光し、前記ソース電極パターンと前記ドレイン電極パターンとの間に対応する領域の膜厚が、前記ソース電極パターン及びドレイン電極パターンに対応する領域の膜厚に比して薄いレジストパターンを形成する工程と、前記レジストパターンを用いて、前記金属層、オーミックコンタクト層、及び、半導体層をパターンニングする工程と、前記レジストパターンを所定の膜厚まで残して除去するレジスト一部除去工程と、該レジスト一部除去工程後のレジストパターンをマスクとし、前記金属層をパターンニングしてソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極をマスクとして、前記ソース電極とドレイン電極の間に対応する領域の前記オーミックコンタクト層を除去することによって、前記半導体層を露出させてチャネル領域を形成する工程とを順次に備え、前記チャネル領域の縁部の少なくとも一方のチャネル長を、前記チャネル領域の中央部分のチャネル長に比して長く形成することを特徴とする。

【0028】

本発明の第2の視点のTFTの製造方法では、レジストパターンを露光形成する際に、ソース電極パターン、ドレイン電極パターン、及び、ソース電極パターンとドレイン電極パターンとの間に配置される、短辺方向の幅が露光解像限界以下のパターンを有するマスクを使用する。このようなマスクを用いて形成されたレジストパターンは、ソース電極パターン及びドレイン電極パターンに対応する領域では、露光された光が透過せずに未露光となってレジスト膜厚が厚く形成され、ソース電極パターンとドレイン電極パターンとの間に対応する領域では、露光された光が透過しきれずに半露光となって、レジスト膜厚が、未露光の領域に比して薄く形成される。また、上記した領域以外の露光領域では、レジスト膜厚が半露光領域に比して更に薄いか、或いは、レジストが除去される。このように形成したレジストパターンを用いて、半導体層までをエッチングすることで、例えば島状の半導体層を形成でき、その後、レジスト一部除去工程により、レジスト膜厚が薄い半露光領域のレジストパターンを除去したレジストパターンを用いてソース電極及びドレイン電極を形成し、ソース電極及びドレイン電極を用いて、オーミックコンタクト層をエッチングすることで、チャネル領域を形成することができる。

【0029】

また、レジストパターンの露光形成の際に、露光解像限界以下のパターンがソース電極パターンとドレイン電極パターンとの間に配置されることにより、互いに対向するソース電極部分を構成するレジストパターン、及び、ドレイン電極部分を構成するレジストパターンの縁部の端部では、中央部に比して多くの光が回り込み、半露光の領域の幅が中央部に比して広がる。これにより、ソース電極部分を構成するレジストパターン、及び、ドレイン電極部分を構成するレジストパターンは、互いに対向する辺が、端部における辺間の距離が中央部に比して長くなるような湾曲形状に形成され、チャネル領域の縁部の少なくとも一方のチャネル長が、チャネル領域の中央部に比して長いTFTを形成することができる。

10

20

30

40

50

【 0 0 3 0 】

本発明の第 1 の視点の T F T の製造方法では、半導体層及びオーミックコンタクト層をパターンニングする際のレジストパターンを形成するためのマスクと、ソース電極及びドレイン電極を形成する際のレジストパターンを形成するためのマスクとの 2 枚のマスクが必要になる。本発明の第 2 の視点の T F T の製造方法では、T F T の半導体層及びオーミックコンタクト層と、ソース電極及びドレイン電極とを、1 枚のマスクを用いて形成したレジストパターンで形成することができ、本発明の第 1 の視点の T F T の製造方法に比して、マスクを 1 枚削減して、T F T の製造コストを低減できる。

【 0 0 3 1 】

本発明の第 2 の視点の T F T の製造方法では、前記露光解像限界以下のパターンを、露光解像限界以下のスリットパターンとして構成することができ、露光限界解像以下のハシゴ状パターンとして構成することができ、或いは、露光限界解像以下のドットパターンとして構成することができる。

【 0 0 3 2 】

本発明の第 2 の視点の T F T の製造方法は、前記レジスト一部除去工程では、R I E - D E 装置により、前記レジストパターンを所定の膜厚まで残して除去することができ、或いは、U V アッシャーにより、前記レジストパターンを所定の膜厚まで残して除去することができる。

【 発明の効果 】

【 0 0 3 3 】

以上説明したように、本発明の液晶表示装置は、光リーク電流の影響を受けやすい T F T のチャネル縁部の少なくとも一方が、チャネル中央部に比して長く設定されているため、バックライト光源側から光が回り込み、対向基板のブラックマトリクスで反射した光がチャネルに入射したとしても、光リーク電流を低減でき、スイッチング特性が悪化しない。

【 0 0 3 4 】

本発明の第 1 及び第 2 の視点の T F T の製造方法では、チャネル領域の少なくとも一方の縁部のチャネル長が、中央部に比して長い T F T を形成することができる。また、本発明の第 2 の視点の T F T の製造方法では、T F T を形成する際に使用するマスクを 1 枚削減でき、本発明の第 1 の視点の T F T の製造方法に比して、T F T の製造コストを低減できる。

【 発明を実施するための最良の形態 】

【 0 0 3 5 】

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図 1 は、本発明の第 1 実施形態例の T F T を平面図として示している。本実施形態例の T F T 1 0 は、ドレイン電極 1 2、ソース電極 1 3、及び、チャネル領域 1 4 の平面形状が、図 1 8 に示す従来の T F T 2 3 0 と相違する。T F T 1 0 は、図 1 6 に示す T F T 2 3 0 と同様に、信号線 5 1 と走査線 5 2 との交点付近に形成され、図 1 7 に示す一般的な T F T と同様な断面構造を有する。なお、図 1 7 に示す断面は、図 1 では、同図における A - A ' 断面に相当する。

【 0 0 3 6 】

ドレイン電極 1 2 及びソース電極 1 3 は、それぞれ、チャネル領域 1 4 の画素電極側の縁部 1 4 a、及び、走査線側の縁部 1 4 c のチャネル長が、チャネル中央部 1 4 b 側から外側に向かって長くなるように、互いに対向する辺の両端において、チャネル幅方向の両端の角が切り落とされた形状となっている。図 1 の例では、ドレイン電極 1 2 及びソース電極 1 3 は、チャネル幅方向の両端の角が、互いに対向する辺からそれぞれの内側に向けて、底辺を W、高さを L とする直角三角形と同様な平面形状で切り落とされた形状となっている。チャネル中央部 1 4 b では、チャネル長が、一定値 L 1 となっており、チャネル領域の画素電極側の縁部 1 4 a、及び、走査線 5 2 側の縁部 1 4 c では、それぞれ、チャネル長が画素電極側又は走査線 5 2 側に向けて、L 1 から L 2 (= L 1 + 2 × L)

に向けて長くなっている。

【0037】

図2(a)~(d)、及び、図3(e)~(g)は、図1に示すTF T 1 0の断面を製造工程段階ごとに示している。TF T 1 0(図1)は、図17に示す断面構造と同様な構造を有し、以下のように形成される。ガラス基板21上に、第1導電膜を積層し、その第1導電膜を第1フォトレジストパターンを用いてエッチングし、所望の形状のゲート電極11を形成する(図2(a))。ゲート絶縁膜22、a-Si層である半導体層23、及び、 n^+ a-Si層であるオーミックコンタクト層24を積層し、オーミックコンタクト層24上に、第2フォトレジストパターン30を形成する(同図(b))。その第2フォトレジストパターン30を用いて、半導体層23及びオーミックコンタクト層24をエッチングし、半導体層23及びオーミックコンタクト層24を形成する(同図(c))。

【0038】

第2導電膜25を積層し、その上に、第3フォトレジストパターン28を形成する(図2(d))。第3フォトレジストパターン28の一方のである第3フォトレジストパターン28aは、第2導電膜25をエッチングして得られるドレイン電極12が、図1に示す平面形状となるような形状に形成され、他方である第3フォトレジストパターン28bは、ソース電極13が、図1に示す平面形状となるような形状に形成される。第3フォトレジストパターン28を用いて、第2導電膜25をエッチングし、図1に示す平面形状を有するドレイン電極12及びソース電極13を形成する(図3(e))。

【0039】

ドレイン電極12及びソース電極13を用いて、オーミックコンタクト層24及び半導体層23の一部をチャネルエッチングし、ゲート電極11の上層の、ドレイン電極12側のオーミックコンタクト層24aのソース電極13側の端部の位置から、ソース電極13側のオーミックコンタクト層24bのドレイン電極12側の端部の位置までのチャネル領域14を形成する。チャネル領域14の形成後に、パッシベーション膜26を積層し、そのパッシベーション膜26を第4フォトレジストパターンを用いてエッチングし、コンタクトホール27を形成する。ついで、透明導電膜を積層し、その透明導電膜を第5フォトレジストパターンを用いてエッチングし、画素電極15が形成される(図3(g))。

【0040】

本実施形態例では、チャネル領域14において、液晶表示装置に使用した際に、光の影響を受けやすい領域であるチャネル幅方向の双方の縁部14a、14cにおけるチャネル長を、チャネル中央部14bにおけるチャネル長に比して長く設定したため、それらの領域に光が侵入し、光リーク電流が発生した場合であっても、光リーク電流の電流経路が長く、光リーク電流がTF T 1 0のスイッチング特性に与える影響を低減できる。また、従来のTF Tでは、チャネル領域の画素電極側の縁部に侵入する光を低減するために、ゲート電極の突き出し量dを小さく設定することができなかったが、本実施形態例では、上記した理由により、ゲート電極の突き出し量dを小さく設定することができ、TF T 1 0が形成される領域の面積を狭くして、対向基板(図15)における透過領域(図19)を広くすることにより、液晶表示装置の表示品質を向上させることができる。

【0041】

図4は、TF Tにおけるゲート電圧とドレイン電流との関係をグラフで示している。本発明者らは、TF T 1 0を試作し、バックライト装置を点灯した状態(photo)と、バックライト装置を点灯しない状態(dark)とのそれぞれについて、実験により、試作したTF T 1 0と従来のTF T 2 3 0(図18)の $V_g - I_d$ 特性を測定した。

【0042】

なお、本実施形態例のTF T 1 0では、チャネル幅Wを $24\mu m$ に設定し、チャネル中央部14bにおけるチャネル長 L_1 を $6.0\mu m$ に設定した。また、チャネル領域の画素電極側の縁部14a、及び、走査線側の縁部14cでは、Wを $3.0\mu m$ に設定し、 L を1.2に設定し、チャネル縁部から $3\mu m$ 以内のチャネル長の平均値、つまり、チャネル縁部から $1.5\mu m$ の位置でのチャネル長を、チャネル長 L_1 の120%である7.2

μm に設定した。また、従来のTF T 2 3 0では、チャネル幅Wを $24\mu\text{m}$ に設定し、チャネル長Lを $6.0\mu\text{m}$ に設定した。

【0043】

図4に示すように、バックライト装置を点灯しない状態では、本実施形態例のTF T 1 0と、従来のTF T 2 3 0とは、ドレイン電流は、ほぼ同様に变化する。バックライト装置を点灯した状態では、本実施形態例のTF T 1 0は、従来のTF T 2 3 0に比して、光リーク電流の影響が低減し、オフ電流の最小値を、従来のTF T 2 3 0の約40%減少させることができた。また、本実施形態例のTF T 1 0のオン電流は、従来のTF T 2 3 0と同程度であった。実験により、本実施形態例のTF T 1 0では、光の影響を受けやすい、チャネル縁部から $3\mu\text{m}$ 以内の位置におけるチャネル長を長く設定することで、光リーク電流の影響を効果的に低減できると共に、従来のTF T 2 3 0同程度のオン電流が得られることが確かめられた。

10

【0044】

一般に、ドレイン電流は、チャネル幅Wとチャネル長Lの比(W/L)に比例して大きくなる。本実施形態例のTF T 1 0では、光リーク電流による影響をより低減させるために、チャネル領域の画素電極側の縁部14a、及び、走査線側の縁部14cにおける平均チャネル長を長くしていくと、オン電流の低下が無視できなくなる。このような場合には、チャネル中央部14bにおけるチャネル長L1を短くして、チャネル領域14全体での平均チャネル長の増加を抑えるなどして、所望のオン電流が得られるように設計するとよい。

20

【0045】

図5は、本発明の第2実施形態例のTF Tを平面図として示している。本実施形態例のTF T 1 0 aは、ドレイン電極12a、ソース電極13a、及び、チャネル領域14の形状が、第1実施形態例と相違する。ドレイン電極12a及びソース電極13aは、互いに対向する辺が、中央部が膨らむように、湾曲した形状で形成され、チャネル領域14は、中央部でのチャネル長L3に比して、チャネル幅方向の縁部でチャネル長L4が長くなるように形成される。

【0046】

図6(a)及び(b)、並びに、図7(c)~(d)は、上記TF T 1 0 aの断面を、製造工程段階ごとに示している。上記TF T 1 0 aは、以下のように形成することもできる。ガラス基板21上に、ゲート電極11を形成し、ゲート絶縁膜22、a-Si層である半導体層23、 n^+ a-Si層であるオーミックコンタクト層24、及び、第2導電膜25を積層し(図6(a))、その上に、フォトレジストパターン29を形成する(図6(b))。

30

【0047】

図8(a)は、図6(b)におけるフォトレジストパターン29の形成の様子を断面図として示し、図8(b)は、同図(a)のフォトマスク31に形成される遮光パターンの形状を平面図として示している。また、図9(a)は、図8(b)に示す遮光パターンを介して露光して得られるフォトレジストパターン29を平面図として示し、図9(b)は、同図(a)から半露光領域35に対応する領域を除去したフォトレジストパターン29を平面図として示している。以下、図8及び図9を参照し、フォトレジストパターン29の形成について説明する。

40

【0048】

フォトマスク31(図8(a))には、同図(b)に示すような平面形状を有する遮光パターン32が形成される。遮光パターン32は、ドレイン電極用遮光パターン32a、ソース電極用遮光パターン32b、及び、スリット遮光パターン32cを有する。ドレイン電極用遮光パターン32aは、最終的に図5に示す平面形状に形成されるドレイン電極12aに対応して形成され、ソース電極用遮光パターン32bは、最終的に図5に示す平面形状に形成されるソース電極13aに対応して形成される。スリット遮光パターン32cは、露光解像限界以下の遮光パターンとして構成され、ドレイン電極用遮光パターン3

50

2 a とソース電極用遮光パターン 3 2 b との間に配置される。スリット遮光パターン 3 2 c の短辺方向の幅は、レジスト材料の物性や、露光に用いる光の波長、レンズの開効率等の露光装置の光学系によって決まる露光解像限界以下の値に設定される。

【 0 0 4 9 】

第 2 導電膜 2 5 上にレジスト材料を塗布し、露光装置（図示せず）によって、フォトマスク 3 1 に所定波長の光を照射すると、照射された光の一部は、遮光パターン 3 2 で遮光される。これにより、レジスト材料には、光が照射されない未露光領域 3 3 と、光が照射される露光領域 3 4 とが形成される。ここで、ドレイン電極用遮光パターン 3 2 a とソース電極用遮光パターン 3 2 b の間には、スリット遮光パターン 3 2 c が形成されているものの、そのスリット遮光パターン 3 2 c の短辺方向の幅は露光解像限界以下であるために、照射された光が完全には透過されず、レジスト材料には、未露光領域 3 3 に比して光の照射量が多く、露光領域 3 4 に比して光の照射量が少ない半露光領域 3 5 が形成される。互いに対向するドレイン電極用遮光パターン 3 2 a 及びソース電極用遮光パターン 3 2 b の縁部に対応する領域については、光の回り込みにより、両端での露光量が中央に比して多くなり、図 9 (a) に示すように、両端では、中央部に比して半露光領域 3 5 が X 方向に広がる。

10

【 0 0 5 0 】

レジスト材料を露光した後に現像し、フォトレジストパターン 2 9 を形成する。露光領域 3 4 では、レジスト材料が除去され、第 2 導電膜 2 5 が表面に露出する。未露光領域 3 3 では、レジスト材料が除去されずに、所定の膜厚のフォトレジストパターン 2 9 が形成される。半露光領域 3 5 では、レジスト材料が、第 2 導電膜 2 5 が表面に露出しない程度に除去され、未露光領域 3 3 の所定膜厚に比して膜厚が薄いフォトレジストパターン 2 9 が形成される。言い換えると、フォトレジストパターン 2 9 は、未露光領域 3 3 と半露光領域 3 5 とで段差を有する断面形状に形成される。フォトレジストパターン 2 9 は、図 9 (a) に示すように、ドレイン電極用遮光パターン 3 2 a による未露光領域 3 3 a に対応するドレイン電極用レジストパターン 2 9 a と、ソース電極用遮光パターン 3 2 b による未露光領域 3 3 a に対応するソース電極用レジストパターン 2 9 b と、半露光領域 3 5 に対応するレジスト薄膜部 2 9 c と有する。

20

【 0 0 5 1 】

スリット遮光パターン 3 2 c は、図 8 (b) に示すように、長辺方向の長さが、互いに対向するドレイン電極用遮光パターン 3 2 a 及びソース電極用遮光パターン 3 2 b の辺の長さに比して、長く設定されている。このスリット遮光パターン 3 2 c により、互いに対向するドレイン電極用遮光パターン 3 2 a 及びソース電極用遮光パターン 3 2 b の縁部の X 方向の両端では、中央部に比して多くの光が回り込み、半露光領域 3 5 が、つまりは、レジスト薄膜部 2 9 c が Y 方向に広がって、互いに対向するドレイン電極用レジストパターン 2 9 a 及びソース電極用レジストパターン 2 9 b の辺が、図 9 (a) に示すような湾曲した形状となる。

30

【 0 0 5 2 】

フォトレジストパターン 2 9 の平面形状は、半導体層 2 3 及オーミックコンタクト層 2 4 をエッチングする際に使用する第 2 フォトレジストパターン 3 0 (図 2 (b)) と同様な形状に形成される。フォトレジストパターン 2 9 を用いて、半導体層 2 3、オーミックコンタクト層 2 4、及び、第 2 導電膜 2 5 をエッチングし、半導体層 2 3、オーミックコンタクト層 2 4、及び、第 2 導電膜 2 5 を形成する (図 7 (c))。フォトレジストパターン 2 9 を所望の膜厚となるように、アッシング除去し、レジスト薄膜部 2 9 c を除去する (図 7 (d))。

40

【 0 0 5 3 】

上記アッシング除去には、R I E - D E 装置を使用することができ、或いは、U V アッシャーを使用することができる。R I E - D E 装置を使用する場合には、エッチング異方向性が優れているため、寸法制御性が向上でき、U V アッシャーを使用する場合には、工程の簡略化が可能である。アッシング除去により、図 9 (b) に示す平面形状を有するドレ

50

イン電極用レジストパターン 29 a 及びソース電極用レジストパターン 29 b が残る。アッシング除去後のドレイン電極用レジストパターン 29 a とソース電極用レジストパターン 29 b の間の距離が、チャンネル長を決定する。

【0054】

アッシング除去後に残ったドレイン電極用レジストパターン 29 a 及びソース電極用レジストパターン 29 b を用いて、第 2 導電膜 25 をエッチングし、図 5 に示す平面形状を有するドレイン電極 12 a 及びソース電極 13 a を形成する（図 7（e））。その後、第 1 実施形態例における TFT の製造方法と同様に、ドレイン電極 12 及びソース電極 13 を用いて、オーミックコンタクト層 24 及び半導体層 23 の一部をチャンネルエッチングし、パッシベーション膜 26 を積層し、コンタクトホール 27 を形成し、画素電極 15 を形成して、TFT 10 a が得られる。

10

【0055】

本実施形態例では、互いに対向する縁部が湾曲した平面形状に形成されるドレイン電極 12 a 及びソース電極 13 a によって、チャンネル領域 14 のチャンネル幅方向の双方の縁部におけるチャンネル長 L_4 を、チャンネル中央部におけるチャンネル長 L_3 に比して長く設定する。この場合にも、第 1 実施形態例と同様に、光リーク電流が TFT 10 a のスイッチング特性に与える影響を低減でき、液晶表示装置の表示品質を向上させることができる。

【0056】

本実施形態例の TFT 10 a を、図 6 及び図 7 に示す本実施形態例の製造方法で形成するのに代えて、図 2 及び図 3 に示す第 1 実施形態例の TFT 10 と同様な製造方法を用いて形成することもできる。この場合には、図 2（d）において、第 3 フォトリソレジストパターン 28 a 及び 28 b を、それぞれ、図 5 に示すドレイン電極 12 a 及びソース電極 13 a の形状に対応した平面形状でパターンニングすればよい。しかし、第 1 実施形態例と同様な製造方法を用いて TFT 10 a を形成する場合には、第 2 フォトリソレジストパターン 30 をパターンニングするためのマスクと、第 3 フォトリソレジストパターン 28 をパターンニングするためのマスクとが必要になる。本実施形態例の製造方法を採用して、TFT 10 a を形成するときには、第 1 実施形態例と同様な製造方法を用いる場合に比べて、フォトリソレジストパターンをパターンニングする際に使用するマスクを 1 枚削減して、製造コストを低減することができる。

20

【0057】

図 10 は、本発明の第 3 実施形態例の TFT を平面図として示している。本実施形態例の TFT 10 b は、ドレイン電極 12 b 及びソース電極 13 b の形状が、第 1 実施形態例と相違する。ドレイン電極 12 b は、ソース電極 13 b を取り囲むように、平面形状がコの字状に形成される。ドレイン電極 12 b のチャンネル領域 14 の両端側は、第 1 実施形態例におけるドレイン電極 12 と同様に、両端の角が切り落とされた形状と同様な形状となっている。チャンネル領域 14 の画素電極側の縁部 14 d 及び走査線側の縁部 14 f のチャンネル長 L_6 は、チャンネル中央部 14 e のチャンネル長 L_5 に比して、長く設定される。

30

【0058】

本実施形態例のように、ドレイン電極 12 b とソース電極 13 b とがチャンネル領域 14 を挟んで対称な平面形状に形成されない場合についても、チャンネル領域の画素電極側の縁部 14 d 及び走査線側の縁部 14 f のチャンネル長 L_6 を、チャンネル中央部 14 e のチャンネル長に比して長く設定することで、第 1 実施形態例と同様に、光リーク電流が TFT 10 a のスイッチング特性に与える影響を低減でき、液晶表示装置の表示品質を向上させることができる。

40

【0059】

なお、上記実施形態例では、TFT が逆スタガ構造で形成される例について説明したが、スタガ構造には限定されない。また、逆スタガ構造に代えて、順スタガ構造を採用することもできる。この場合、チャンネル領域に入射する光は、ゲート電極に代わり、半導体層の下層側に設けられた遮光膜で遮光される。上記実施形態例では、チャンネル領域がチャンネル幅方向に対称に形成され、チャンネル領域の画素電極側の縁部のチャンネル長と走査線側の

50

縁部のチャンネル長とが、同じ長さに設定される例について示したが、チャンネル領域の画素電極側の縁部のチャンネル長と走査線側の縁部のチャンネル長とは、必ずしも同じ長さでなくともよい。例えば、光の回り込みが、チャンネル領域の走査線側の縁部に比して多い、画素電極側の縁部のチャンネル長を、走査線側の縁部のチャンネル長に比して長く設定してもよい。また、ソース電極及びドレイン電極の平面形状は一例であり、上記実施形態例で採用した形状以外の形状を採用することもできる。

【0060】

図11～図13は、それぞれ、チャンネル縁部のチャンネル長がチャンネル中央部に比して長いTFTの別の例を示している。図1では、ドレイン電極及びソース電極の平面形状として、両端の角が切り落とされた形状と同様な形状を採用したが、これに代えて、図11に示すように、ドレイン電極及びソース電極の平面形状として、両端の角が階段状に切り落とされた形状と同様な形状を採用することもできる。この場合、チャンネル縁部におけるチャンネル長 L_7 は、例えば、図1におけるチャンネル縁部14a及び14cにおけるチャンネル長の平均値と同じ値に設定することができる。

10

【0061】

図10では、ドレイン電極の平面形状として、両端の角が切り落とされた形状を採用する例について示したが、これに代えて、図12に示すように、ドレイン電極の平面形状として、両端の角が湾曲した形状を採用することもできる。この場合、第2実施形態例で説明した、図6及び図7に示す工程を有するTFTの製造方法を採用することができる。または、図10に代えて、図13に示すように、図11の例と同様に、ドレイン電極の平面形状として、両端の角が階段状に切落された形状を採用することもできる。図11～図13に示す平面形状のドレイン電極及びソース電極の何れを採用する場合についても、チャンネル縁部のチャンネル長をチャンネル中央部に比して長く設定することで、光リーク電流がTFT10aのスイッチング特性に与える影響を低減することができる。

20

【0062】

第2実施形態例では、図8(b)に示すような遮光パターン32によって、未露光領域33と半露光領域35とで段差を有するフォトリソパターン29を形成したが、ドレイン電極用遮光パターン32aと、ソース電極用遮光パターン32bとの間に配置される露光解像限界以下の遮光パターンは、図8(b)に示すスリット遮光パターン32cには限られない。図14(a)～(c)は、それぞれ、遮光パターン32の別の例を示している。図9に示すような形状のフォトリソパターン29は、図14(a)～(c)に示す遮光パターンを使用して形成することもできる。

30

【0063】

図14(a)に示す遮光パターン32は、ドレイン電極用遮光パターン32aと、ソース電極用遮光パターン32bとの間に、それぞれが露光解像限界以下の幅を有する2本のスリット遮光パターン32d、32eが配置されている。比較的、TFTのチャンネル長 L が長いときや、露光解像度が高いときには、ドレイン電極用遮光パターン32aと、ソース電極用遮光パターン32bとの間に、図8(b)に示すような1本のスリット遮光パターン32cを配置するのに代えて、図14(a)に示すような2本のスリット遮光パターン32d、32eを配置して、フォトリソパターン29を形成するとよい。

40

【0064】

図14(b)に示す遮光パターン32は、ドレイン電極用遮光パターン32aと、ソース電極用遮光パターン32bとの間に、一列にならんだ複数の露光解像限界以下のパターンがハシゴ状パターン32fとして配置されている。また、同図(c)に示す遮光パターン32は、ドレイン電極用遮光パターン32aと、ソース電極用遮光パターン32bとの間に、X方向及びY方向に配列された複数の露光解像限界以下のパターンがドットパターン32gとして配置されている。同図(b)に示すハシゴ状パターン32bを採用してフォトリソパターン29を形成する場合には、露光時の露光スキャン方向、及び、現像時の現像方向によるレジスト形状のばらつきを抑制することができ、同図(c)に示すドットパターン32gを採用してフォトリソ29を形成する場合には、ドレイン電極用

50

遮光パターン 32 a と、ソース電極用遮光パターン 32 b との間のレジスト薄膜部 29 c (図 9) のレジスト膜厚の均一性を向上することができる。

【0065】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の T F T の製造方法及び液晶表示装置は、上記実施形態例にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したものも、本発明の範囲に含まれる。

【図面の簡単な説明】

【0066】

【図 1】本発明の第 1 実施形態例の T F T を示す平面図。

【図 2】図 2 (a) ~ (d) は、それぞれ、T F T 10 の製造工程段階ごとに示す断面図 10

。【図 3】図 3 (e) ~ (g) は、それぞれ、T F T 10 の製造工程段階ごとに示す断面図。

【図 4】T F T 10 におけるゲート電圧とドレイン電流との関係を示すグラフ。

【図 5】本発明の第 2 実施形態例の T F T を示す平面図。

【図 6】図 6 (a) 及び (b) は、それぞれ、T F T 10 a を製造工程段階ごとに示す断面図。

【図 7】図 7 (c) ~ (e) は、それぞれ、T F T 10 a を製造工程段階ごとに示す断面図。

【図 8】図 8 (a) は、図 6 (b) におけるフォトレジストパターン 29 の形成の様子を示す断面図、図 8 (b) は、同図 (a) のフォトマスク 31 に形成される遮光パターンの形状を示す平面図。 20

【図 9】図 9 (a) は、図 8 (b) に示す遮光パターンを介して露光して得られるフォトレジストパターン 29 を示す平面図、図 9 (b) は、同図 (a) から半露光領域 35 に対応する領域を除去したフォトレジストパターン 29 を示す平面図。

【図 10】本発明の第 3 実施形態例の T F T を示す平面図。

【図 11】本発明の T F T の別の例を示す平面図。

【図 12】本発明の T F T の別の例を示す平面図。

【図 13】本発明の T F T の別の例を示す平面図。

【図 14】(a) ~ (c) はそれぞれ、遮光パターン 32 の別の例を示す平面図。 30

【図 15】a - S i T F T を用いた、一般的な液晶表示装置の液晶パネルを示す断面図。

【図 16】T F T 基板 202 の一部を示す平面図。

【図 17】図 16 の A - A ' 断面に相当する、一般的な T F T の断面構造を示す断面図。

【図 18】図 16 に示す T F T 230 の 1 つを拡大して示す平面図。

【図 19】対向基板 204 の一部を示す平面図。

【符号の説明】

【0067】

10 : 薄膜トランジスタ (T F T)

11 : ゲート電極

12 : ドレイン電極 40

13 : ソース電極

14 : チャネル領域

15 : 画素電極

21 : ガラス基板 (絶縁基板)

22 : ゲート酸化膜

23 : 半導体層

24 : オーミックコンタクト層

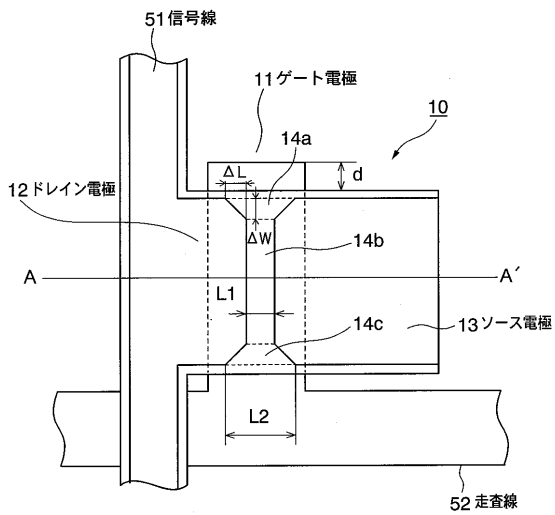
25 : 第 2 導電膜

26 : パッシベーション膜

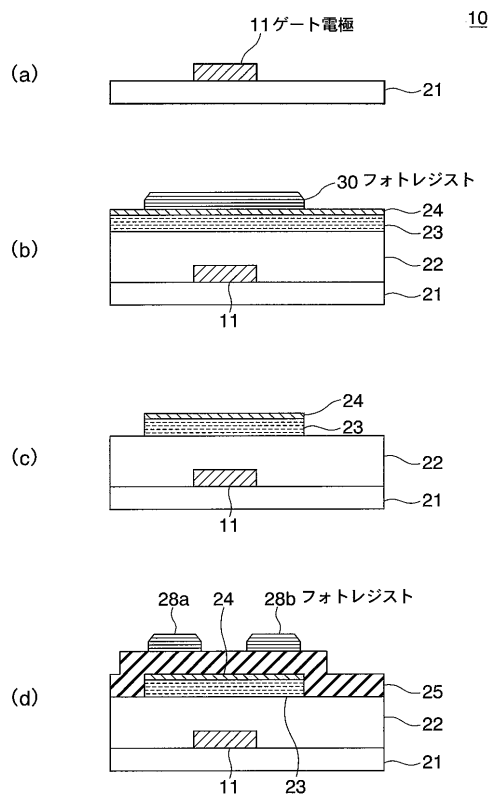
27 : コンタクトホール 50

- 28、29、30：フォトリジストパターン
 31：フォトマスク
 32：遮光パターン
 33：未露光領域
 34：露光領域
 35：半露光領域

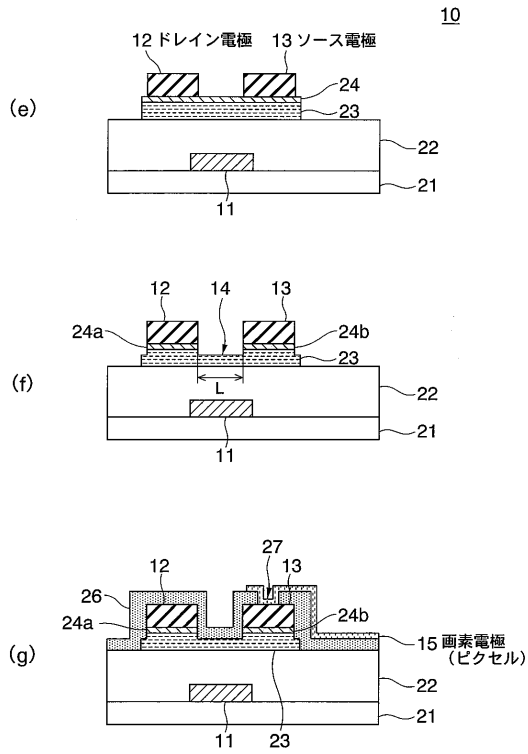
【図1】



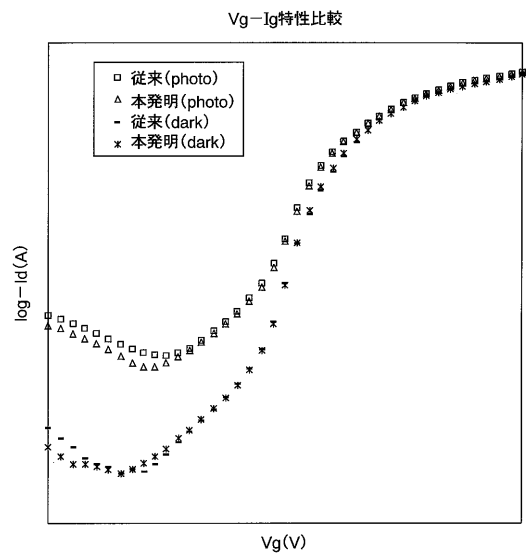
【図2】



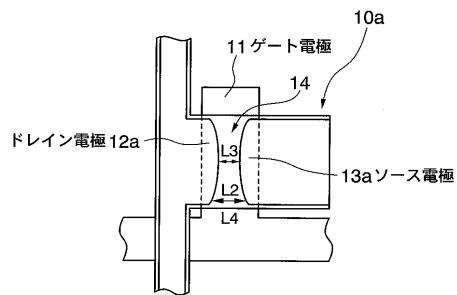
【 図 3 】



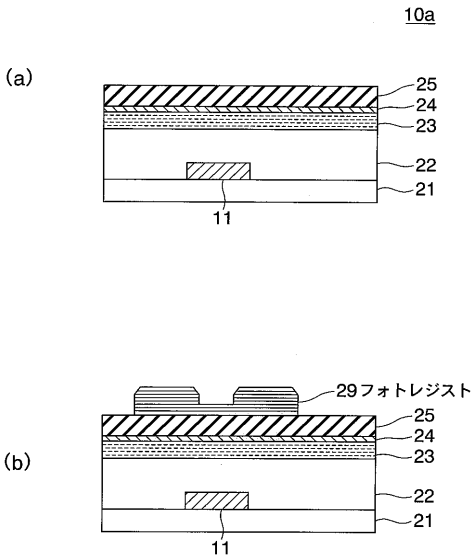
【 図 4 】



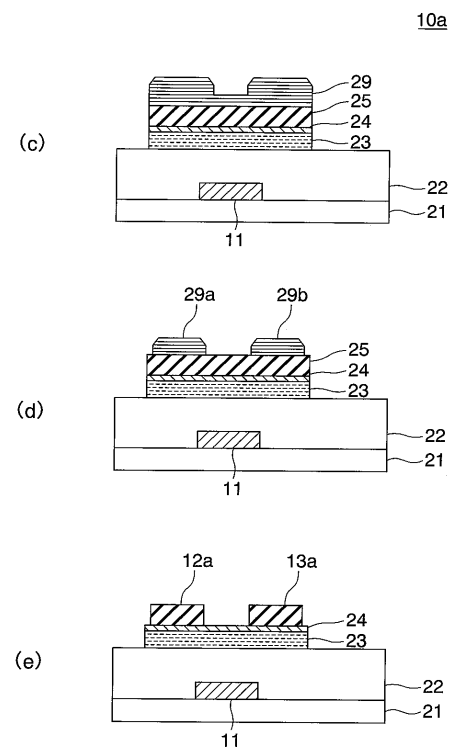
【 図 5 】



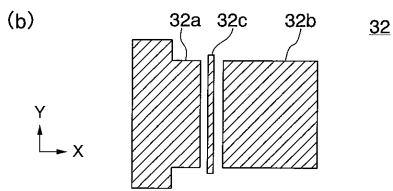
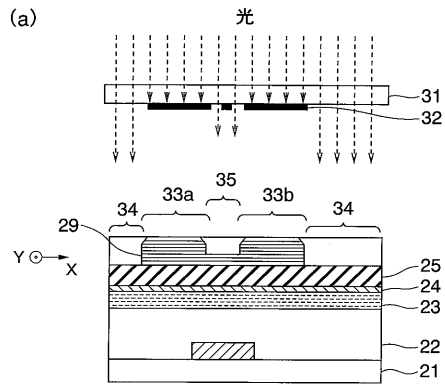
【 図 6 】



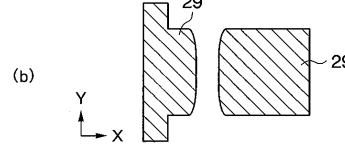
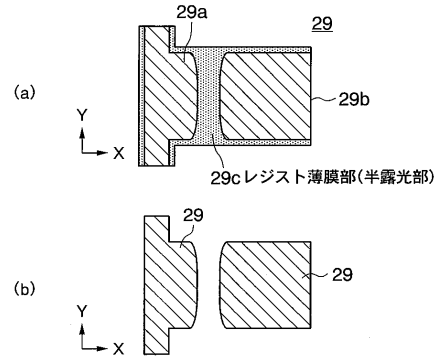
【 図 7 】



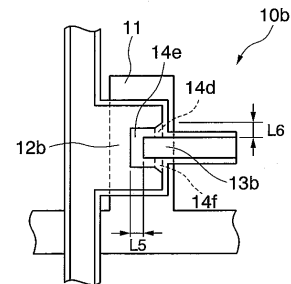
【圖 8】



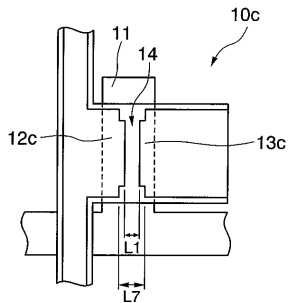
【 図 9 】



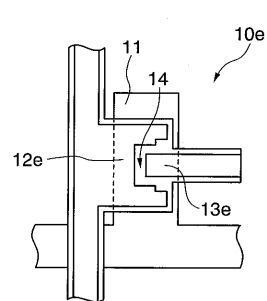
【 図 1 0 】



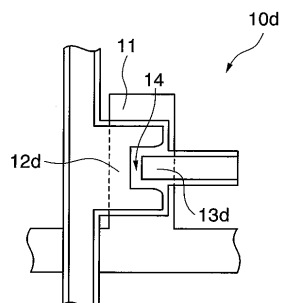
【 図 1 1 】



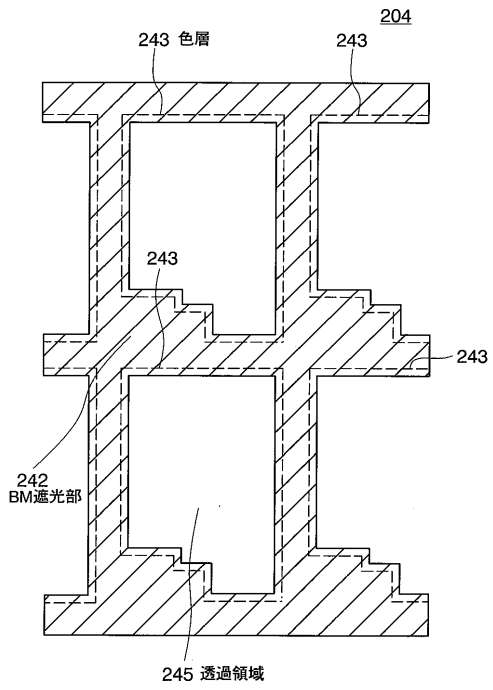
【 圖 1 3 】



【 図 1 2 】



【 図 1 9 】



 フロントページの続き

| | | |
|--------------------------|---------------|------------|
| (51)Int.Cl. ⁷ | F I | テーマコード(参考) |
| | H 0 1 L 29/78 | 6 1 6 K |
| | H 0 1 L 29/78 | 6 2 7 C |
| | H 0 1 L 29/50 | M |

| | | | | | | | | | | | |
|-----------|-------|------|------|------|------|------|------|------|------|------|------|
| F ターム(参考) | 2H092 | JA26 | JA31 | JA42 | JA47 | JB54 | KA05 | KA24 | MA14 | MA16 | NA21 |
| | NA27 | PA09 | | | | | | | | | |
| | 4M104 | AA09 | BB01 | CC01 | DD62 | FF11 | FF13 | GG09 | GG10 | GG14 | |
| | 5C094 | AA25 | AA43 | AA48 | BA03 | BA43 | CA19 | DA13 | EA04 | EB02 | ED03 |
| | | ED15 | | | | | | | | | |
| | 5F110 | AA16 | AA21 | BB01 | CC05 | CC07 | DD02 | EE50 | GG02 | GG15 | GG23 |
| | | GG28 | GG29 | HK09 | HK16 | HK21 | HL07 | NN44 | QQ02 | | |

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 液晶显示装置和制造薄膜晶体管的方法 | | |
| 公开(公告)号 | JP2005072135A | 公开(公告)日 | 2005-03-17 |
| 申请号 | JP2003297575 | 申请日 | 2003-08-21 |
| [标]申请(专利权)人(译) | NEC液晶技术株式会社 | | |
| 申请(专利权)人(译) | NEC LCD科技有限公司 | | |
| [标]发明人 | 橋本宜明 木村茂 鈴木聖二 | | |
| 发明人 | 橋本 宜明 木村 茂 鈴木 聖二 | | |
| IPC分类号 | G02F1/1368 G09F9/30 H01L21/336 H01L29/417 H01L29/786 | | |
| CPC分类号 | G02F1/1368 | | |
| FI分类号 | H01L29/78.618.C G02F1/1368 G09F9/30.338 H01L29/78.619.B H01L29/78.617.J H01L29/78.616.K H01L29/78.627.C H01L29/50.M | | |
| F-TERM分类号 | 2H092/JA26 2H092/JA31 2H092/JA42 2H092/JA47 2H092/JB54 2H092/KA05 2H092/KA24 2H092/MA14 2H092/MA16 2H092/NA21 2H092/NA27 2H092/PA09 4M104/AA09 4M104/BB01 4M104/CC01 4M104/DD62 4M104/FF11 4M104/FF13 4M104/GG09 4M104/GG10 4M104/GG14 5C094/AA25 5C094/AA43 5C094/AA48 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA04 5C094/EB02 5C094/ED03 5C094/ED15 5F110/AA16 5F110/AA21 5F110/BB01 5F110/CC05 5F110/CC07 5F110/DD02 5F110/EE50 5F110/GG02 5F110/GG15 5F110/GG23 5F110/GG28 5F110/GG29 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HL07 5F110/NN44 5F110/QQ02 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB45 2H192/CB46 2H192/CC42 2H192/EA04 2H192/EA15 2H192/EA22 2H192/HA44 | | |
| 代理人(译) | 稻垣清 | | |
| 其他公开文献 | JP4593094B2 | | |
| 外部链接 | Espacenet | | |

摘要(译)

解决的问题：为了防止由于光进入液晶显示装置的TFT通道而导致的TFT特性的劣化。TFT以倒置的交错结构形成，并且栅电极11将沟道区14与液晶显示装置的背光隔离。沟道区域14形成为使得两个沟道边缘的沟道长度都比沟道中央部分的沟道长度长。[选型图]图1

