

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-37850

(P2004-37850A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int.Cl.⁷

G02F 1/1337

G02F 1/1343

F I

G02F 1/1337 505

G02F 1/1343

テーマコード (参考)

2H090

2H092

審査請求 未請求 請求項の数 11 O L (全 16 頁)

(21) 出願番号

特願2002-194928 (P2002-194928)

(22) 出願日

平成14年7月3日(2002.7.3)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100084618

弁理士 村松 貞男

(74) 代理人 100068814

弁理士 坪井 淳

(74) 代理人 100092196

弁理士 橋本 良郎

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

最終頁に続く

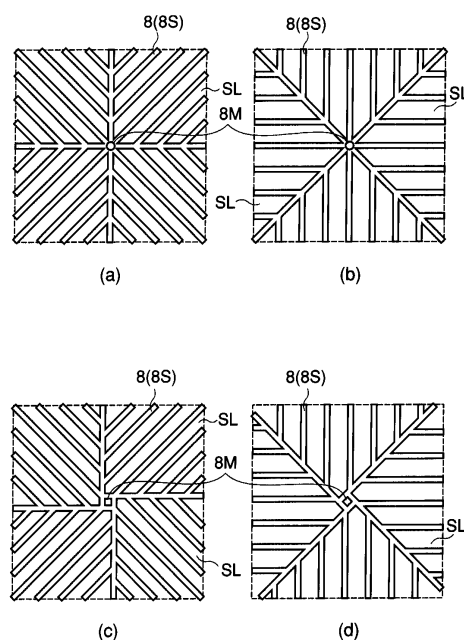
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 MVAモードの場合でも、アレイ基板および対向基板間の位置合わせに高い精度を必要とせず均一にドメイン分割して液晶分子の応答性を向上する。

【解決手段】 液晶表示装置は画素電極8を含むアレイ基板と、画素電極に対向する共通電極を含む対向基板と、これら基板間に挟持される液晶層とを備える。特に、アレイ基板は電圧印加に伴って各基板に略平行な様々な方向において強電場域および弱電場域を交互に並べた電場の揺らぎを画素電極8および共通電極間の液晶層からなる画素領域に生成することで液晶分子のチルト方向を制御して画素領域を液晶分子のチルト方向の異なる複数のドメインに分割するチルト制御部を含み、チルト制御部は画素電極8の中央部8Mから略放射状に伸びる境界を複数のドメインに持たせると共に液晶分子の配向欠陥をこの地点に誘起させるように画素電極8に対して強電場域および弱電場域の異方性分布を規定する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

少なくとも 1 つの画素電極を含むアレイ基板と、前記画素電極に対向する共通電極を含む対向基板と、前記アレイ基板および対向基板間に挟持され、各基板に対して略垂直に配向される液晶分子を含み、液晶分子配列が前記画素電極および前記共通電極間の電圧により制御される液晶層とを備え、前記アレイ基板はさらに前記電圧の印加に伴って各基板に略平行な様々な方向のそれぞれにおいて強電場域および弱電場域を交互に並べた電場の揺らぎを前記画素電極および共通電極間の液晶層からなる画素領域に生成することにより液晶分子のチルト方向を制御して前記画素領域を液晶分子のチルト方向の異なる複数のドメインに分割するチルト制御部を含み、前記チルト制御部は少なくとも 1 地点から略放射状に伸びる境界を前記複数のドメインに持たせると共に液晶分子の配向欠陥を前記地点に誘起させて前記画素電極に対して強電場域および弱電場域の異方性分布を規定するように構成されることを特徴とする液晶表示装置。

【請求項 2】

前記チルト制御部は前記画素電極を複数の副電極に区分して前記複数の副電極に対してそれぞれ強電場域および弱電場域の異方性分布を規定する複数のドメイン分割パターンを含み、各ドメイン分割パターンが対応副電極の中央部に対応して前記配向欠陥を誘起させるように構成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

各ドメイン分割パターンは前記対応副電極部の周縁側および中央側に両端を持つように伸びた複数の強電場域に対して前記対応副電極部の周縁側および中央側に両端を持つように伸びた複数の弱電場域をそれぞれ隣接させかつ前記対応副電極の中央部に弱電場域を配置して前記対応副電極部からの電場の強さを変化させる構造体を含むことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記構造体は前記複数の強電場域が一端において相互に連結されるように配置されることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記構造体は前記複数の弱電場域が一端において相互に連結されるように配置されることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 6】

前記構造体は前記複数の強電場域が一端において相互に連結され、さらに複数の弱電場域が前記複数の強電場域の一端とは逆側の一端において相互に連結されるように配置されることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 7】

前記チルト制御部は前記画素電極の欠落部、前記画素電極上の誘電体層、および前記画素電極上の配線のうちの少なくとも 1 つを含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 8】

前記強電場域の幅 W_1 とこの強電場域に隣接する前記弱電場域の幅 W_2 との和 $W_1 + W_2$ は $6 \mu m$ から $20 \mu m$ の範囲内にあることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 9】

前記弱電場域の幅 W_2 は前記副電極部の周縁側の端からの距離に依存して連続的に減少し、前記強電場域の幅 W_1 は前記副電極部の周縁側の端からの距離に依存して連続的に増加することを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

前記液晶層は誘電率異方性が負の液晶材料を含有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 11】

前記画素電極および前記共通電極をそれぞれ覆う一对の垂直配向膜をさらに備えることを

特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、各画素領域が複数のドメインに分割される液晶表示装置に関する。

【0002】

【従来の技術】

液晶表示装置は、薄型、軽量、低消費電力である等の様々な特徴を有しており、OA 機器、情報端末、時計、およびテレビ等の様々な用途に応用されている。特に、薄膜トランジスタ（以下、TFT という）を有する液晶表示装置は、その高い応答性から、携帯テレビ
10
やコンピュータなどのように多量の情報を表示するモニタとして用いられている。

【0003】

近年、情報量の増加に伴い、画像の高精細化や表示速度の高速化に対する要求が高まっている。これら要求のうち画像の高精細化は、例えば、上述した TFT を含むアレイ構造を微細化することによって実現されている。

【0004】

一方、表示速度の高速化に関しては、従来の表示モードの代わりに、ネマチック液晶を用いた OCB モード、VAN (Vertical Aligned Nematic) モード、HAN モード、および π 配列モードや、スメクチック液晶を用いた界面安定型強誘電性液晶モードおよび反強誘電性液晶モードを採用することが検討されている。
20

【0005】

これら表示モードのうち、VAN モードでは、従来の TN (Twisted Nematic) モードよりも速い応答速度を得ることができ、しかも、垂直配向のため静電気破壊などの不良を発生させるラビング処理が不要である。なかでも、マルチドメイン型 VAN モード（以下、MVA モードという）は、視野角の補償設計が比較的容易なことから特に注目を集めている。

【0006】

しかしながら、従来は、MVA モードを採用した液晶表示装置においてアレイ基板だけでなく、対向基板に対しても畝状の誘電突起を形成するかあるいは対向基板上の共通電極にスリットなどを設けていた。そのため、アレイ基板と対向基板との位置合わせを極めて高
30
い精度で行わなければならない、その結果、コストの上昇や信頼性の低下を生じてしまう。

【0007】

また、近年では、TN モードの液晶表示装置の製造において、アレイ基板にカラーフィルタ層を形成する技術が実用化され始めている。この技術によると、アレイ基板と対向基板とを貼り合わせてセルを形成する際に、カラーフィルタ層を構成する各色領域と画素電極とを位置合わせする必要がない。従って、このような技術を MVA モードの液晶表示装置の製造にも適用することが望まれるが、従来の MVA モードの液晶表示装置では、アレイ基板と対向基板とを貼り合わせてセルを形成する際に、畝状誘電突起やスリットのような構造体に対応してアレイ基板および対向基板間の位置合わせを行う必要がある。そのため、従来の MVA モードの液晶表示装置では、アレイ基板にカラーフィルタ層を形成したと
40
しても、TN モードの液晶表示装置で得られる利益を享受することはできなかった。

【0008】

【発明が解決しようとする課題】

本発明は、上記問題点に鑑みてなされたものであり、MVA モードを採用した場合であっても、アレイ基板および対向基板間の位置合わせにおいて高い精度を必要とせずに均一なドメイン分割を維持して液晶分子の応答性を向上可能な液晶表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明によれば、少なくとも 1 つの画素電極を含むアレイ基板と、画素電極に対向する共
50

通電極を含む対向基板と、アレイ基板および対向基板間に挟持され、各基板に対して略垂直に配向される液晶分子を含み、液晶分子配列が画素電極および共通電極間の電圧により制御される液晶層とを備え、アレイ基板はさらにこの電圧の印加に伴って各基板に略平行な様々な方向のそれぞれにおいて強電場域および弱電場域を交互に並べた電場の揺らぎを画素電極および共通電極間の液晶層からなる画素領域に生成することにより液晶分子のチルト方向を制御して画素領域を液晶分子のチルト方向の異なる複数のドメインに分割するチルト制御部を含み、このチルト制御部は少なくとも1地点から略放射状に伸びる境界を複数のドメインに持たせると共に液晶分子の配向欠陥をこの地点に誘起させるように画素電極に対して強電場域および弱電場域の異方性分布を規定する液晶表示装置が提供される。

10

【0010】

この液晶表示装置では、チルト制御部が画素電極と一緒にアレイ基板側に設けられる。このようなチルト制御部は画素電極の欠落部、画素電極上の誘電体層、および画素電極上の配線のような構造体としてアレイ基板の製造プロセスに組み込むことができるため、このチルト制御部を対向基板側に配置する場合のように高い精度でアレイ基板および対向基板間の位置合せを行う必要がない。さらに、このチルト制御部は少なくとも1地点から略放射状に伸びる境界を複数のドメインに持たせると共に液晶分子の配向欠陥をこの地点に誘起させるように画素電極に対して強電場域および弱電場域の異方性分布を規定する。このように液晶分子の配向欠陥が1地点に誘起させると、不規則な配向欠陥が複数のドメインの境界に沿って分散して生成されることが防止される。これは、ドメイン分割の均一性を配向欠陥により損なうことなく液晶分子の応答性を向上させることを可能にする。

20

【0011】

【発明の実施の形態】

以下、本発明の実施形態に係る液晶表示装置について添付図面を参照して説明する。

【0012】

図2はこの液晶表示装置1の外観を示し、図3は液晶表示装置の回路構造を概略的に示し、図4は液晶表示装置の部分的断面構造を示し、図5は液晶表示装置のアレイ基板の部分的断面構造をさらに詳細に示す。この液晶表示装置はMVAモードで動作するもので、アレイ基板2、対向基板3、およびアレイ基板2と対向基板3との間に挟持される液晶層4を備える。アレイ基板2および対向基板3には、偏光板5が液晶層4とは反対側において貼り付けられる。液晶層4は誘電率異方性が負であるネマチック液晶を含む液晶材料からなり、アレイ基板2および対向基板3間において周辺シール材6により取り囲まれる。アレイ基板2および対向基板3はこの周辺シール材6によって貼り合わされることにより液晶層4と一体化する。アレイ基板2と対向基板3との間隔はスペーサSPによって一定に維持される。

30

【0013】

アレイ基板2は、ガラス板等の光透過性絶縁基板7、マトリクス状に配置され各々液晶分子Lqの配列を制御する電場を液晶層4に印加する複数の画素電極8、これら画素電極8の行に沿って配置される複数の走査線Y(Y1~Ym)、各々対応行の画素電極8を横切るように配置される複数の補助容量線CL、これら画素電極8の列に沿って配置される複数の信号線X(X1~Xn)、各々対応走査線Yおよび対応信号線Xの交差位置近傍に配置される複数のスイッチング素子9、複数の走査線Yを駆動する走査線駆動回路10、および複数の信号線Xを駆動する信号線駆動回路11を含む。複数の補助容量線CLは共通電極駆動回路VCOMによって基準電位に設定される。

40

【0014】

絶縁基板7はアンダーコート表面7Aを有し、複数のスイッチング素子9、複数の画素電極8、並びに信号線X、走査線Y、補助容量線CLのような配線が絶縁してこのアンダーコート表面7Aの上方において積層される。これらの配線はアルミニウム、モリブデン、および銅などからなる。複数の画素電極8はITOのような透明導電材料からなり、例えばスパッタリング法などにより透明導電材料の薄膜を形成した後、フォトリソグラフィ技

50

術およびエッチング技術を用いてその薄膜をパターンングすることにより形成される。この画素電極 8 は電圧無印加状態で液晶層 4 の液晶分子 Lq をアレイ基板 2 平面に対して略垂直に配向する垂直配向膜 1 2 により覆われる。この垂直配向膜 1 2 はポリイミドなどの透明樹脂の薄膜で構成され、ラビング処理せずに垂直配向性が付与されている。各スイッチング素子 9 はアンダーコート表面 7 A 上に形成されゲート絶縁膜 1 3 により覆われる例えばアモルファスシリコンやポリシリコンの半導体層 M、この半導体層 M 上にゲート絶縁膜 1 3 を介して形成され層間絶縁膜 1 4 で覆われるゲート電極 9 G、並びにゲート絶縁膜 1 3 および層間絶縁膜 1 4 に形成されるコンタクトホールを介して半導体層 M に接続されたソースおよびドレイン電極 9 S、9 D を持つ薄膜トランジスタである。スイッチング素子 9 の電極 9 S、9 D、9 G はアルミニウム、モリブデン、クロム、銅、およびタンタル等の金属材料で構成される。ソース電極 9 S は対応画素電極 8 に接続され、ドレイン電極 9 D は対応信号線 X に接続され、ゲート電極 9 G は対応走査線 Y に接続される。スイッチング素子 9 および層間絶縁膜 1 4 はカラーフィルタ層 C F で覆われ、画素電極 8 はこのカラーフィルタ層 C F 上に形成される。カラーフィルタ層 C F は各列の画素電極 8 に沿ったストライプとして形成される青色の着色層 C F __ B、緑色の着色層 C F __ G、および赤色の着色層 C F __ R により構成される。画素電極 8 はカラーフィルタ C F に形成されるコンタクトホール H を介してスイッチング素子 8 のソース電極 9 S に接続される。補助容量線 C L はゲート電極 9 G と一緒にゲート絶縁膜 1 3 上に形成される。画素電極 8 はカラーフィルタ層 C F および層間絶縁膜 1 4 に形成されるコンタクトホール H を介してコンタクト電極 C E に接続される。このコンタクト電極 C E は補助容量線 C E に形成される開口を貫通してスイッチング素子 8 の半導体層 M と一緒に形成される半導体層 M ' にコンタクトする。補助容量線 C L は、コンタクト電極 C E、半導体層 M '、および画素電極 8 に容量結合して補助容量 S C を構成する。

【0015】

対向基板 3 は、ガラス板等の光透過性絶縁基板 1 5、複数の画素電極 8 に対向するように絶縁基板 1 5 上に形成される共通電極 1 6、およびこの共通電極 1 6 を覆って形成され電圧無印加状態で液晶層 4 の液晶分子 Lq を対向基板 3 平面に対して略垂直に配向する垂直配向膜 1 2 を含む。これら共通電極 1 6 および配向膜 1 2 は、画素電極 8 および配向膜 1 2 と同様の材料からなる。ここで、共通電極 1 6 は複数の画素電極 8 に対向した平坦な連続膜として形成され、アレイ基板 2 の補助容量線 C L と共に共通電極駆動回路 V C O M により基準電位に設定される。

【0016】

上述の液晶表示装置では、アレイ基板 2 がさらに電圧印加に伴って各基板 2、3 に略平行な様々な方向のそれぞれにおいて強電場域および弱電場域を交互に並べた電場の揺らぎを画素電極 8 および共通電極 1 6 間の液晶層 4 からなる画素領域に生成することにより液晶分子 Lq のチルト方向を制御して画素領域を液晶分子 Lq のチルト方向の異なる複数のドメインに分割するチルト制御部を含む。

【0017】

図 6 はこのチルト制御部の基本構造を示す。チルト制御部は少なくとも 1 地点、例えば画素電極 8 の中央部から略放射状に伸びる境界を複数のドメインに持たせると共に液晶分子 Lq の配向欠陥をこの地点に誘起させるように画素電極 8 に対して強電場域および弱電場域の異方性分布を規定するドメイン分割パターンを有する。このドメイン分割パターンは画素電極 8 の周縁側および中央側に両端を持つように伸びた複数の強電場域に対して画素電極 8 の周縁側および中央側に両端を持つように伸びた複数の弱電場域をそれぞれ隣接させるように画素電極 8 からの電場の強度を変化させる構造体を有する。ここでは、構造体が画素電極 8 の欠落部として形成される複数のスリット S L および単一のホール 8 M からなる。これらスリット S L は画素電極 8 に含まれる 4 つの区画 8 a ~ 8 d の各々で例えば略平行に一定のピッチで並べられる。これらスリット S L は区画 8 a および 8 d で一方向に伸び、区画 8 b および 8 c で一方向に交差する他方向に伸びている。これにより、画素領域は液晶分子 Lq のチルト方向が互いに異なる 4 つのドメインに分割される。ホール 8

Mは区画8a, 8b, 8c, および8dに隣接する画素電極8の中央部に配置される。このホール8Mは液晶分子の配向欠陥を画素電極8の中央部に誘起させ、不規則な配向欠陥が4つのドメインの境界に沿って分散して生成されることを防止する。これは、ドメイン分割の均一性を配向欠陥により損なうことなく液晶分子の応答性を向上させることを可能にする。画素電極8の形状としては、例えば図1の(a)から(d)に示すようにスリットSLおよびホール8Mを配置するものが利用できる。

【0018】

ここで、図6に示す構造のチルト制御部による液晶分子Lqの配向変化について概略的に説明する。図7の(a)および(c)は液晶分子Lqの配向状態をアレイ基板2および対向基板3の基板平面に平行な平面で示し、図7の(b)および(d)は液晶分子Lqの配向状態を基板平面に垂直な断面で示す。尚、液晶分子Lqの周辺構造は簡略化して示されている。

10

【0019】

画素電極8および共通電極16間に電圧を印加しない場合、配向膜12は誘電率異方性が負の液晶分子Lqを垂直配向させるように作用する。すなわち、液晶分子Lqの長軸は配向膜12の膜面に対してほぼ垂直になる。

【0020】

画素電極8および共通電極16間に比較的低い第1電圧を印加すると、画素電極8からの漏れ電場がスリットSLの近傍に生じ、これにより電気力線が図7の(b)に示すように傾く。

20

【0021】

画素電極8および共通電極16間の印加電圧は、電気力線に垂直な方向に液晶分子Lqを配向させる電場を生成する。従って、液晶分子Lqは、一对の配向膜12および電場の作用によって、図7の(a)に示すように配向しようとする。

【0022】

しかしながら、液晶分子Lqの配向状態は図7の(a)に示すように一对のスリットSL間で画素電極8の幅方向に隣接していることにより互いに干渉する。このため、液晶分子Lqは、図7の(a)に示す矢印A1の向きまたは矢印A2の向きにチルト方向を変化させて、より安定な配向状態をとろうとする。

【0023】

ここで、図7の(a)に示すように、スリットSL間画素電極8上およびその近傍領域の液晶分子LqがスリットSLに沿った方向において対称的な(あるいは、等方的な)配向状態であるとする。この場合、液晶分子Lqのチルト方向が矢印A1の向きに変化する確率と、矢印A2の向きに変化する確率とが等しくなる。

30

【0024】

これに対し、図7の(c)に示すように、スリットSL間画素電極8上およびその近傍の液晶分子LqがこれらスリットSLに沿った方向において非対称な(あるいは、異方的な)配向状態である場合、スリットSL間画素電極8の両端間で電気力線が非対称となり、同様に、スリットSLの両端間でも電気力線が非対称になる。そのため、液晶分子Lqが矢印A2の向きに配向した配向状態は、液晶分子Lqが矢印A1で示す向きに配向した配向状態に比べてより安定となる。その結果、液晶分子Lqの平均的なチルト方向(ディレクタ)は、図7の(c)に示す矢印A2の向きとなる。

40

【0025】

第1電圧よりも高い第2電圧を画素電極8および共通電極16間に印加すると、一对の配向膜12が液晶分子Lqを垂直配向させようとする作用に対して、電場が液晶分子Lqをその電気力線に垂直な方向に配向させようとする作用がより大きくなる。従って、液晶分子Lqは、水平配向に近づくようにチルト角を変化させる。

【0026】

ここで、第2電圧を画素電極8および共通電極16間に印加した場合でも、第1電圧を画素電極8および共通電極16間に印加した場合と同様に、液晶分子Lqが矢印A2の向き

50

に配向した配向状態は、液晶分子 Lq が矢印 A 1 で示す向きに配向した配向状態に比べてより安定である。そのため、画素電極 8 および共通電極 16 間の印加電圧を第 1 および第 2 電圧間で変化させた場合、液晶分子 Lq のディレクタはスリット S L の配列方向に垂直な面内で変化することとなる。すなわち、画素電極 8 および共通電極 16 間の印加電圧を第 1 および第 2 電圧間で変化させた場合、液晶分子 Lq は、その平均的なチルト方向をスリット S L の配列方向に垂直な面内に維持したままチルト角を変化させる。

【0027】

従って、画素電極 8 の区画 8 a ~ 8 d 間で互いに異なる長手方向を持つように複数のスリット S L を形成することにより、液晶分子 Lq のチルト方向を図 6 に示すように維持したまま、そのチルト角を変化させることができる。すなわち、アレイ基板 2 に設けた構造体だけで、1 つの画素領域内に液晶分子 Lq のチルト方向が互いに異なる 4 つのドメインを形成することができる。また、本実施形態では、液晶分子 Lq の平均的なチルト方向をスリット S L の配列方向に垂直な面内に維持したままチルト角を変化させることができるため、より速い応答速度を実現することができるのに加え、配向不良が発生し難く、良好な配向分割が可能である。

【0028】

加えて、チルト方向が互いに異なる 4 つのドメインが隣接する画素電極 8 の中央部に欠落部を設けることにより、これらドメインの境界付近に生じる不規則な液晶分子の配向欠陥を予め所定の地点に固定することができる。すなわち、画素領域内で発生する配向欠陥を所定地点に集中させることにより、ドメイン分割の均一性を配向欠陥によって損うことなく液晶分子の応答性を向上させることが可能になる。

【0029】

本実施形態では、このように、画素領域内に電場の揺らぎを形成すると共にこの電場の強さを変化させて液晶層 4 の光学特性を制御することにより表示を行う。ところで、上述したような制御を行う場合、液晶層 4 において画素電極 8 の近傍にスリット S L の近傍よりも強い電場が生成される。そのため、画素電極 8 の近傍では、スリット S L の近傍に比べて、液晶分子 Lq はより大きく倒れる。すなわち、液晶層 4 において画素電極 8 の近傍とスリット S L の近傍とでは、液晶分子 Lq の平均的なチルト角は互いに異なる。このようなチルト角の違いは、光学的な違いとして観察可能である。

【0030】

図 8 は液晶表示装置に図 6 に示す基本構造のチルト制御部を採用した場合に観察される透過率分布の一例を示す。尚、図 8 は、液晶層 4 に対して光源側および観察者側のそれぞれに偏光板 5 を配置した状態で、画素電極 8 および共通電極 16 間に第 1 電圧から第 2 電圧の範囲内の第 3 電圧を印加した場合に観察される平面波状の透過率分布を示している。チルト制御部の構造はこのように光学的特徴として観察することも可能である。

【0031】

スリット S L の幅は図 6 に示すように一定にするだけでなく、その長手方向に沿って変化させてもよい。図 9 はチルト制御部の基本構造の変形例を概略的に示し、図 10 はこの変形例の構造により生じる液晶分子 Lq の配向変化を概略的に示す。尚、図 9 では、画素電極 8 の区画 8 a ~ 8 d のうち区画 8 a の構造だけが示される。図 10 では、図 9 に示す区画 8 a の一部で生じる配向変化が示される。

【0032】

図 9 に示す変形例では、スリット S L の幅が画素電極 8 の中央側から周縁側に向けて連続的に増加している。この構造は、図 10 に示すように、スリット S L の先端に隣接した液晶分子 Lq およびスリット S L 間の画素電極 8 の基端に隣接する液晶分子 Lq に加え、スリット S L 間画素電極 8 の幅方向の両端に隣接した液晶分子 Lq のディレクタ方向を矢印 A 2 の向きに揃えて透過率や応答速度をさらに向上させるように作用する。

【0033】

上述したように、アレイ基板 2 は略平行な様々な方向のそれぞれにおいて強電場域および弱電場域を交互に並べた電場の揺らぎを画素電極 8 および共通電極 16 間の液晶層 4 から

10

20

30

40

50

なる画素領域に生成することにより液晶分子 Lq のチルト方向を制御して画素領域を液晶分子 Lq のチルト方向の異なる複数のドメインに分割するチルト制御部を含み、このチルト制御部が画素電極 8 に対して強電場域および弱電場域の異方性分布を規定するドメイン分割パターンを有し、ドメイン分割パターンが画素電極 8 の周縁側および中央側に両端を持つように伸びた複数の強電場域に対して画素電極 8 の周縁側および中央側に両端を持つように伸びた複数の弱電場域をそれぞれ隣接させるように画素電極 8 からの電場の強度を変化させる構造体を有する。図 6 に示す複数のスリット SL は画素電極 8 からの電場の強度を減衰させる構造体として利用される。これらスリット SL を利用した場合、比較的高い自由度で設計を行うことが可能である。しかしながら、電場の揺らぎはスリット SL 以外の構造体によっても生じさせることができる。これについては、図 11 を参照して説明する。

【0034】

図 11 はチルト制御部の基本構造の他の変形例を概略的に示す。この変形例では、図 11 の (a) に示すように、複数の誘電体層 21 が図 6 に示す複数のスリット SL の代わりにこれらスリット SL と同様のパターンで画素電極 8 上に形成される。この場合、アクリル系樹脂、エポキシ系樹脂、ノボラック系樹脂などのように誘電体層 21 の誘電率が液晶材料の誘電率よりも低ければ、液晶層 4 において誘電体層 21 の近傍に電場の強さがより弱い弱電場域を生成することができる。従って、複数のスリット SL を形成した場合と同様の効果を得ることができる。

【0035】

また、図 6 に示す複数のスリット SL の代わりに、図 11 の (b) に示すように、複数の配線 23 が透明絶縁体層 22 を介して画素電極 8 上に形成されてもよい。配線 23 は、例えば、信号線、ゲート線、補助容量配線などであり、複数のスリット SL と同様のパターンで配列している。この場合、液晶層 4 において配線 23 の近傍に電場の強さがより強い強電場域を生成することができる。従って、この場合も、複数のスリット SL を形成した場合と同様の効果を得ることができる。

【0036】

尚、液晶表示装置 1 が透過型である場合、誘電体層 21 および配線 23 の材料は、透過率の観点から、透明な材料であることが好ましい。また、液晶表示装置 1 が反射型である場合、誘電体層 21 および配線 23 の材料として、透明な材料に加え、金属材料のように不透明な材料を用いてもよい。

【0037】

上述のようなチルト制御部の基本構造では、液晶層 4 において強電場域の幅 W_1 と弱電場域の幅 W_2 との和 W_{12} は $20\ \mu m$ 以下であることが好ましい。通常、和 W_{12} が $20\ \mu m$ 以下であれば、液晶分子 Lq の配向を上述したように制御することができ、十分な透過率を実現することができる。また、和 W_{12} は $6\ \mu m$ 以上であることが好ましい。一般に、和 W_{12} が $6\ \mu m$ 以上であれば、液晶層 4 において強電場域と弱電場域とを生じさせる構造体を十分に高い精度で形成することができるのに加え、上述した液晶配向を安定に生じさせることができる。

【0038】

尚、和 W_{12} は、スリット SL 間の画素電極 8 の幅とスリット SL の幅との和、誘電体層 21 間の画素電極 8 の幅と誘電体層 21 の幅との和、画素電極 8 上に設けた配線 23 の幅と配線 23 間の画素電極 8 の幅との和、第 3 電圧印加時にチルト角がより大きな領域の幅とより小さな領域の幅との和、第 3 電圧印加時に透過率がより高い領域の幅とより低い領域の幅との和などとほぼ等しい。従って、これら幅も $20\ \mu m$ 以下であることおよび $6\ \mu m$ 以上であることが好ましい。

【0039】

チルト制御部の基本構造において、幅 W_1 および幅 W_2 は、それぞれ、 $8\ \mu m$ 以下であることが好ましい。また、幅 W_1 および幅 W_2 は、それぞれ、 $4\ \mu m$ 以上であることが好ましい。この範囲においては、応答速度および透過率に関して実用上十分な性能を期待する

ことができる。

【0040】

尚、幅 W_1 と幅 W_2 とは、スリットSL間の画素電極8の幅とスリットSLの幅、画素電極8上の誘電体層21に挟まれた領域の幅と誘電体層21の幅、画素電極8上に設けた配線23の幅と配線23間の画素電極8の幅、第3電圧印加時にチルト角がより大きな領域の幅とより小さな領域の幅、第3電圧印加時に透過率がより高い領域の幅とより低い領域の幅などに対応している。従って、これら幅も $8\mu\text{m}$ 以下で $4\mu\text{m}$ 以上であることが好ましい。

【0041】

チルト制御部の基本構造において、液晶層4において強電場域の長さおよび弱電場域の長さは、それぞれ、幅 W_1 および幅 W_2 よりも長ければよいが、それらの和である幅 W_{12} に対して2倍以上であることが好ましい。この場合、より多くの液晶分子Lqをそれら電場域の長さ方向に配向させることができる。

【0042】

チルト制御部の基本構造は各画素電極8の全体的なアスペクト比によっては最適でない場合がある。例えばカラー表示を行う場合に、赤、緑、および青用の3画素を組み合わせるために画素電極8のアスペクト比（幅 W ：長さ L ）が1：3に設定される。このような場合には、チルト制御部を図12の（a）に示すような構造にせず、例えば図12の（b）または（c）に示すように画素電極8を例えば3個の副電極部8Sに区分しこれら副電極部8Sに対してそれぞれ強電場域および弱電場域の異方性分布を規定する3つのドメイン分割パターンを有することが好ましい。これら副電極部8Sはブリッジ電極BRにより相互接続される。各ドメイン分割パターンは対応副電極部8Sの周縁側および中央側に両端を持つように伸びた複数の強電場域に対して対応副電極部8Sの周縁側および中央側に両端を持つように伸びた複数の弱電場域をそれぞれ隣接させるように対応副電極部8Sからの電場の強さを変化させる構造体を含むことになる。この構造体は図12の（b）において副電極部8Sの欠落部として形成される複数のスリットSLで構成され、図12の（c）において副電極部8S上に形成される複数の誘電体層21で構成される。

【0043】

本実施形態では、強電場域および弱電場域が図7の（c）に示すようにスリットSL間画素電極8の長手方向において非対称となるよう配向状態を得るように液晶層4に生成されるが、図7の（a）に示すようにスリットSL間画素電極8の長手方向において対称な配向状態を得るようにしてもよい。但し、前者の方が応答速度などの点で有利である。本実施形態では、誘電率異方性が負のネマチック液晶を垂直配向させたVANモードを採用したが、誘電率異方性が正のネマチック液晶を用いることも可能である。特に、高いコントラストが望まれる場合は、VANモードを採用し且つノーマリブラックとすることにより、例えば400：1以上の高いコントラストと高透過率設計による明るい画面設計とが可能である。

【0044】

本実施形態において、見かけ上、液晶の光学応答を速めるために、偏光板5の光透過容易軸あるいは光吸収軸と強電場域と弱電場域との配列方向とが為す角度を 45° から所定の角度 θ だけずらしてもよい。この角度 θ は、視野角などに応じて設定することもできるが、応答時間を短縮するには 22.5° とすることが最も効果的である。

【0045】

本実施形態において、画素電極8の区画8a～8dの形状は特に制限されず、例えば、矩形や扇形とすることもできる。

【0046】

本実施形態では、第3電圧印加時に画素領域をドメイン分割するチルト制御部をアレイ基板2のみに設けたが、アレイ基板2および対向基板3の双方に設けてもよい。但し、前者の場合、アレイ基板2と対向基板3とを貼り合わせてセルを形成する際にアライメントマ

ークなどを利用した高精度な位置合わせが不要となる。

【0047】

また、本実施形態では、カラーフィルタ層CFをアレイ基板2に設けた構造(COA: color filter on array)を採用したが、カラーフィルタ層CFは対向基板3に設けてもよい。但し、前者の場合、アレイ基板2と対向基板3とを貼り合わせてセルを形成する際にアライメントマークなどを利用した高精度な位置合わせが不要となる。

【0048】

以下、本発明の液晶表示装置の製造例について説明する。

(製造例1)

本製造例では、画素電極8が複数の副電極部に区分されない液晶表示装置1を以下に説明する方法により製造した。ここでは、画素電極8が図12の(a)に示す形状に形成される。

【0049】

まず、通常の薄膜トランジスタ形成プロセスと同様に成膜とパターニングとを繰返し、ガラス板である光透過性絶縁基板7の一主表面上に走査線Yおよび信号線等の配線並びにスイッチング素子8の薄膜トランジスタを形成した。次に、薄膜トランジスタを形成した絶縁基板7の表面側に常法により光透過性絶縁膜であるカラーフィルタ層CFを形成した。

【0050】

次いで、カラーフィルタ層CFを形成した絶縁基板7の表面側に所定パターンのマスクを介してITOをスパッタリングした。その後、このITO膜上にレジストパターンを形成し、このレジストパターンをマスクとして用いてITO膜の露出部をエッチングした。以上のようにして、図12の(a)に示すように画素電極8を形成した。尚、ここでは、スリットSLの幅およびスリットSL間画素電極8の幅はいずれも5 μ mとした。

【0051】

その後、画素電極8を形成した絶縁基板7の表面の全面に熱硬化性樹脂を塗布し、この塗膜を焼成することにより、垂直配向性を示す厚さ70nmの配向膜12を形成した。アレイ基板2は上述のようにして製作される。

【0052】

次に、別途用意したガラス板からなる光透過性絶縁基板15の一主表面上に、共通電極16として、スパッタリング法を用いてITO膜を形成した。続いて、この共通電極16の全面に、アレイ基板2に関して説明したのと同様の方法により配向膜12を形成した。以上のようにして、対向基板3を製作した。

【0053】

次いで、液晶材料を注入するための注入口を残してアレイ基板2と対向基板3の周縁部に周辺シール材6となる接着剤を塗布し、それぞれの配向膜12を内側にしてアレイ基板2と対向基板3を貼り合わせるにより液晶注入空間(液晶セル)を形成した。尚、この液晶セルのセルギャップは、アレイ基板2に設けられ対向基板3に接触する長さ4 μ mの柱状スペーサSPにより一定に維持した。また、アレイ基板2および対向基板3を貼り合わせる際、これらアレイ基板2および対向基板3間の位置合わせはそれらの端面を揃えることにより行い、アライメントマークなどを利用する高精度な位置合わせは行わなかった。

【0054】

次いで、この液晶セル内に誘電率異方性が負である液晶材料を通常の方法により注入して液晶層4を形成した。次いで、液晶注入口を紫外線硬化樹脂で封止し、液晶セルの両面に偏光板5を貼り付けることにより液晶表示装置1を得た。

【0055】

尚、この液晶表示装置1は、例えば、画素電極8および共通電極16間の印加電圧を約1Vから約5Vまでの間で変化させることにより駆動され得る。

【0056】

10

20

30

40

50

次に、以上のようにして作製した液晶表示装置 1 を、画素電極 8 と共通電極 16 との間に 4 V の電圧を印加した状態で観察した。その結果、画素電極 8 の形状に対応した透過率分布が見られた。

【0057】

(製造例 2)

画素電極 8 を図 12 の (b) に示す形状とし、スリット S L の幅およびスリット S L 間の画素電極 8 の幅をいずれも 4 μm としたこと以外は製造例 1 で説明したのと同様の方法により液晶表示装置 1 を製作した。尚、この液晶表示装置 1 は、例えば、画素電極 8 と共通電極 16 との間に印加する電圧を約 1 V と約 4 V との間で変化させることにより駆動され得る。

10

【0058】

次に、以上のようにして作製した液晶表示装置 1 を、画素電極 8 と共通電極 16 との間に 3.5 V の電圧を印加した状態で観察した。その結果、画素電極 8 の形状に対応した透過率分布が見られた。

【0059】

(製造例 3)

図 12 の (c) に示すように幅方向に並ぶ一対のスリット S L ' でそれぞれ分離される 3 個の副電極部 8 S を持つ画素電極 8 を形成し、これら副電極部 8 S 上に誘電体層 21 を設けたこと以外は製造例 1 で説明したのと同様の方法により液晶表示装置 1 を製作した。尚、ここでは、誘電体層 21 の幅は 4 μm とし、誘電体層 21 の厚さは液晶層 4 において誘電体層 21 の近傍で電場の強さが十分に弱められるように 1.4 μm とした。また、これらスリット S L ' は、誘電体層 21 による配向制御効果を向上させるために設けられている。ここでは、一対のスリット S L ' が画素電極 8 の欠落部として形成され、これらスリット S L 間の画素電極 8 の一部をブリッジ電極 B R として残す。

20

【0060】

以上のようにして製造された液晶表示装置 1 は、例えば、画素電極 8 および共通電極 16 間の印加電圧を約 1 V から約 4 V までの間で変化させることにより駆動され得る。3.5 V の電圧を画素電極 8 および共通電極 16 間に印加して液晶表示装置 1 を状態で観察すると、その結果として画素電極 8 の形状に対応した透過率分布が見られた。

【0061】

(製造例 4)

各副電極部 8 S を図 1 の (a) に示す形状とし、この副電極部 8 S の中央部に直径 4 μm のホール 8 M を設けること以外は製造例 2 で説明したような方法で液晶表示装置 1 を製造した。この液晶表示装置 1 は、例えば、画素電極 8 および共通電極 16 間の電圧を約 1 V と約 5 V との間で変化させることにより駆動され得る。実際に 5 V の電圧を画素電極 8 および共通電極 16 間に印加した状態で上述の液晶表示装置 1 を観察すると、副電極部 8 S の形状に対応した透過率分布が見られた。

30

【0062】

(製造例 5)

各副電極部 8 S を図 1 の (b) に示す形状とし、この副電極部 8 S の中央部に直径 4 μm のホール 8 M を設けること以外は製造例 2 で説明したような方法で液晶表示装置 1 を製造した。この液晶表示装置 1 は、例えば、画素電極 8 および共通電極 16 間の電圧を約 1 V と約 5 V との間で変化させることにより駆動され得る。実際に 5 V の電圧を画素電極 8 および共通電極 16 間に印加した状態で上述の液晶表示装置 1 を観察すると、副電極部 8 S の形状に対応した透過率分布が見られた。

40

【0063】

(製造例 6)

各副電極部 8 S を図 1 の (c) に示す形状とし、この副電極部 8 S の中央部に直径 4 μm のホール 8 M を設けること以外は製造例 2 で説明したような方法で液晶表示装置 1 を製造した。この液晶表示装置 1 は、例えば、画素電極 8 および共通電極 16 間の電圧を約 1 V

50

と約 5 V との間で変化させることにより駆動され得る。実際に 5 V の電圧を画素電極 8 および共通電極 16 間に印加した状態で上述の液晶表示装置 1 を観察すると、副電極部 8 S の形状に対応した透過率分布が見られた。

【0064】

(製造例 7)

各副電極部 8 S を図 1 の (d) に示す形状とし、この副電極部 8 S の中央部に直径 4 μ m のホール 8 M を設けること以外は製造例 2 で説明したような方法で液晶表示装置 1 を製造した。この液晶表示装置 1 は、例えば、画素電極 8 および共通電極 16 間の電圧を約 1 V と約 5 V との間で変化させることにより駆動され得る。実際に 5 V の電圧を画素電極 8 および共通電極 16 間に印加した状態で上述の液晶表示装置 1 を観察すると、副電極部 8 S の形状に対応した透過率分布が見られた。

【0065】

次に、製造例 1 から製造例 7 に係る液晶表示装置 1 について、透過率および応答時間を測定した。その結果を以下の表に示す。

【0066】

【表 1】

	透過率	配向分割均一性	応答時間	残像感
製造例 1	17%	良好	25ms	僅か
製造例 2	18%	良好	23ms	僅か
製造例 3	19%	良好	29ms	僅か
製造例 4	18%	良好	24ms	なし
製造例 5	18%	良好	25ms	なし
製造例 6	18%	良好	22ms	なし
製造例 7	18%	良好	22ms	なし

【0067】

上記表から明らかなように、製造例 1 から製造例 3 に係る液晶表示装置 1 では、アレイ基板 2 および対向基板 3 を貼り合わせる際に高精度な位置合わせを行わなかったのにも拘らず、透過率が高く、配向分割均一性が良好であり、応答時間も短い。すなわち、製造例 1 から製造例 3 によると、アレイ基板 2 および対向基板 3 を高精度に位置合わせすることなく MVA モードの液晶表示装置を製造することができた。

【0068】

さらに、製造例 4 から製造例 7 に係る液晶表示装置 1 では、チルト制御部が少なくとも 1 地点から略放射状に伸びる境界を複数のドメインに持たせると共に液晶分子の配向欠陥をこの地点に誘起させるように画素電極に対して強電場域および弱電場域の異方性分布を規定する。ここで、チルト制御部は画素電極 8 を 3 個の副電極部 8 S に区分してこれら副電極部 8 S に対してそれぞれ強電場域および弱電場域の異方性分布を規定する複数のドメイン分割パターンを含み、各ドメイン分割パターンが対応副電極部 8 S の中央部に配置されるホール 8 M に対応して配向欠陥を誘起させるように構成される。具体的には、各ドメイン分割パターンは対応副電極部 8 S のホール 8 M として形成され対応副電極部 8 S の周縁側および中央側に両端を持つように伸びた複数の強電場域に対して対応副電極部 8 S の周縁側および中央側に両端を持つように伸びた複数の弱電場域をそれぞれ隣接させかつ対応副電極部 8 S の中央部に弱電場域を配置して対応副電極部 8 S からの電場の強さを変化させる構造体を含む。この場合、ドメインが隣接することで生じる不規則な配向欠陥を予め

所定の地点に固定することができる。このように、画素領域内で発生する配向欠陥を所定地点に集中させることにより、この結果として、表 1 に示すように配向分割の均一性を良好に維持して残像感をなくすることができる。すなわち、ドメイン分割の均一性を配向欠陥により損うことなく液晶分子の応答性を向上させることが可能になる。

【0069】

【発明の効果】

以上のように本発明によれば、MVAモードを採用した場合であっても、アレイ基板および対向基板間の位置合わせにおいて高い精度を必要とせずに均一なドメイン分割を維持して液晶分子の応答性を向上可能な液晶表示装置を提供することができる。

【図面の簡単な説明】

10

【図 1】本発明の一実施形態に係る液晶表示装置の画素電極の形状例を平面図である。

【図 2】図 1 に示す形状の画素電極を持つ液晶表示装置の外観を示す斜視図である。

【図 3】図 2 に示す液晶表示装置の回路構造を概略的に示す図である。

【図 4】図 3 に示す液晶表示装置の部分的断面構造を示す図である。

【図 5】図 4 に示すアレイ基板の部分的断面構造をさらに詳細に示す図である。

【図 6】図 3 に示す液晶表示装置のチルト制御部の基本構造を示す平面図である。

【図 7】図 6 に示す液晶分子の配向状態を基板平面に平行な平面および基板平面に垂直な断面において示す図である。

【図 8】図 6 に示す基本構造のチルト制御部を採用した場合に観察される透過率分布の一例を示す画像である。

20

【図 9】図 6 に示すチルト制御部の基本構造の変形例を概略的に示す図である。

【図 10】図 9 に示す変形例の構造により生じる液晶分子の配向変化を概略的に示す図である。

【図 11】図 6 に示すチルト制御部の基本構造の他の変形例を概略的に示す断面図である。

【図 12】図 6 に示すチルト制御部の基本構造を画素電極のアスペクト比に適合させた構成例を示す平面図である。

【符号の説明】

1 … 液晶表示装置

2 … アレイ基板

3 … 対向基板

4 … 液晶層

5 … 偏光板

7 … 光透過性絶縁基板

8 … 画素電極

8 a ~ 8 d … 区画

8 M … 画素電極欠落部

9 … スイッチング素子

1 2 … 配向膜

1 5 … 光透過性絶縁基板

1 6 … 共通電極

2 1 … 誘電体層

2 2 … 透明絶縁体層

2 3 … 配線

S L … スリット

L q … 液晶分子

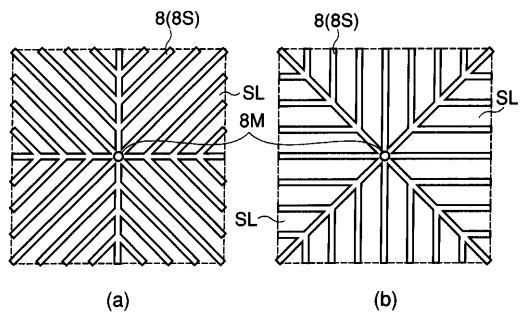
C F … カラーフィルタ層

C F _ B, C F _ G, C F _ R … 着色層

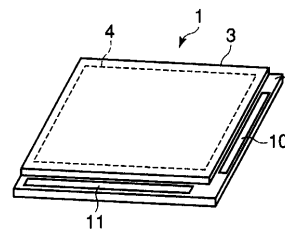
30

40

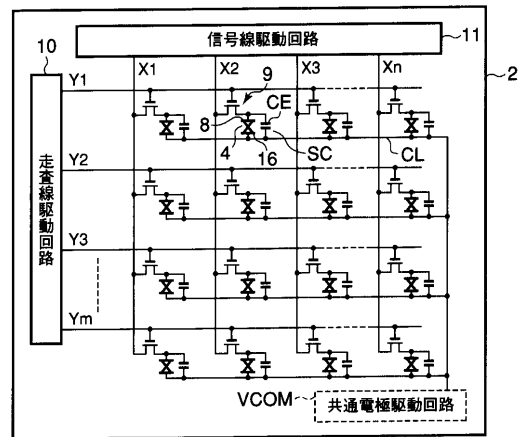
【図 1】



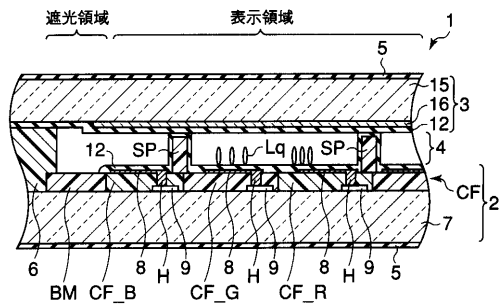
【図 2】



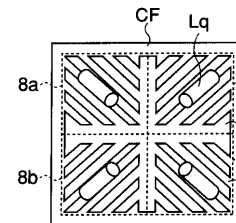
【図 3】



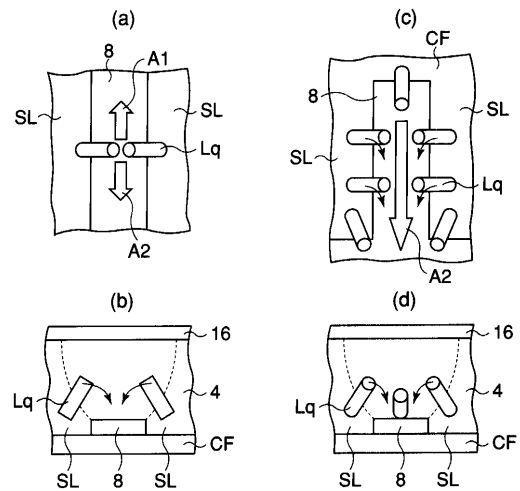
【図 4】



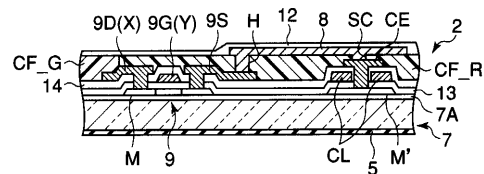
【図 6】



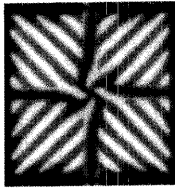
【図 7】



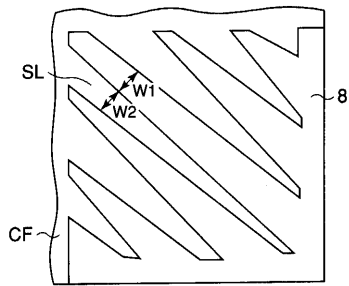
【図 5】



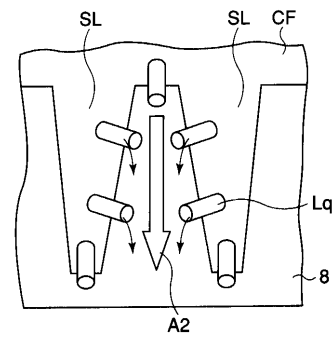
【図 8】



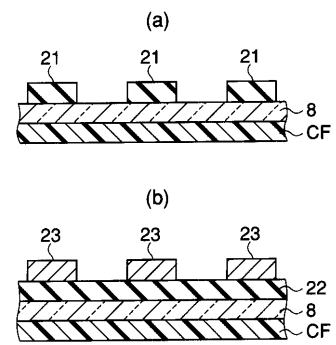
【図 9】



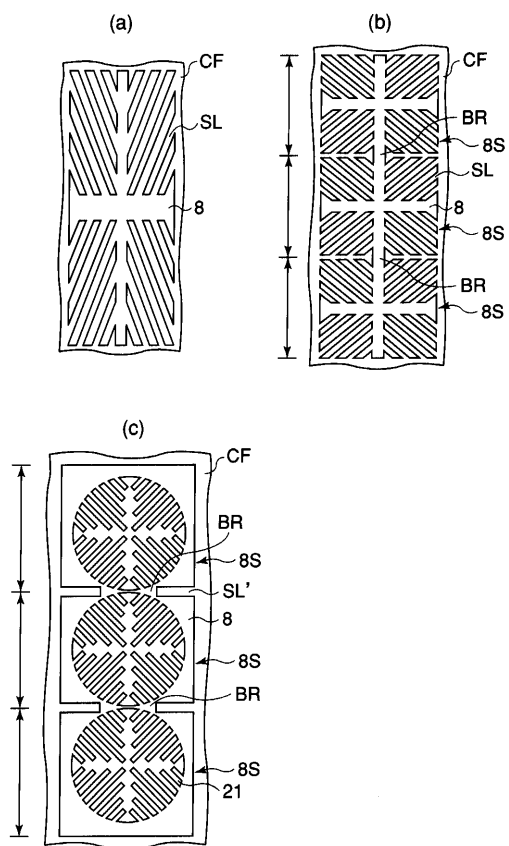
【図 10】



【図 11】



【図 12】



フロントページの続き

(74)代理人 100070437
弁理士 河井 将次

(72)発明者 山口 剛史
埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

(72)発明者 ニノ宮 希佐子
埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

(72)発明者 川田 靖
埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

(72)発明者 久武 雄三
埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

(72)発明者 春原 一之
埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

(72)発明者 藤山 奈津子
埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

(72)発明者 村山 昭夫
埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

Fターム(参考) 2H090 HA03 HA05 HB07X HC11 HD01 KA04 KA07 LA01 MA01 MA17
MB14
2H092 GA13 JA24 JB05 JB13 MA13 MA17 NA05 NA27 NA29 PA02
QA06 QA09

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004037850A	公开(公告)日	2004-02-05
申请号	JP2002194928	申请日	2002-07-03
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	山口剛史 二ノ宮希佐子 川田靖 久武雄三 春原一之 藤山奈津子 村山昭夫		
发明人	山口 剛史 二ノ宮 希佐子 川田 靖 久武 雄三 春原 一之 藤山 奈津子 村山 昭夫		
IPC分类号	G02F1/1337 G02F1/1343		
FI分类号	G02F1/1337.505 G02F1/1343		
F-TERM分类号	2H090/HA03 2H090/HA05 2H090/HB07X 2H090/HC11 2H090/HD01 2H090/KA04 2H090/KA07 2H090/LA01 2H090/MA01 2H090/MA17 2H090/MB14 2H092/GA13 2H092/JA24 2H092/KB05 2H092/KB13 2H092/MA13 2H092/MA17 2H092/NA05 2H092/NA27 2H092/NA29 2H092/PA02 2H092/QA06 2H092/QA09 2H092/JA25 2H092/KB26 2H290/AA34 2H290/BA07 2H290/BB42 2H290/BB49 2H290/BB52 2H290/BB75 2H290/BB83 2H290/BC01 2H290/CA12 2H290/CA46 2H290/CA48 2H290/DA01		
代理人(译)	坪井淳 河野 哲 中村诚		
外部链接	Espacenet		

摘要(译)

解决的问题：即使在MVA模式的情况下，也可以通过均匀地划分畴来提高液晶分子的响应性，而不需要在阵列基板和対向基板之间对准时的精度。液晶显示装置包括：阵列基板，其包括像素电极；対置基板，其包括面对像素电极的公共电极；以及液晶层，其夹在基板之间。特别地，阵列基板是由像素电极8和公共电极之间的液晶层形成的像素区域，其中通过施加电压施加电场的波动，其中强电场区域和弱电场区域基本上平行于每个基板的各个方向上交替地布置。倾斜控制单元通过将像素区域划分成具有液晶分子的倾斜方向不同的多个域来控制液晶分子的倾斜方向，并且倾斜控制单元从像素电极8的中心部分8M基本径向。为像素电极8定义强电场区域和弱电场区域的各向异性分布，以使得多个畴具有在方向上延伸的边界，并在该点处引起液晶分子的取向缺陷。[选型图]图1

