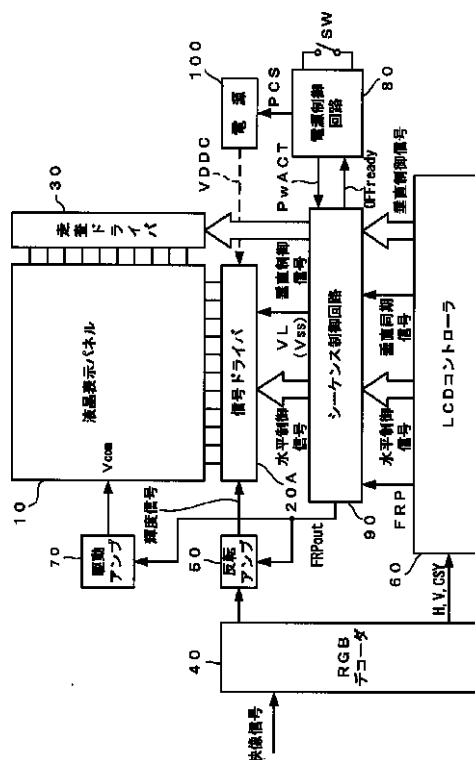




【特許請求の範囲】

【請求項 1】 相互に直交して配設された複数の走査ライン及び複数の信号ラインの各交点近傍に、該走査ライン及び信号ラインに接続されたスイッチ素子を介して、マトリクス状に配列された画素電極、及び、該画素電極に対向して設けられた共通電極からなる複数の表示画素を有する液晶表示パネルと、前記複数の走査ラインに走査駆動信号を順次印加して前記表示画素を走査する走査側駆動手段と、前記複数の信号ラインの各々に所定の映像信号に基づく表示信号電圧を印加する信号側駆動手段と、前記共通電極に所定の共通信号電圧を供給する共通信号駆動手段と、を備えた液晶表示装置において、前記液晶表示装置の装置電源が遮断操作されたことを検出する電源遮断検出手段と、前記電源遮断検出手段により前記装置電源の遮断操作が検出された場合に、前記信号ライン及び前記共通電極間に、所定の期間、所定の電圧を固定的に印加するように制御する表示画素制御手段と、前記所定の期間の経過後、前記液晶表示装置への駆動電力の供給を遮断する電源制御手段と、を具備することを特徴とする液晶表示装置。

【請求項 2】 前記表示画素制御手段は、少なくとも、前記信号側駆動手段から前記信号ラインを介して前記表示画素の画素電極に一定の信号レベルを有する信号電圧を印加するように設定制御することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記表示画素制御手段は、前記共通信号駆動手段から前記共通電極に一定の信号レベルを有する信号電圧を印加するように設定制御することを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】 前記表示画素制御手段は、前記表示画素の画素電極に印加される信号電圧と、前記共通電極に印加される信号電圧を、相互に近似するように設定制御することを特徴とする請求項 2 又は 3 記載の液晶表示装置。

【請求項 5】 前記表示画素制御手段は、前記表示画素の画素電極に印加される信号電圧と、前記共通電極に印加される信号電圧を、各々特定の低信号レベルに設定制御することを特徴とする請求項 4 記載の液晶表示装置。

【請求項 6】 前記表示画素制御手段は、少なくとも、前記表示画素の画素電極に印加される信号電圧を、前記液晶表示パネルに白表示駆動する際の信号レベルに設定制御することを特徴とする請求項 5 記載の液晶表示装置。

【請求項 7】 相互に直交して配設された複数の走査ライン及び複数の信号ラインの各交点近傍に、該走査ライン及び信号ラインに接続されたスイッチ素子を介して、マトリクス状に配列された画素電極、及び、該画素電極に対向して設けられた共通電極からなる複数の表示画素を有する液晶表示パネルに所望の画像情報を表示する液

晶表示装置の表示駆動方法において、前記液晶表示装置における装置電源の遮断操作を検出して、所定の期間、前記複数の信号ラインの各々に特定の低信号レベルを有する第 1 の信号電圧を固定的に印加するとともに、前記共通電極に特定の低信号レベルを有し、かつ、前記第 1 の信号電圧に近似する第 2 の信号電圧を固定的に印加することを特徴とする画像読取装置の駆動制御方法。

【請求項 8】 前記第 1 の信号電圧は、前記液晶表示パネルを白表示駆動する際の信号レベルに設定され、該信号電圧の信号極性を反転駆動することなく、前記画素電極に印加されることを特徴とする請求項 7 記載の液晶表示装置の駆動制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（TFT）等を適用した表示画素からなる液晶表示パネルを備えた液晶表示装置に関し、特に、液晶表示パネルの近傍にバックライト等の光源を備えていない反射型の液晶表示装置及びその駆動制御方法に関する。

【0002】

【従来の技術】近年、コンピュータやテレビジョン等の情報機器や映像機器のモニタやディスプレイとして、従来のブラウン管（Cathode Ray Tube；CRT）を備えた従来の表示装置に替えて、薄型、軽量、省スペース、省電力等の種々の特徴を有する液晶表示装置（Liquid Crystal Display；LCD）が多用されるようになってきている。また、近年普及が著しい携帯電話や携帯情報端末（Personal Digital Assistant；PDA）、デジタルスチルカメラ等の撮像機器等においても、画像や文字情報を表示するための表示手段として、上述したような液晶表示装置が適用されている。

【0003】特に、携帯型の情報機器や電子機器の分野においては、バッテリーによる駆動時間をより長期化させるために、電力消費量が比較的大きいバックライト等の光源を用いることなく良好な画像表示を行うことができる反射型の液晶表示装置を適用したものが知られている。

【0004】以下、従来の液晶表示装置について、簡単に説明する。図 5 は、従来の TFT 型液晶表示装置の構成を示すブロック図であり、図 6 は、液晶表示パネルの回路構成を示す要部回路図である。ここでは、アクティブマトリクス型の液晶表示パネルを備えた液晶表示装置を示す。図 5 に示すように、液晶表示装置は、大別して、液晶表示パネル 10 と、信号ドライバ（ソースドライバ）20 と、走査ドライバ（ゲートドライバ）30 と、RGB デコーダ 40 と、反転アンプ 50 と、LCD コントローラ 60 と、共通信号駆動アンプ（図示の都合上、図中「駆動アンプ」と記す）70 と、を有して構成されている。

【0005】液晶表示パネル10は、概略、対向する透明基板間に、図6に示すように、列方向に配設された信号ライン（データライン）Ld及び行方向に配設された走査ライン（ゲートライン）Lgと、該マトリクス状に配設された信号ラインLd及び走査ラインLgの交点近傍に配置された複数の画素電極、及び、各画素電極に対向して配置された単一の共通電極（図示を省略；後述するコモン信号駆動アンプ70によりコモン信号電圧Vcomが供給される）、画素電極と共通電極の間に充填、保持された液晶からなる液晶容量（画素容量）C1cと、該液晶容量C1cに並列に構成され、他端側が容量配線Lcを介して所定電圧Vcs（例えば、コモン信号電圧Vcom）に接続され、液晶容量C1cに印加された信号電圧を保持するための蓄積容量（補助容量）Ccsと、走査ラインLgにゲートが接続され、上記画素電極にソースが接続され、信号ラインLdにドレインが接続された薄膜トランジスタ（Thin Film Transistor；以下、「画素トランジスタ」と記す）TFTと、容量配線Lc（所定電圧Vcs）と各信号ラインLdとの間に接続された静電保護抵抗Rcsと、を備えている。ここで、マトリクス状に配設された信号ラインLd及び走査ラインLgの各交点近傍に配置された液晶容量C1c及び蓄積容量Ccsにより表示画素が構成される。

【0006】なお、このような構成において、反射型の液晶表示パネルにあっては、周知の通り、透過型の液晶表示パネルの場合のように、液晶表示パネル10の背面側にバックライト（光源）が設けられていないので、後述するように、各表示画素における液晶分子の配向状態を制御することにより表示される画像情報を良好に視認させるために、液晶表示パネル10の背面側に視野側から入射した光を反射するように、金属膜等による反射板や反射膜（図示を省略）が設けられた構成を有している。

【0007】信号ドライバ20は、上記各信号ラインLdが接続され、後述するLCDコントローラ60から出力される水平制御信号に基づいて、RGBデコーダ40から供給されるR（赤）、G（緑）、B（青）各色の輝度信号を1行単位で記憶し、該輝度信号に対応する表示信号電圧を各信号ラインLdに順次供給する。また、走査ドライバ30は、上記各走査ラインLgが接続され、LCDコントローラ60から出力される垂直制御信号に基づいて、各走査ラインLgに走査信号（ゲートパルス）を順次印加して選択状態とし、上記信号ラインLdと交差する位置の表示画素（画素電極）に、信号ドライバ20から信号ラインLdを介して供給された輝度信号に対応する表示信号電圧を印加する。

【0008】RGBデコーダ40は、例えば、液晶表示装置の外部から供給される映像信号（コンポジットビデオ信号）から水平同期信号H、垂直同期信号V及びコンポジット同期信号CSYを抽出して、LCDコントローラ

ラ60に供給するとともに、ペDESTALクランプ、クロマ処理等を実行して、映像信号に含まれるR、G、Bの各色信号（RGB信号）を抽出し、反転アンプ50に出力する。反転アンプ50は、LCDコントローラ60から供給される極性反転信号（フィールド/ライン反転信号）FRP等に基づいて、RGBデコーダ40により抽出されたRGB信号の極性を反転処理して、RGB反転信号を生成して上記輝度信号として信号ドライバ20に出力する。

【0009】LCDコントローラ60は、RGBデコーダ40から供給される水平同期信号H、垂直同期信号V及びコンポジット同期信号CSYに基づいて、上記極性反転信号FRP等を生成して、反転アンプ60及びコモン信号駆動アンプ70に出力するとともに、水平制御信号（信号ラインアウトプットイネーブル信号、クリア信号等）及び垂直制御信号（ゲートスタート信号、ゲートクロック、ゲートラインアウトプットイネーブル信号等）を生成して、各々、信号ドライバ20及び走査ドライバ30に供給することにより、所定のタイミングで各表示画素（画素電極）に輝度信号に対応する表示信号電圧を印加して、液晶表示パネル10に映像信号に基づく所定の画像情報を表示させる制御を行う。

【0010】コモン信号駆動アンプ70は、上述したLCDコントローラ60から出力される極性反転信号FRPに基づいて、各表示画素の画素電極に印加される表示信号電圧に対して、各表示画素に共通に設けられた共通電極に印加されるコモン信号電圧Vcomの極性が反転するように駆動制御する。

【0011】このような構成を有する液晶表示装置において、各行（走査ラインLg）に走査信号を順次印加して選択状態として、信号ラインLdに供給された表示信号電圧を、画素トランジスタTFTを介して各画素電極に印加することにより、輝度信号に対応した表示信号電圧と共通電極に印加されたコモン信号電圧Vcomとの電位差（画素電位）が各表示画素の液晶容量C1cに充電されて、該電位差に応じて各表示画素における液晶分子の配向状態が制御される。これにより、所望の画像情報が液晶表示パネル10に表示される。

【0012】ところで、上述したような液晶表示装置において、画像情報の表示駆動状態で装置電源を遮断（オフ）操作すると、信号ドライバ20から信号ラインLdへの表示信号電圧の供給が遮断されてハイインピーダンス状態となり、また、走査ドライバ30から走査ラインLgに印加される走査信号が非アクティブ状態（ローレベル）となるため、各表示画素の液晶容量C1cは、装置電源が遮断操作される直前の電位を保持した状態となる。この表示画素に保持された電位（残留電圧）は、周辺配線（走査ラインLg、信号ラインLd、容量配線Lc等）や、画素トランジスタTFT等を介してリーク電流が発生することにより、時間の経過とともに徐々に放

電されて、最終的に共通電極（コモン信号電圧 V_{com} ）と同電位になる。

【0013】ここで、上記残留電圧がリーク電流によりコモン信号電圧 V_{com} と略同等の電位となるまでには、場合によっては、数秒程度の比較的長い時間を要するため、装置電源の遮断時（又は、その直前）の表示画像が徐々に消えていくという表示状態の変化（残像の発生）が、人間の目に認識されることになる。このような液晶表示パネルの表示状態の変化は、透過型の液晶表示パネル及びバックライトを備えた液晶表示装置にあっては、装置電源の遮断操作とほぼ同時にバックライトを消灯制御することによりほとんど視認されることはないが、反射型の液晶表示装置にあっては、上記表示状態の変化が時間の経過とともに視認されることになるため、見苦しさを感じたり違和感が生じるという問題を有していた。また、装置電源を遮断操作するたびに、各表示画素の液晶分子に上記残留電圧に基づく直流電圧成分が印加されることになるため、液晶の劣化を招きやすくなるという問題も有していた。

【0014】そこで、このような装置電源の遮断操作時に生じる残存電圧の問題を解決する手法として、従来においては、例えば、特開 2000 - 163025 号公報等に記載されているような技術が知られている。具体的には、例えば、特開 2000 - 163025 号公報等には、装置電源の遮断操作時に、走査ドライバ 30 をアクティブ状態に維持しつつ、信号ドライバ 20 の出力をハイインピーダンス状態に制御し、信号ライン L_d の電位を静電保護抵抗 R_{cs} と液晶容量 C_{lc} との時間定数に応じた十分短い時間（例えば、1ms 程度）で容量配線 L_c の電位 V_{cs} （コモン信号電圧 V_{com} ）と同電位にすることにより、各表示画素における印加電圧をゼロの状態にリセットして、残存電圧の影響（すなわち、表示画面の残像の発生や液晶の劣化等）を抑制する構成が記載されている。

【0015】また、同公報等には、上述した静電気保護抵抗 R_{cs} を備えていない液晶表示パネルにおいて、装置電源の遮断操作時に、映像信号として白表示電圧を供給して液晶表示パネルに表示される画像情報を速やかに白表示画面に切り替えてから、信号ドライバ及び走査ドライバを非アクティブ状態に制御することにより、上記残存電圧の影響を抑制する構成も記載されている。

【0016】このように、従来技術においては、装置電源の遮断時の残存電圧による影響を抑制する手法として、装置電源遮断後の所定期間（残像処理期間）に、（１）信号ドライバの出力をハイインピーダンス状態で保持し、数フィールド分、走査ドライバを駆動して表示画素を選択状態にすることにより画素電位（残存電圧）をコモン電圧 V_{com} に近似させる手法

（２）信号ラインの電位を所定の時間定数でコモン信号電圧 V_{com} に近似させる手法

（３）信号ドライバから表示信号電圧として白表示電圧を供給して、各表示画素に白表示データを書き込むことにより、各表示画素における画素電位を小さく抑制する手法

等が知られていた。

【0017】

【発明が解決しようとする課題】しかしながら、上述したような残像処理方法においては、以下に示すような問題を有していた。すなわち、（ア）装置電源が遮断された後の残像処理期間において、ライン反転駆動を継続する動作制御を行った場合、極性反転信号 FRP によりコモン信号電圧 V_{com} は、１ラインごとに電圧極性が反転するように共通電極に印加されているため、上記残像処理期間が終了した直後に、コモン信号電圧 V_{com} の中心電圧からのずれ（センターずれ）等に起因して走査ラインごとに画素電位（蓄積電荷量）の差が生じ、これにより、放電時間の差が生じる場合があった。そのため、このような放電時間の差によって、表示画面に縞模様等が生じて、これが表示ムラとして視認される可能性があるという問題を有していた。

【0018】（イ）また、上述したように、コモン電圧 V_{com} は、ライン反転駆動するように供給制御されるため、上記残像処理期間が終了した直後において、コモン信号電圧 V_{com} の電圧レベルがハイとなるかローレベルとなるかが不確定（不定）であり、仮に、コモン信号電圧 V_{com} がハイレベルとなるタイミングで残像処理期間が終了した場合には、該ハイレベルのコモン信号電圧 V_{com} から所定の低電圧レベル V_{ss} （例えば、接地電位；0V）まで電荷を放電して安定するまでに、コモン信号駆動アンプのバイアス抵抗と交流／直流（AC/DC）カップリング容量により規定される時間定数の時間を要し、また、このとき各表示画素に印加される残留電圧（直流電圧成分）によって液晶の劣化を生じる可能性があるという問題を有していた。

【0019】そこで、本発明は、上述したような問題点に鑑み、画像情報の表示駆動状態で装置電源の遮断操作を行った場合であっても、各表示画素における残留電圧に起因する残像の発生を回避しつつ、かつ、残像処理期間終了直後における表示ムラの発生や液晶の劣化を良好に抑制することができる液晶表示装置及びその駆動制御方法を提供することを目的とする。

【0020】

【課題を解決するための手段】請求項 1 記載の液晶表示装置は、相互に直交して配設された複数の走査ライン及び複数の信号ラインの各交点近傍に、該走査ライン及び信号ラインに接続されたスイッチ素子を介して、マトリクス状に配列された画素電極、及び、該画素電極に対向して設けられた共通電極からなる複数の表示画素を有する液晶表示パネルと、前記複数の走査ラインに走査駆動信号を順次印加して前記表示画素を走査する走査側駆動

手段と、前記複数の信号ラインの各々に所定の映像信号に基づく表示信号電圧を印加する信号側駆動手段と、前記共通電極に所定の共通信号電圧を供給する共通信号駆動手段と、を備えた液晶表示装置において、前記液晶表示装置の装置電源が遮断操作されたことを検出する電源遮断検出手段と、前記電源遮断検出手段により前記装置電源の遮断操作が検出された場合に、前記信号ライン及び前記共通電極間に、所定の期間、所定の電圧を固定的に印加するように制御する表示画素制御手段と、前記所定の期間の経過後、前記液晶表示装置への駆動電力の供給を遮断する電源制御手段と、を具備することを特徴としている。

【0021】請求項2記載の液晶表示装置は、請求項1記載の液晶表示装置において、前記表示画素制御手段は、少なくとも、前記信号側駆動手段から前記信号ラインを介して前記表示画素の画素電極に一定の信号レベルを有する信号電圧を印加するように設定制御することを特徴としている。

【0022】請求項3記載の液晶表示装置は、請求項2記載の液晶表示装置において、前記表示画素制御手段は、前記共通信号駆動手段から前記共通電極に一定の信号レベルを有する信号電圧を印加するように設定制御することを特徴としている。請求項4記載の液晶表示装置は、請求項2又は3記載の液晶表示装置において、前記表示画素制御手段は、前記表示画素の画素電極に印加される信号電圧と、前記共通電極に印加される信号電圧を、相互に近似するように設定制御することを特徴としている。

【0023】請求項5記載の液晶表示装置は、請求項4記載の液晶表示装置において、前記表示画素制御手段は、前記表示画素の画素電極に印加される信号電圧と、前記共通電極に印加される信号電圧を、各々特定の低信号レベルに設定制御することを特徴としている。さらに、請求項6記載の液晶表示装置は、請求項5記載の液晶表示装置において、前記表示画素制御手段は、少なくとも、前記表示画素の画素電極に印加される信号電圧を、前記液晶表示パネルに白表示駆動する際の信号レベルに設定制御することを特徴としている。

【0024】そして、請求項7記載の液晶表示装置の駆動制御方法は、相互に直交して配設された複数の走査ライン及び複数の信号ラインの各交点近傍に、該走査ライン及び信号ラインに接続されたスイッチ素子を介して、マトリクス状に配列された画素電極、及び、該画素電極に対向して設けられた共通電極からなる複数の表示画素を有する液晶表示パネルに所望の画像情報を表示する液晶表示装置の表示駆動方法において、前記液晶表示装置における装置電源の遮断操作を検出して、所定の期間、前記複数の信号ラインの各々に特定の低信号レベルを有する第1の信号電圧を固定的に印加するとともに、前記共通電極に特定の低信号レベルを有し、かつ、前記第1

の信号電圧に近似する第2の信号電圧を固定的に印加することを特徴としている。請求項8記載の液晶表示装置の駆動制御方法は、請求項7記載の液晶表示装置において、駆動制御方法前記第1の信号電圧は、前記液晶表示パネルを白表示駆動する際の信号レベルに設定され、該信号電圧の信号極性を反転駆動することなく、前記画素電極に印加されることを特徴としている。

【0025】すなわち、本発明に係る液晶表示装置及びその駆動制御方法は、反射型の液晶表示パネルを備えた液晶表示装置において、液晶表示装置の装置電源を遮断（オフ）する操作を検出した場合、該電源を遮断操作した後、実際に電源から駆動電力の供給を遮断するまでの所定の期間（残像処理期間）に、信号側駆動手段から信号ラインを介して各表示画素を構成する画素電極に対して、信号極性の反転駆動を行うことなく、特定の低信号レベル（例えば、白表示駆動を行うための所定のローレベル又は0V）を有する第1の信号電圧を固定的に印加するとともに、共通信号駆動手段から共通電極に対して、特定の低信号レベル（ローレベルの共通信号電圧）を有し、かつ、上記第1の信号電圧に近似する第2の信号電圧を固定的に印加するように構成されている。

【0026】これにより、装置電源の遮断操作後に設定される残像処理期間において、液晶表示パネルを構成する全ラインの表示画素（画素電極及び共通電極間）に対して、所定の電圧（例えば、白表示駆動を行うための1V又は0V）が均一に書き込まれるので、各走査ラインごとの画素電位（蓄積電荷量）が均一化され、上記残像処理期間の終了直後（駆動電力が供給遮断された直後）において表示画面に縞模様等の表示ムラが発生することを抑制することができる。

【0027】また、上記残像処理期間において、共通電極に印加される信号電圧が必ずローレベルに固定されるので、残像処理期間の終了時に、共通信号電圧 V_{com} の放電動作が発生することがなく、表示状態の変化（残像の発生）を抑制することができるとともに、各表示画素に高い残留電圧（直流電圧成分）が印加されないため、液晶の劣化を抑制することができる。

【0028】

【発明の実施の形態】以下、本発明に係る液晶表示装置及びその駆動制御方法について、実施の形態を示して具体的に説明する。まず、本発明に係る液晶表示装置の一実施形態について、図面を参照しながら説明する。ここでは、液晶表示装置としてアクティブマトリクス型の液晶表示パネルを備えた構成について説明し、上述した従来技術（図5、図6）と同等の構成については、同一の符号を付して、その説明を簡略化する。

【0029】図1は、本発明に係る液晶表示装置の一実施形態を示すブロック図である。ここで、上述した従来技術と同等の構成については、同一の符号を付してその説明を簡略化又は省略する。図1に示すように、本実施

形態に係る液晶駆動装置は、大別して、従来技術（図 5 参照）と同等の構成を有する液晶表示パネル 10 と、走査ドライバ（走査側駆動手段）30 と、RGB デコーダ 40 と、反転アンプ 50 と、LCD コントローラ 60 と、コモン信号駆動アンプ（コモン信号駆動手段）70 に加え、本実施形態特有の構成を有する信号ドライバ（信号側駆動手段）20A と、電源制御回路（電源遮断検出手段、電源制御手段）80 と、シーケンス制御回路（表示画素制御手段）90 と、電源 100 と、を備えている。

【0030】ここで、本実施形態に係る液晶表示装置においては、LCD コントローラ 60 と、信号ドライバ 20 及び走査ドライバ 30 並びに反転アンプ 50、コモン信号駆動アンプ 70 の各構成との間に、シーケンス制御回路 90 が介在するように設けられ、該シーケンス制御回路 90 により垂直同期信号 V に基づく所定のタイミングで、LCD コントローラ 60 から出力される水平制御信号を信号ドライバ 20 に供給し、垂直制御信号を走査ドライバ 30 に供給し、また、極性反転信号 FRP を反転アンプ 50 及びコモン信号駆動アンプ 70 に供給するとともに、電源制御回路 80 からの電源遮断検出信号 PWACT に基づいて、電源遮断信号 OFF ready を出力して、液晶表示装置の各構成への駆動電力の供給状態を制御するように構成されている。

【0031】以下、上述した各構成について、詳しく説明する。図 2 は、本実施形態に係る液晶表示装置に適用される信号ドライバの概略構成を示すブロック図であり、図 3 は、本実施形態に係る液晶表示装置に適用されるシーケンス制御回路の一構成例を示す回路構成図である。液晶表示パネル 10 は、上述した従来技術（図 6）と同様に、概略、図示を省略した対向する透明基板間にマトリクス状（列方向及び行方向）に配設された信号ライン Ld 及び走査ライン Lg の各交点近傍に配置された複数の画素電極、及び、各画素電極に対向する単一の共通電極、画素電極及び共通電極の間に充填された液晶からなる表示画素（液晶容量）と、該表示画素に印加された表示信号電圧を保持するための蓄積容量（補助容量）と、信号ライン Ld 及び走査ライン Lg 並びに各表示画素に接続された画素トランジスタ（スイッチ素子）と、を備えて構成されている。

【0032】本実施形態に適用される信号ドライバ 20 は、図 2 に示すように、シフトクロック CK に基づいて、サンプリングスタート信号 SRT を所定方向に順次シフトするシフトレジスタ 21 と、該シフトレジスタ 21 から出力されるシフト出力（サンプリングパルス）に基づいて、RGB デコーダ 40 及び反転アンプ 50 を介して供給される RGB 各色の輝度信号（RGB 反転信号）を 1 行単位で取り込んで保持し（サンプリング/ホールド）、所定のタイミングで該輝度信号に対応する表示信号電圧 Vsig を、各信号ライン Ld に出力するサン

ブル・ホールド回路 22 及びバッファ回路 23 と、信号ラインアウトプットイネーブル信号（以下、単に「アウトプットイネーブル信号」と記す）OE に基づいて、各信号ライン Ld への上記表示信号電圧 Vsig の出力状態を制御するスイッチ回路 24 と、クリア信号 CLR に基づいて、各信号ライン Ld への電源 100 から供給される電源電圧 VDDC 又はシーケンス制御回路 90 から供給される特定のローレベル（低信号レベル；例えば、VL = 1V、又は、Vss = 0V）を有する信号電圧（第 1 の信号電圧）のいずれかの印加を制御するスイッチ回路 25 と、を有して構成されている。

【0033】ここで、サンプリングスタート信号 SRT、シフトクロック CK、信号ラインアウトプットイネーブル信号 OE、クリア信号 CLR は、RGB デコーダ 40 から供給される水平同期信号 H に基づいて LCD コントローラ 60 により生成され、シーケンス制御回路 90 を介して、水平制御信号として信号ドライバ 20 に供給される。また、スイッチ回路 25 を介して各信号ライン Ld に供給される信号電圧は、詳しくは後述するが、電源スイッチ SW がオン操作されて駆動電力が液晶表示装置の各構成に供給されている表示駆動状態においては、LCD コントローラ 60 から出力されるクリア信号 CLR の信号レベルに基づいて、所定のタイミングで電源電圧 VDDC が各信号ライン Ld に印加されるように設定され、一方、電源スイッチ SW がオフ操作された後、駆動電力の供給が遮断されるまでの所定の期間（残像処理期間）においては、上記クリア信号 CLR は常にハイレベルとなるとともに、特定のローレベルを有する信号電圧（VL = 1V、又は、Vss = 0V）が各信号ライン Ld に印加されるように設定される。

【0034】また、走査ドライバ 30 は、LCD コントローラ 60 により生成され、シーケンス制御回路 90 を介して供給される垂直制御信号（ゲートラインアウトプットイネーブル信号 GOE、ゲートクロック GPCCK、ゲートスタート信号 GSRT 等）に基づいて、各走査ライン Lg に走査信号（ゲートパルス；走査駆動信号）を順次印加して各走査ライン Lg を選択状態に設定する。

【0035】RGB デコーダ 40 及び反転アンプ 50 は、上述した従来技術と同様に、映像信号から水平同期信号 H、垂直同期信号 V 及びコンボジット同期信号 CSY を抽出して、LCD コントローラ 60 に供給するとともに、映像信号に含まれる R、G、B の各色信号（RGB 信号）を抽出し、LCD コントローラ 60 から供給される極性反転信号 FRP に基づいて、反転アンプ 50 により反転処理して輝度信号（RGB 反転信号）として信号ドライバ 20 に出力する。

【0036】LCD コントローラ 60 は、RGB デコーダ 40 から供給される水平同期信号 H、垂直同期信号 V 及びコンボジット同期信号 CSY に基づいて、極性反転信号 FRP 等を生成して、シーケンス制御回路 90 を介

10

20

30

40

50

して反転アンプ 60 及びコモン信号駆動アンプ 70 に出力するとともに、上述した各種水平制御信号及び垂直制御信号を生成して、シーケンス制御回路 90 を介して所定のタイミングで信号ドライバ 20 及び走査ドライバ 30 に供給する。

【0037】電源制御回路 80 は、少なくとも、液晶表示装置の電源スイッチ SW がオン / オフ操作（装置電源が投入、遮断操作）されたことを検出する機能を備え、電源スイッチ SW がオン操作されると、シーケンス制御回路 90 に供給するフラグ信号（電源遮断検出信号）PwACT をハイレベルとし（フラグを立て）、電源スイッチ SW がオフ操作されると、上記フラグ信号 PwACT をローレベル（フラグを下げる）に切り換える制御を行う。

【0038】また、電源制御回路 80 は、シーケンス制御回路 90 において、上記フラグ信号 PwACT 及び垂直同期信号 V に基づいて、後述する一連の駆動制御動作が実行された後、フラグ信号（電源遮断信号）OFF ready が供給されると、電源 100 に供給していた電源制御信号 PCS をハイレベルからローレベルに切り換え制御して、液晶表示装置の各構成（信号ドライバ 20 及び走査ドライバ 30、RGB デコーダ 40、LCD コントローラ 60 等）への駆動電力の供給を遮断する制御を行う。

【0039】ここで、上記電源スイッチ SW は、液晶表示装置の各構成への駆動電力の供給（装置電源の投入）、遮断を行うためのスイッチであり、液晶表示装置の使用者等により任意にオン、オフ操作される。また、電源 100 は、電源制御回路 80 から供給される電源制御信号 PCS に基づいて、液晶表示装置の各構成への駆動電力の供給状態を切り換える。

【0040】シーケンス制御回路 90 は、主に、電源制御回路 80 から出力される電源遮断検出信号 PwACT の信号レベルに基づいて、LCD コントローラ 60 から出力され、信号ドライバ 20 に供給される水平制御信号、及び、走査ドライバ 30 に供給される垂直制御信号、並びに、反転アンプ 50 及びコモン信号駆動アンプ 70 に供給される極性反転信号 FRP の供給状態を制御する機能を備えている。

【0041】具体的には、シーケンス制御回路 90 は、例えば、図 3 に示すように、垂直同期信号 V をクロック入力とし、直列に接続された複数段のフリップフロップ回路 91a ~ 91e から構成され、後述する駆動制御動作における動作タイミング（処理期間）を規定するフリップフロップ群 91 と、AND 論理ゲート 92a ~ 92c、インバータ 92d、OR 論理ゲート 92e から構成され、一部の水平制御信号（アウトプットイネーブル信号 OE、クリア信号 CLR）及び極性反転信号 FRP の供給状態を制御する論理ゲート群 92 と、OR 論理ゲート 93a 及びインバータ 93b から構成され、電源 100

0 における駆動電力の供給状態を制御する論理ゲート群 93 と、上記水平制御信号や極性反転信号 FRP 以外の、垂直制御信号（ゲートラインアウトプットイネーブル信号 GOE、ゲートクロック GPCCK、ゲートスタート信号 GSRT）等の供給状態を制御する AND 論理ゲート 94（実施の態様によっては、複数の論理ゲート群が並列に設けられているものであってもよい）と、を有して構成されている。

【0042】ここで、フリップフロップ群 91 は、電源制御回路 80 から出力される電源遮断検出信号 PwACT を初段のフリップフロップ回路 91a の入力として、LCD コントローラ 60 から各々のフリップフロップ回路 91a ~ 91e に供給される垂直同期信号 V の立ち上がりタイミングに同期して、該電源遮断検出信号 PwACT の信号レベルを順次シフトする。

【0043】論理ゲート群 92 において、AND 論理ゲート 92a は、初段のフリップフロップ回路 91a から出力されるシフト出力を一方の入力とし、LCD コントローラ 60 から供給されるアウトプットイネーブル信号 OE を他方の入力として、両入力の論理積（AND 論理）に基づくアウトプットイネーブル信号 Oeout を信号ドライバ 20 に出力する。AND 論理ゲート 92b は、フリップフロップ回路 91a から出力されるシフト出力を一方の入力とし、LCD コントローラ 60 から供給されるクリア信号 CLR を他方の入力として、両入力の論理積出力を次段の OR 論理ゲート 92e に出力する。

【0044】OR 論理ゲート 92e は、前記 AND 論理ゲート 92b の論理積出力を一方の入力とし、フリップフロップ回路 91a から出力されるシフト出力の反転信号（インバータ 92d の反転出力）を他方の入力として、両入力の論理和（OR 論理）に基づくクリア信号 CLRout を信号ドライバ 20 に出力をする。さらに、AND 論理ゲート 92c は、初段のフリップフロップ回路 91a から出力されるシフト出力を一方の入力とし、LCD コントローラ 60 から供給される極性反転信号 FRP を他方の入力として、両入力の論理積に基づく極性反転信号 FRPout を反転アンプ 50 及びコモン信号駆動アンプ 70 に出力する。

【0045】論理ゲート群 93 において、OR 論理ゲート 93a は、初段のフリップフロップ回路 91a から出力されるシフト出力を一方の入力とし、最終段のフリップフロップ回路 91e から出力されるシフト出力を他方の入力として、両入力の論理和に基づく出力をインバータ 93b に出力し、また、インバータ 93b は、OR 論理ゲート 93a の出力を反転処理して、電源遮断信号 OFF ready として電源制御回路 80 に出力する。

【0046】また、AND 論理ゲート 94（又は、AND 論理ゲート群）は、上記 OR 論理ゲート 93a の出力を一方の入力とし、上記水平制御信号（アウトプットイ

ネーブル信号OE、クリア信号CLR)及び極性反転信号FRP以外であって、LCDコントローラ60から供給される水平制御信号及び垂直制御信号(ゲートイネーブル信号GOE、ゲートクロックGPCK、ゲートスタート信号GSRT等)を他方の入力として、両入力の論理積に基づく各信号を信号ドライバ20及び走査ドライバ30に出力する。

【0047】すなわち、本実施形態に係るシーケンス制御回路90においては、電源スイッチSWがオフ操作されて、電源制御回路80から出力される電源遮断検出信号PWACTがローレベルになると、垂直同期信号Vのタイミングに基づいて、各フリップフロップ回路91a~91e間でローレベルのシフト信号が順次転送され、該各フリップフロップ回路の段数に応じて、後述する駆動制御動作における動作タイミング(処理期間)が規定される。

【0048】これにより、電源スイッチSWがオフ操作された直後の垂直同期信号のタイミングに同期して、初段のフリップフロップ回路91aから出力されるシフト出力の信号レベルがローレベルとなり、各AND論理ゲート92a~92cの一方の入力端に入力されるとともに、インバータ92dの入力端に入力されるので、LCDコントローラ60から出力され、各AND論理ゲート92a~92cの他方の入力端に入力されるアウトプットイネーブル信号OE及びクリア信号CLR、極性反転信号FRPの信号レベルに関わらず、シーケンス制御回路90を介して信号ドライバ20に供給されるアウトプットイネーブル信号OEout、並びに、反転アンプ50及びコモン信号駆動アンプ70に供給される極性反転信号FRPoutは、ローレベルに固定され、また、クリア信号CLRoutは、ハイレベルに固定される。

【0049】また、垂直同期信号Vのタイミングに基づいて、初段のフリップフロップ回路91a及び最終段のフリップフロップ回路91eから出力されるシフト出力の信号レベルが、いずれもローレベルとなるタイミングでは、OR論理ゲート93aの各入力端への入力が共にローレベルとなるので、電源制御回路80に供給される電源遮断信号OFFreadyは、インバータ93bにより反転処理されてハイレベルとなり、電源100からの駆動電力の供給が遮断制御される。

【0050】このとき、AND論理ゲート94(又は、AND論理ゲート群)の一方の入力端に入力される信号レベルがローレベルとなるので、上記水平制御信号(アウトプットイネーブル信号OE、クリア信号CLR)及び極性反転信号FRP以外であって、LCDコントローラ60から供給され、AND論理ゲート94の他方の入力端に入力される水平制御信号及び垂直制御信号(ゲートイネーブル信号GOE、ゲートクロックGPCK、ゲートスタート信号GSRT等)の信号レベルに関わらず、シーケンス制御回路90を介して信号ドライバ20

及び走査ドライバ30に供給される各信号(ゲートラインアウトプットイネーブル信号GOE、ゲートクロックGPCK、ゲートスタート信号GSRT等)は、ローレベルとなる。

【0051】一方、このシーケンス制御回路90は、電源スイッチSWがオン操作されて、電源制御回路80から出力される電源遮断検出信号PWACTがハイレベルになると、垂直同期信号Vのタイミングに基づいて、各フリップフロップ回路91a~91e間でハイレベルのシフト信号が順次転送される。これにより、電源スイッチSWがオン操作された直後の垂直同期信号のタイミングに同期して、初段のフリップフロップ回路91aから出力されるシフト出力の信号レベルがハイレベルとなり、各AND論理ゲート92a~92cの一方の入力端に入力されるとともに、インバータ92dの入力端に入力されるので、LCDコントローラ60から出力され、各AND論理ゲート92a~92cの他方の入力端に入力されるアウトプットイネーブル信号OE及びクリア信号CLR、極性反転信号FRPの信号レベルに基づいて、シーケンス制御回路90を介して信号ドライバ20に供給されるアウトプットイネーブル信号OEout及びクリア信号CLRout、並びに、反転アンプ50及びコモン信号駆動アンプ70に供給される極性反転信号FRPoutの信号レベルが確定される。

【0052】すなわち、LCDコントローラ60から出力されるアウトプットイネーブル信号OE又はクリア信号CLR、極性反転信号FRPの信号レベルが、ローレベルのときには、信号ドライバ20や反転アンプ50、コモン信号駆動アンプ70に対して、ローレベルのアウトプットイネーブル信号OEout又はクリア信号CLRout、極性反転信号FRPoutが各々出力され、LCDコントローラ60から出力されるアウトプットイネーブル信号OE又はクリア信号CLR、極性反転信号FRPの信号レベルが、ハイレベルのときには、信号ドライバ20や反転アンプ50、コモン信号駆動アンプ70に対して、ハイレベルのアウトプットイネーブル信号OEout又はクリア信号CLRout、極性反転信号FRPoutが各々出力される。

【0053】また、垂直同期信号Vのタイミングに基づいて、少なくとも、初段のフリップフロップ回路91a及び最終段のフリップフロップ回路91eから出力されるシフト出力のうち、いずれか一方のシフト出力の信号レベルが、ハイレベルとなるタイミングでは、OR論理ゲート93aのいずれかの入力端への入力がハイレベルとなるので、電源制御回路80に供給される電源遮断信号OFFreadyは、インバータ93bにより反転処理されてローレベルとなり、電源100からの駆動電力の供給が継続するように制御される。

【0054】そして、このとき、AND論理ゲート94(又は、AND論理ゲート群)の一方の入力端に入力さ

れる信号レベルがハイレベルとなるので、LCDコントローラ60から出力され、AND論理ゲート94の他方の入力端に入力されるアウトプットイネーブル信号OE、クリア信号CLR以外の水平制御信号及び垂直制御信号(ゲートラインアウトプットイネーブル信号GOE、ゲートクロックGPCK、ゲートスタート信号GSRT等)の信号レベルに基づいて、信号ドライバ20及び走査ドライバ30に供給される各信号の信号レベルが確定される。

【0055】次に、上述した構成を有する液晶表示装置における駆動制御動作(特に、電源スイッチオフ操作時における制御動作)について、図面を参照して説明する。図4は、本実施形態に係る液晶表示装置における駆動制御動作を示すタイミングチャートである。ここでは、上述した液晶表示装置の各構成を適宜参照しつつ説明する。

【0056】図4に示すように、まず、映像信号に基づく所望の画像情報を液晶表示パネル10に表示している表示駆動状態において、使用者等により電源スイッチSWがオフ操作されると、電源制御回路80は、シーケンス制御回路90に供給しているフラグ信号(電源遮断検出信号)PwACTをローレベルに切り換え制御する。

【0057】シーケンス制御回路90においては、ローレベルの電源遮断検出信号PwACTが入力されると、その直後の垂直同期信号Vの立ち上がりタイミングで、フリップフロップ回路91aから出力され、AND論理ゲート92a~92cの一方の入力端に入力されるシフト出力の信号レベルがローレベルとなるので、LCDコントローラ60から供給されるクリア信号CLR及び出力イネーブル信号OE並びに極性反転信号FRPの信号レベルに関わらず、ローレベルの出力イネーブル信号OEout及びハイレベルのクリア信号CLRoutが信号ドライバ20に出力されるとともに、ローレベルの極性反転信号FRPoutが反転アンプ50及びコモン信号駆動アンプ70に出力される。

【0058】そして、信号ドライバ20においては、シーケンス制御回路90を介して供給される出力イネーブル信号OEout(図2におけるOE)がローレベルとなるとともに、クリア信号CLRout(図2におけるCLR)がハイレベルとなることにより、スイッチ回路24がオフ制御されるとともに、スイッチ回路25がオン制御される。このとき、スイッチ回路25に供給される信号電圧は、上記電源スイッチSWのオフ操作により電源電圧VDDCから特定のローレベルの信号電圧に切り換え制御される。これにより、サンプル・ホールド回路22から各信号ラインLdへの表示信号電圧Vsig又は電源電圧VDDCの供給が遮断されるとともに、特定のローレベルの信号電圧(VL又はVss)がライン反転駆動することなく、固定的に供給される。ここで、本実施形態においては、上記特定のローレベルの信号電圧とし

て、例えば、VL = 1V、あるいは、Vss = 0Vに設定する。

【0059】一方、このタイミングにおいては、最終段のフリップフロップ回路91eからのシフト出力がハイレベルの状態にあって、OR論理ゲート93aの一方側の入力端に入力されているので、OR論理ゲート93aは、他方側の入力端に入力される信号電圧の信号レベル(初段のフリップフロップ回路91aからのシフト出力)に関わらず、ハイレベルの信号がインバータ93b及びAND論理ゲート94に出力される。

【0060】これにより、シーケンス制御回路90から電源制御回路80にローレベルの電源遮断信号OFFreadyが出力されるとともに、LCDコントローラ60から供給されるアウトプットイネーブル信号OE及びクリア信号CLR以外の水平制御信号、及び、垂直制御信号(ゲートラインアウトプットイネーブル信号GOE、ゲートクロックGPCK、ゲートスタート信号GSRT等)は、そのままの信号レベルで信号ドライバ20及び走査ドライバ30に出力され、少なくとも、走査ドライバ30がアクティブ状態を維持する。

【0061】このような信号ドライバ20により特定のローレベルの信号電圧を各信号ラインLdに固定的に印加するとともに、走査ドライバ30によるライン走査を継続、保持する状態は、垂直同期信号Vに基づく適当なフィールド期間(残像処理期間に相当する)だけ継続される。すなわち、図3に示したシーケンス制御回路90においては、初段のフリップフロップ回路91aに入力されたローレベルの電源遮断検出信号PwACTが順次シフトされて、最終段のフリップフロップ回路91eから出力されるまでの4フィールド期間、走査ドライバ30により走査ラインLgが順次走査されて各表示画素に、信号ドライバ20から供給される特定のローレベルの信号電圧が各信号ラインLdを介して書き込まれる。

【0062】ここで、本実施形態に係る液晶表示装置においては、電源スイッチSWがオフ操作された直後の垂直同期信号Vの立ち上がりタイミングで、上述したシーケンス制御回路90により極性反転信号FRPoutがローレベルに制御されるので、液晶表示パネル10の共通電極に供給されるコモン信号電圧Vcomが、特定のローレベル(Vss = 0V)に固定される。

【0063】したがって、電源スイッチSWがオフ操作された直後の垂直同期信号Vの立ち上がりタイミング以降、例えば、シーケンス制御回路90を構成するフリップフロップ回路の段数分に相当する所定の期間、各信号ラインLdには特定のローレベル(VL = 1V、又は、Vss = 0V)の信号電圧が印加されるとともに、共通電極にも特定のローレベル(Vss = 0V)のコモン信号電圧Vcomが印加されることになるので、各表示画素の液晶に印加される電位差は、概ね1V以下の微小電圧に設定されることになる。なお、上述した特定のローレベル

の信号電圧として、 $V_L = 1V$ に設定制御した場合、各表示画素の液晶に印加される電位差（概ね $1V$ ）は、液晶表示パネルにおいて白表示駆動を行う場合の印加電圧（白表示電圧）に相当する。

【0064】そして、上記所定の期間が経過すると、走査ドライバ30への垂直制御信号（ゲートラインアウトブッティネーブル信号GOEout、ゲートクロックGPCKout、ゲートスタート信号GSRTout）の出力が遮断されて非アクティブ状態に制御されるとともに、ハイレベルの電源遮断信号OFFreadyがシーケンス制御回路90から電源制御回路80に出力されて、電源100から液晶表示装置の各構成への駆動電力の供給が遮断される。

【0065】このような一連の駆動制御動作によれば、電源スイッチSWをオフ操作した後の残像処理期間において、該期間の開始直後に、コモン信号電圧 V_{com} をローレベルに固定するとともに、ライン反転駆動することなく、信号ラインを介して白表示駆動に対応するローレベル（ $V_L = 1V$ ）、もしくは、 $0V$ の信号電圧を固定的に印加することにより、全走査ラインの表示画素に均一な微小電圧（白表示電圧）が書き込まれることになるので、各ライン間の書き込み電圧の差を抑制して、表示画面における残像を速やかに消去することができる。

【0066】ここで、本実施形態においては、残像処理期間中、例えば、信号電圧 $V_L = 1V$ を全ラインに書き込むことになるが、該信号電圧は極めて低い電圧であり、かつ、該印加時間も極めて短い（例えば、4フィールド期間程度）ので、この信号電圧（直流電圧成分）の印加に起因する液晶の劣化を良好に抑制することができる。また、上記駆動制御動作においては、必ずコモン信号電圧 V_{com} がローレベルに固定されるように制御されるので、残像処理期間終了の前後（すなわち、装置電源の遮断動作の前後）で画面表示が変化することも回避され、表示ムラの発生を良好に抑制することができる。

【0067】なお、上述した各実施形態に示したシーケンス制御回路は、本発明に適用可能な回路構成の一例を示したものにすぎず、本発明はこれに限定されるものではない。すなわち、電源制御回路から出力される電源遮断検出信号PwACTに基づいて、信号ラインに供給される信号電圧と共通電極に供給されるコモン信号電圧を特定のローレベルに固定して、双方の信号の電位差（画素電位）が最小となるように、水平制御信号や垂直制御信号、極性反転信号等の印加タイミングや信号レベルを制御することができるものであれば、他の回路構成を有するものであってもよい。

【0068】

【発明の効果】本発明に係る液晶表示装置及びその駆動制御方法によれば、反射型の液晶表示パネルを備えた液晶表示装置において、液晶表示装置の装置電源を遮断（オフ）する操作を検出した場合、該電源を遮断操作し*

た後、実際に電源から駆動電力の供給を遮断するまでの所定の期間（残像処理期間）に、信号側駆動手段から信号ラインを介して各表示画素を構成する画素電極に対して、信号極性の反転駆動を行うことなく、特定の低信号レベル（例えば、白表示駆動を行うための所定のローレベル又は $0V$ ）を有する第1の信号電圧を固定的に印加するとともに、コモン信号駆動手段から共通電極に対して、特定の低信号レベル（ローレベルのコモン信号電圧）を有し、かつ、上記第1の信号電圧に近似する第2の信号電圧を固定的に印加するように構成されているので、装置電源の遮断操作後に設定される残像処理期間において、液晶表示パネルを構成する全ラインの表示画素（画素電極及び共通電極間）に対して、所定の電圧（例えば、白表示駆動を行うための $1V$ 又は $0V$ ）を均一に書き込むことができる。

【0069】したがって、各走査ラインごとの画素電位（蓄積電荷量）を均一化して、上記残像処理期間の終了直後（駆動電力が供給遮断された直後）において表示画面に縞模様等の表示ムラが発生することを抑制することができる。また、上記残像処理期間において、共通電極に印加される信号電圧が必ずローレベルに固定されるので、残像処理期間の終了時に、コモン信号電圧 V_{com} の放電動作が発生することがなく、表示状態の変化（残像の発生）を抑制することができるとともに、各表示画素に高い残留電圧（直流電圧成分）が印加されることがないので、液晶の劣化を抑制することができる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の一実施形態を示すブロック図である。

【図2】本実施形態に係る液晶表示装置に適用される信号ドライバの概略構成を示すブロック図である。

【図3】本実施形態に係る液晶表示装置に適用されるシーケンス制御回路の一構成例を示す回路構成図である。

【図4】本実施形態に係る液晶表示装置における駆動制御動作を示すタイミングチャートである。

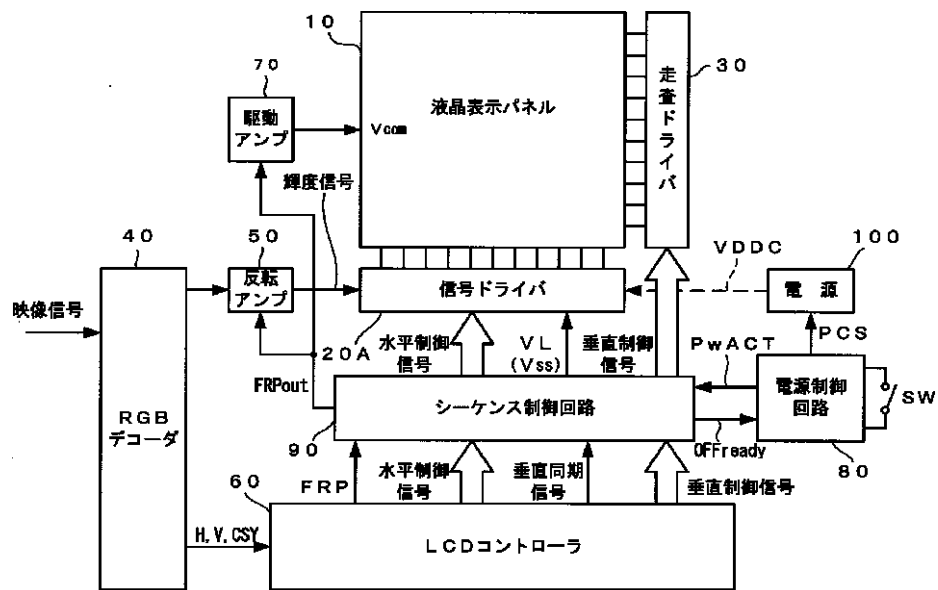
【図5】従来技術におけるTF型液晶表示装置の概略構成を示すブロック図である。

【図6】従来技術における液晶表示パネルの回路構成を示す要部回路図である。

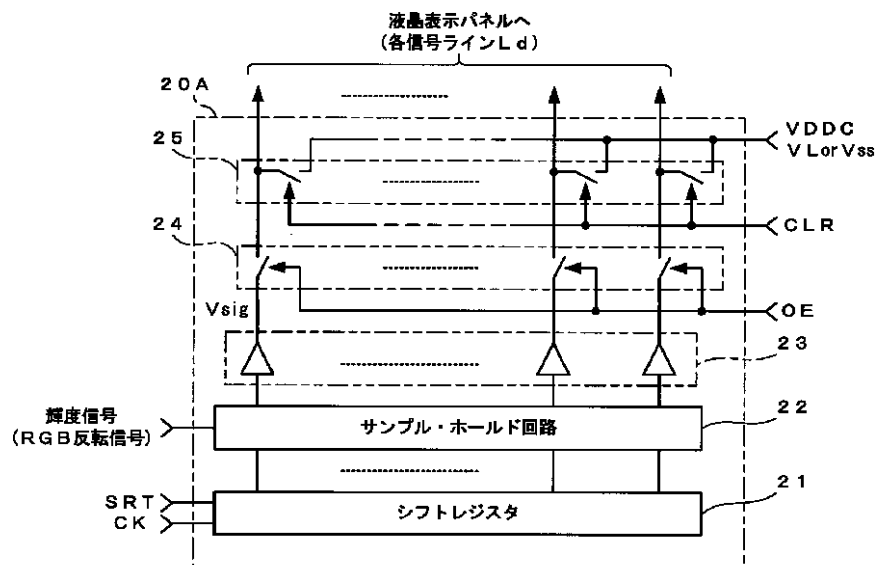
【符号の説明】

10	液晶表示パネル
20A	信号ドライバ
30	走査ドライバ
40	RGBデコーダ
50	反転アンプ
60	LCDコントローラ
70	コモン信号駆動アンプ
80	電源制御回路
90	シーケンス制御回路

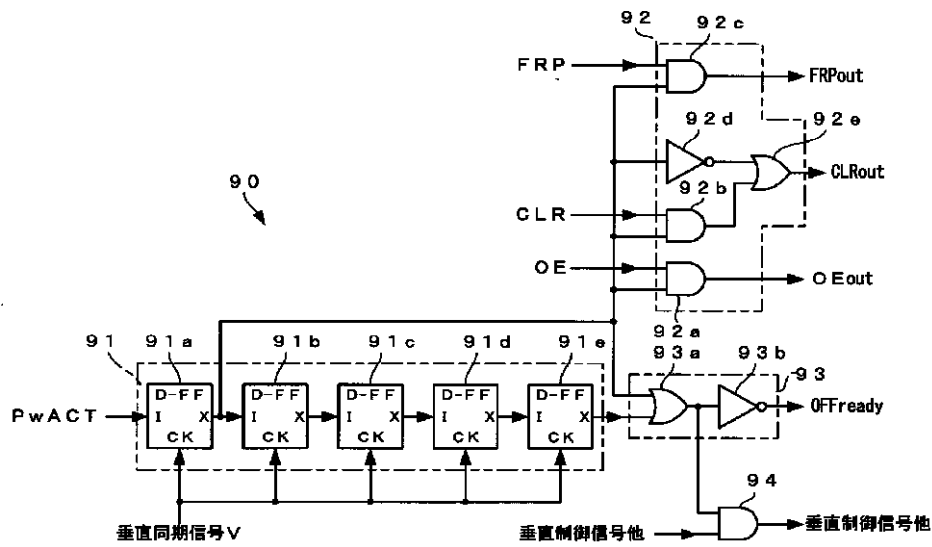
【図1】



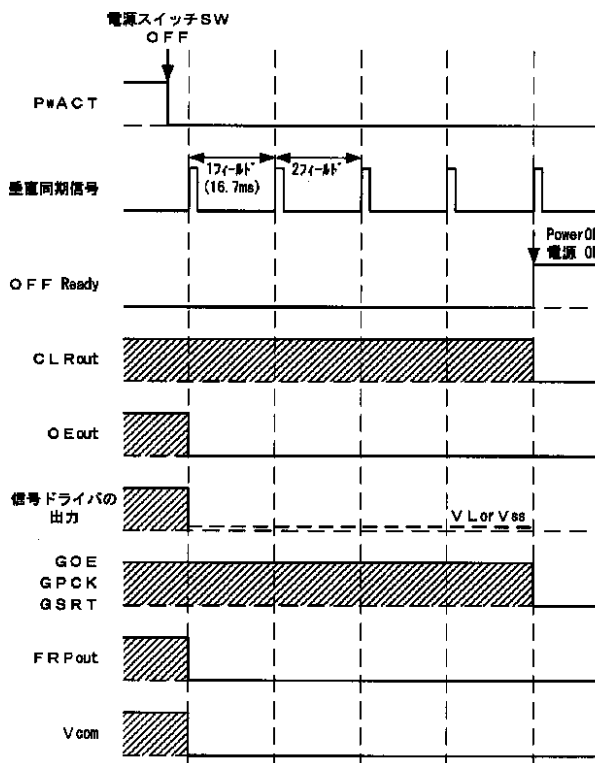
【図2】



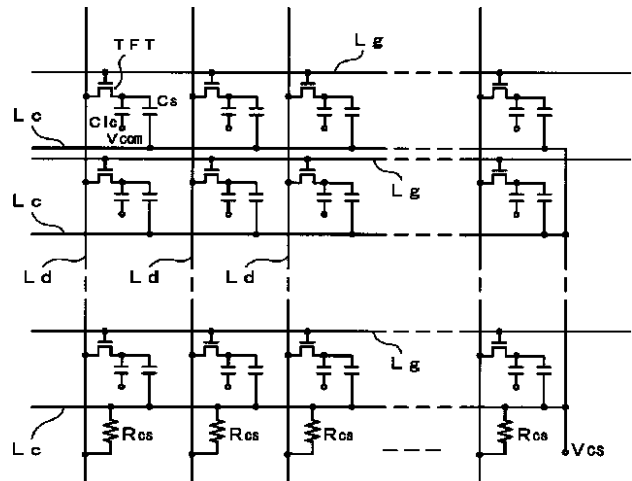
【図 3】



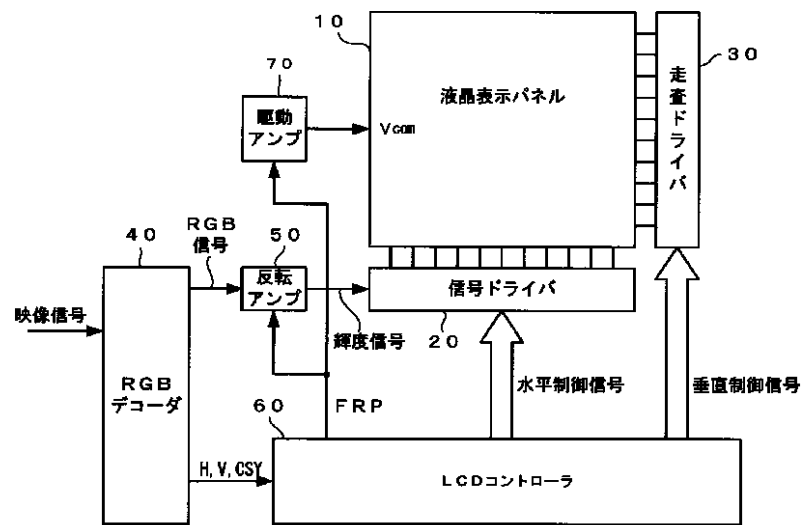
【圖 4】



【圖 6】



【図5】



 フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

識別記号

6 7 0

F I

G 0 9 G 3/20

テ-マ-コード (参考)

6 7 0 K

Fターム(参考) 2H093 NA16 NC01 NC13 NC16 NC18
 NC23 NC25 NC26 NC34 NC49
 NC58 NC59 NC90 ND10 ND12
 ND39 ND42 ND47
 5C006 AC21 AC25 AF64 AF67 AF68
 BB16 BC16 BF38 FA22 FA34
 5C080 AA10 BB05 DD05 DD14 DD18
 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置及其驱动控制方法		
公开(公告)号	JP2003295840A	公开(公告)日	2003-10-15
申请号	JP2002102495	申请日	2002-04-04
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	柏原 聡		
发明人	柏原 聡		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.G G09G3/20.624.E G09G3/20.642.A G09G3/20.670.K		
F-TERM分类号	2H093/NA16 2H093/NC01 2H093/NC13 2H093/NC16 2H093/NC18 2H093/NC23 2H093/NC25 2H093/NC26 2H093/NC34 2H093/NC49 2H093/NC58 2H093/NC59 2H093/NC90 2H093/ND10 2H093/ND12 2H093/ND39 2H093/ND42 2H093/ND47 5C006/AC21 5C006/AC25 5C006/AF64 5C006/AF67 5C006/AF68 5C006/BB16 5C006/BC16 5C006/BF38 5C006/FA22 5C006/FA34 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD14 5C080/DD18 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H093/NA80 2H193/ZA04 2H193/ZE31 2H193/ZE38 2H193/ZF01 2H193/ZF59 2H193/ZH21		
外部链接	Espacenet		

摘要(译)

即使在图像信息的显示驱动状态下进行了设备断电操作，也能够避免因每个显示像素中的残留电压而产生残像，并且在残像处理期间结束后立即进行残像显示。（ZH）提供一种能够抑制液晶的不均匀和劣化的液晶显示装置及其驱动控制方法。液晶显示装置通过将视频信号相对应的液晶施加电压施加到各个液晶显示面板和以矩阵状排列多个液晶像素的液晶显示面板来显示期望的图像信息。在包括信号驱动器20和扫描驱动器30的液晶显示装置中，当检测到电源开关SW的断开操作时，提供给信号线Ld的信号电压和提供给公共电极的公共信号电压Vcom。将其固定为特定的低电平，并将微小的信号电压（例如，白色显示电压）写入每个显示像素。

