

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 280034

(P2003 - 280034A)

(43)公開日 平成15年10月2日 (2003.10.2)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
H 0 1 L 21/336		H 0 1 L 27/08	5 F 0 4 8
21/8238			5 F 1 1 0
27/08	331	29/78	616 N
27/092			

審査請求 未請求 請求項の数 2 O L (全 10数) 最終頁に続く

(21)出願番号 特願2002 - 78930(P2002 - 78930)

(22)出願日 平成14年3月20日(2002.3.20)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 天野 徹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

F タ-ム (参考) 2H092 JA26 NA24 NA26

5F048 AC04

5F110 AA01 AA09 BB02 BB04 BB06

BB07 DD01 DD03 DD11 EE30

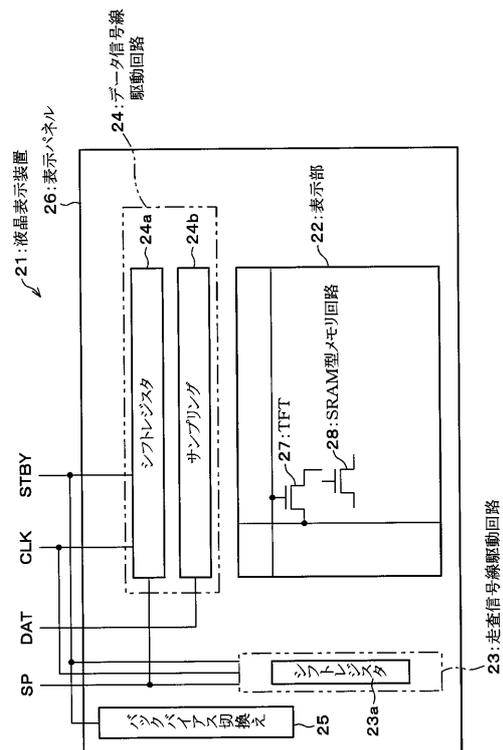
GG02 GG13 HM15 NN02

(54)【発明の名称】 T F T基板およびそれを用いる液晶表示装置

(57)【要約】

【課題】 液晶表示装置のTFTアクティブマトリクス基板などとして用いられるTFT基板において、通常の動画表示の動作状態と、静止画表示の待機状態とのいずれにも適応可能にする。

【解決手段】 シフトレジスタ24aのフリップフロップF1~Fn+1等を構成するTFT40P, 40Nをバックゲート構造とし、バックバイアス切換え回路25は、バックゲート電極43P, 43Nに、前記TFT40P, 40Nの動作状態と待機状態とで、バックゲート電圧VBP, VBNをそれぞれ異なる値とする。したがって、TFT40P, 40Nの閾値電圧のばらつきを補償するとともに、フローティングボディ効果を抑制することができ、前記動作状態では、高速かつ正確な動作が可能になり、前記待機状態では、オフ電流を低くして、消費電力を削減することができる。



【特許請求の範囲】

【請求項1】絶縁基板上に薄膜トランジスタが形成されて成るTFT基板において、

前記薄膜トランジスタをバックゲート構造とし、前記薄膜トランジスタの動作状態と待機状態とでそれぞれ異なるバックゲート電圧を印加するバックバイアス切換え手段を含むことを特徴とするTFT基板。

【請求項2】前記請求項1記載のTFT基板を用いることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁基板上に作成されるTFT（薄膜トランジスタ）アクティブマトリクス基板およびそれを用いる液晶表示装置に関する。

【0002】

【従来の技術】前記液晶表示装置等で用いられるアクティブマトリクス基板のTFTは、従来では、アモルファスシリコンで形成されていた。しかしながら、最近では、情報携帯端末、モバイルコンピュータ、カーナビゲーションなどの普及に伴い、小型で高精細、高解像度、高画質なアクティブマトリクス基板が求められるようになってきた。このため、レーザアニールや固相成長（CGS）等の技術によって、前記アモルファスシリコンのTFTの移動度が $0.5\text{ cm}^2/\text{V}\cdot\text{sec}$ 程度であるのに対して、 $100\sim 200\text{ cm}^2/\text{V}\cdot\text{sec}$ 程度に飛躍的に高められる多結晶（ポリ）シリコンTFTをガラス基板上に形成する技術が開発された。この高い移動度によって、数MHz程度の周波数での駆動が可能となっている。

【0003】また、このようにガラス基板上に高移動度のTFTが作成可能となることで、従来では、画素TFTを駆動するアナログおよび/またはデジタルの周辺駆動回路が、単結晶シリコンチップに形成された後に該TFTアクティブマトリクス基板上に取付けられていたのに対して、表示部と同一の基板上に一体形成することが可能になり、狭額縁化や薄型化が可能となっている。

【0004】しかしながら、このようにガラス基板上に形成したSOI構造のTFTは、前記単結晶シリコンのバルク（塊）上に形成したバルク構造のトランジスタに比べて、閾値電圧 V_{th} の制御が難しく、本来エンハンスメント型であるはずの特性がディプレッション型になってしまうという問題がある。また、基板がフローティングになっていることで、ドレイン電圧 V_d -ドレイン電流 I_d の特性が非線形になるフローティングボディ効果が生じるという問題もある。

【0005】ここで、図10を用いて、前記エンハンスメント型とディプレッション型との違いを説明する。図10はTFTのゲート-ソース間電圧 V_{gs} とドレイン電流 I_d との関係を示すグラフであり、図10(a)および図10(b)は前記エンハンスメント型の特性であ

り、図10(c)および図10(d)は前記ディプレッション型の特性であり、また図10(a)および図10(c)はNchTFTの特性であり、図10(b)および図10(d)はPchTFTの特性である。

【0006】すなわち、前記エンハンスメント型は、たとえばNchでは、図10(a)で示すように、ゲート-ソース間電圧 V_{gs} が0より大きく（enhance）なったときにドレイン電流 I_d が流れ、ゲート-ソース間電圧 V_{gs} が印加されていないときには動作を行わないノーマリーオフ動作となる。

【0007】これに対して、前記ディプレッション型は、たとえばNchでは、図10(c)で示すように、ゲート-ソース間電圧 V_{gs} が0のときでもドレイン電流 I_d が流れて動作しており、ノーマリーオン動作となる。これは、ディプレッション型では、元々チャンネルが形成されているためであり、ゲート-ソース間電圧 V_{gs} を前記閾値電圧 V_{th} の絶対値以上にすることで、前記チャンネルに空乏層が形成されてキャリアが枯れ（depletion）、ドレイン電流 I_d が流れにくくなる。

【0008】したがって、前述のようにTFTの特性がエンハンスメント型からディプレッション型になってしまうと、たとえば図11で示すようなCMOSインバータを考えた場合、入力信号 i_n がハイレベルであるときには、NMOSTランジスタ q_n がONしても、PMOSTランジスタ q_p がOFFして、出力 o_{ut} がGNDレベルになり、通常動作するのに対して、前記入力信号 i_n がローレベルになると、PMOSTランジスタ q_p がONするとともに、NMOSTランジスタ q_n もONして、電源 V_{cc} から貫通電流が流れ、誤動作するとともに、消費電流が増加する。すなわち、前記入力信号 i_n のローレベルを V_{in} 、NMOSTランジスタ q_n の閾値電圧を V_{thn} 、PMOSTランジスタ q_p の閾値電圧を V_{thp} とすると、 $V_{thn} < V_{in} < V_{cc} - V_{thp}$ では、前記貫通電流が流れることになる。

【0009】このCMOSインバータは、前記画素TFTを駆動する周辺駆動回路を構成するクロックインバータ、NAND回路およびNOR回路等の基本であり、該周辺駆動回路をTFTアクティブマトリクス基板上に一体形成する場合には、前記誤動作や消費電流の問題が、特に顕著である。

【0010】ここで、前記SOI構造のTFTの特性が、エンハンスメント型からディプレッション型に変化する理由としては、以下のことが考えられる。

1. 多結晶シリコンは単結晶シリコンに比べて結晶性が不均一であること。

2. 安価なガラス基板を使用する低温多結晶シリコンでは、ガラスの耐熱性が600程度と低いので、ゲート酸化膜に熱酸化（1000程度）のプロセスが使えないこと。

3. ガラス基板からの不純物、または前記ガラス基板とシリコン層との間に汚染を防止するために設けられる下地膜の固定電荷。

4. 多結晶シリコンの膜厚のばらつきによる膜中の空間電荷量の増減による閾値のばらつき。

5. フローティングゲート効果によるTFT特性の変化。

【0011】一方、上述のような問題を解決する典型的な従来技術として、特開2001-51292号公報が挙げられる。この先行技術では、バックゲート電極へ電圧を印加することで、TFTの閾値電圧 V_{th} を制御し、前記消費電力の低減と動作周波数の向上とを選択するようになっている。すなわち、前記閾値電圧 V_{th} を制御して、TFTを、前記ディプレッション型とすることでON時の電流は増加するけれども動作周波数を向上し、前記エンハンスメント型とすることで動作周波数は低下するけれどもOFF時の電流を減少するようになっている。

【0012】

【発明が解決しようとする課題】一方、近年では、前記携帯機器で、一層消費電力を低減して電池寿命を延ばすために、たとえば携帯電話の待受け時のように、各画素への画像データの書き込みを停止する(間引く)待機モードが設定されるようになっている。しかしながら、上述の従来技術では、たとえばアクティブマトリクス基板の走査信号線駆動回路はその周波数が低いために前記消費電力の低減を実現する閾値電圧に設定され、データ信号線駆動回路はその周波数が高いために前記動作周波数の向上を実現する閾値電圧に設定され、このようなモードの切換えに対応できないという問題がある。

【0013】本発明の目的は、モード切換えに対応することができるTFTアクティブマトリクス基板およびそれをを用いる液晶表示装置を提供することである。

【0014】

【課題を解決するための手段】本発明のTFT基板は、絶縁基板上に薄膜トランジスタが形成されて成るTFT基板において、前記薄膜トランジスタをバックゲート構造とし、前記薄膜トランジスタの動作状態と待機状態とでそれぞれ異なるバックゲート電圧を印加するバックバイアス切換え手段を含むことを特徴とする。

【0015】上記の構成によれば、液晶表示装置のTFTアクティブマトリクス基板などとして用いられるTFT基板において、絶縁基板上に形成されることで、閾値電圧のばらつきやフローティングボディ効果を生じ易い薄膜トランジスタに対して、該薄膜トランジスタをバックゲート構造とし、バックゲート電圧を印加することで、前記閾値電圧のばらつきを補償し、フローティングボディ効果を抑制可能にする。そして、前記液晶表示装置における走査信号線駆動回路やデータ信号線駆動回路などの論理回路を制御するスタンバイ信号と同期するな

どして、バックバイアス切換え手段は、前記薄膜トランジスタの動作状態と待機状態とで、それぞれ異なるバックゲート電圧を印加する。

【0016】したがって、前記動作状態では、高速かつ正確な動作が可能になり、前記待機状態では、オフ電流が低くなるように設定して、消費電力を削減することができる。

【0017】また、本発明の液晶表示装置は、前記のTFT基板を用いることを特徴とする。

【0018】上記の構成によれば、液晶表示装置のTFT基板は、高精細、高解像度化等が求められ、アモルファスシリコンから多結晶シリコン等の高移動度のTFTが使用されるようになり、前記閾値電圧のばらつきやフローティングボディ効果の影響が大きいので、本発明が特に好適である。

【0019】

【発明の実施の形態】本発明の実施の一形態について、図1～図8に基づいて説明すれば、以下のとおりである。

【0020】図1は、本発明の実施の一形態の液晶表示装置21の概略的構成を示すブロック図である。この液晶表示装置21は、大略的に、表示部22を、走査信号線駆動回路23およびデータ信号線駆動回路24で駆動する。ただし、前記走査信号線駆動回路23およびデータ信号線駆動回路24ならびに後述するバックバイアス切換え回路25は、TFTアクティブマトリクス基板から成る表示パネル26に一体で形成されており、これらの回路23～25ならびに表示部22上のTFT27およびスタティックRAM型のメモリ回路28は、多結晶シリコン薄膜トランジスタで形成される。

【0021】前記スタティックRAM型のメモリ回路28は、各画素のTFT27に個別に対応して設けられ、TFT27によって取込まれた画像データを保持しておくためのものであり、たとえばTFTから成る2段の縦続接続されたCMOSインバータの1段目の入力を入出力とし、2段目の出力を1段目の入力に帰還して構成される。そして、静止画を表示する場合、このメモリ回路28に記憶されているデータを用いて表示を行い、後述するスタンバイ信号STBYがアクティブとなって前記信号線駆動回路23、24の動作が停止される。

【0022】一方、走査信号線駆動回路23は、前記クロックドインバータ等から成るシフトレジスタ23aから構成され、外部から入力されるスタートパルスSPをクロックCKにตอบสนองして順次シフト出力してゆくことで、前記表示部22における各走査信号線に順次選択出力を導出する。また、データ信号線駆動回路24は、前記クロックドインバータ等から成り、前記スタートパルスSPをクロックCKにตอบสนองして順次シフト出力してゆくシフトレジスタ24aおよびそのシフト出力にตอบสนองして画像データDATをサンプリングして前記表示部22

の各データ信号線に導出するサンプリング回路24bから構成される。

【0023】図2は、前記クロックインバータやメモリ回路28などを構成するCMOS構成のTFT40P, 40Nの構造を説明するための断面図である。また、図3はその平面図であり、図2は図3の切断面線II-IIから見た断面である。石英またはプラスチックから成る絶縁基板41上には、ベースコート膜42が形成され、そのベースコート膜42上にバックゲート電極43P, 43Nが形成される。これらのバックゲート電極43P, 43Nは、外部からそれぞれ任意の電圧が印加可能に構成されている。前記バックゲート電極43P, 43N上には、第1のゲート絶縁膜44が形成された後、ソース領域、ドレイン領域、LDD領域およびチャネル領域を構成する前記多結晶シリコン薄膜のアイランド45P, 45Nが形成される。その後、前記バックゲート電極43P, 43N上には、第2のゲート絶縁膜46P, 46Nおよびゲート電極47P, 47Nが形成された後、層間絶縁膜48で被覆される。前記層間絶縁膜48に形成されたコンタクトホール49を介して、ソース電極50およびドレイン電極51が形成される。このようなバックゲート電極43P, 43を有するTFT40P, 40Nの構造は、前記特開2001-51292号公報等に詳しく記載されている。

【0024】注目すべきは、この液晶表示装置21では、前記バックゲート電極43P, 43Nに、TFTの動作状態と待機状態とでそれぞれ異なるバックゲート電圧を印加することで、閾値電圧 V_{thp} , V_{thn} を制御する前記バックバイアス切換え回路25が設けられていることである。前記シフトレジスタ23a, 24aにはまた、外部から入力されるスタンバイ信号STBYが入力されており、このスタンバイ信号STBYが待機状態を表すアクティブのローレベルとなると、後述するように前記閾値電圧 V_{thp} , V_{thn} の絶対値を大きくして、前記貫通電流による消費電力を低減し、前記スタンバイ信号STBYが動作状態を表す非アクティブのハイレベルとなると、前記閾値電圧 V_{thp} , V_{thn} の絶対値を小さくして、高速かつ正確な動作を可能にする。

【0025】図4は、前記シフトレジスタ24aを例として、上述のような動作をさらに詳細に説明するための図である。この図4のTFT40P, 40Nにおいて、前述の図2および図3に対応する部分には、同一の参照符号を付して示す。シフトレジスタ24aは、相互に縦続接続される $n+1$ 段のデータフリップフロップ $F_1 \sim F_{n+1}$ から構成されており、各データフリップフロップ $F_1 \sim F_{n+1}$ のクロック入力端子には共通に前記クロックCLKが入力され、リセット端子には共通に前記スタンバイ信号STBYが入力される。また、初段のデータフリップフロップ F_1 のデータ入力端子には前記ス

タートパルスSPが入力され、各データフリップフロップ $F_1 \sim F_n$ の出力端子からの出力が次段のデータフリップフロップ $F_2 \sim F_{n+1}$ のデータ入力端子に与えられるとともに、前記各データ信号線に対応したサンプリング回路24bへのサンプリング出力 $S_1 \sim S_n$ となる。

【0026】そして、前記スタンバイ信号STBYが前記動作状態を表す非アクティブのハイレベルである間は、各データフリップフロップ $F_1 \sim F_{n+1}$ はクロックCLKにตอบสนองして前記スタートパルスSPを順次セットしてゆく。これに対して、前記スタンバイ信号STBYが前記待機状態を表すアクティブのローレベルとなる時、クロックCLKの発振は停止され、また各データフリップフロップ $F_1 \sim F_{n+1}$ は固定されてリセット状態になり、消費電力が減少する。

【0027】また、前記各データフリップフロップ $F_1 \sim F_{n+1}$ は、前記クロックインバータ構成となっており、この図4では、図面の簡略化のために、前記図2および図3で示すようなTFT40P, 40Nから成るCMOSインバータ構成で示している。このCMOSインバータは、ハイレベルの電位VCCおよびGND電位を電源とし、したがってPチャネルTFT40Pのソースには前記電位VCCが与えられ、NチャネルTFT40Nのソースには前記GND電位が与えられる。また、これらのTFT40P, 40Nのゲート47P, 47Nは共通に接続されて入力端となり、ドレインは共通に接続されて出力端となる。

【0028】一方、バックゲート電極43P, 43Nには、前記バックバイアス切換え回路25から、バックゲート電圧VBP, VBNがそれぞれ与えられる。前記バックバイアス切換え回路25には、電源として外部から4系統の電位VCC2, VCC1, GND2, GND1が与えられており、電位VCC2は前記電位VCCよりも高く、電位VCC1は前記電位VCCよりも低く、電位GND2は前記電位GNDよりも高く、電位GND1は前記電位GNDよりも低い。

【0029】前記バックバイアス切換え回路25は、前記スタンバイ信号STBYにตอบสนองして、該スタンバイ信号STBYが待機状態を表すアクティブのローレベルとなると、バックゲート電極43Pのバックゲート電圧VBPをハイレベル側の電位VCC2とするとともに、バックゲート電極43Nのバックゲート電圧VBNをローレベル側の電位GND1とする。こうして、閾値電圧 V_{thp} , V_{thn} の絶対値を大きくして、TFT40P, 40Nを前記エンハンスメント型の特性とし、前記貫通電流による消費電力を低減することができる。

【0030】これに対して、前記スタンバイ信号STBYが動作状態を表す非アクティブのハイレベルとなると、バックゲート電極43Pのバックゲート電圧VBPをローレベル側の電位VCC1とするとともに、バック

ゲート電極43Nのバックゲート電圧VBPをハイレベル側の電位GND2とする。こうして、閾値電圧Vthp, Vthnの絶対値を小さくして、TFT40P, 40Nを前記ディプレッション型の特性とし、高速かつ正確な動作を可能にすることができる。

【0031】このようにして、スタンバイ信号STBYが前記待機状態を表すアクティブのローレベルとなると、従来ではクロックCLKの発振は停止されて各データフリップフロップF1~Fn+1が固定されるだけであったのを、本発明では、TFT40P, 40Nを、モード切換えに対応して、ディプレッション型とエンハンスメント型とに切換えるので、通常動作時における高速かつ正確な動作を実現しつつ、待機時における前記貫通電流を抑制し、一層低消費電力化を図ることができる。

【0032】また、液晶表示装置のTFT基板は、前述のように高精細、高解像度化等が求められ、アモルファスシリコンから前記多結晶シリコン等の高移動度のTFTが使用されるようになり、前記閾値電圧のばらつきやフローティングボディ効果の影響が大きいので、本発明が特に好適である。

【0033】図5は、前記バックバイアス切換え回路25の一構成例を示すブロック図である。この例では、インバータINVと、4つのアナログスイッチASW1~ASW4とを備えて構成されている。前記アナログスイッチASW1~ASW4は、正相の制御信号およびその逆相の制御信号/を入力としており、このため前記ローアクティブのスタンバイ信号STBYは、そのまま制御信号となり、またインバータINVで反転されて制御信号/となり、アナログスイッチASW1~ASW4にそれぞれ入力される。

【0034】前記アナログスイッチASW2, ASW3は、たとえば図6で示すように構成される。アナログスイッチASW1~ASW4は、一対のPMOSFETQPとNMOSFETQNとが相互に並列に接続されて構成されるトランスマッションゲートであり、この図6で示すアナログスイッチASW2, ASW3では、PMOSFETQPのゲートに前記制御信号/が与えられ、NMOSFETQNのゲートに前記制御信号が与えられ、したがって前記ローアクティブのスタンバイ信号STBYが非アクティブのハイレベルとなるとMOSFETQP, QNのソース-ドレイン間が導通する。

【0035】これに対して、前記図示しない前記アナログスイッチASW1, ASW4では、PMOSFETQPのゲートに前記制御信号/が与えられ、NMOSFETQNのゲートに前記制御信号/が与えられ、したがって前記ローアクティブのスタンバイ信号STBYがアクティブのローレベルとなるとMOSFETQP, QNのソース-ドレイン間が導通する。

【0036】アナログスイッチASW1の入力INとしては前記ハイレベル側の電位VCC2が与えられてお

り、アナログスイッチASW2の入力INとしては前記ローレベル側の電位VCC1が与えられており、アナログスイッチASW3の入力INとしては前記ハイレベル側の電位GND2が与えられており、アナログスイッチASW2の入力INとしては前記ローレベル側の電位GND1が与えられている。

【0037】したがって、アナログスイッチASW1, ASW2の出力OUTの並列出力である前記P型のTFT40Pのバックゲート電極43Pへのバックゲート電圧VBPは、前述のように、スタンバイ信号STBYがアクティブのローレベルとなるとアナログスイッチASW1を介するハイレベル側の電位VCC2となり、スタンバイ信号STBYが非アクティブのハイレベルとなるとアナログスイッチASW2を介するローレベル側の電位VCC1となる。同様に、アナログスイッチASW3, ASW4の出力OUTの並列出力である前記N型のTFT40Nのバックゲート電極43Nへのバックゲート電圧VBNは、前述のように、スタンバイ信号STBYがアクティブのローレベルとなるとアナログスイッチASW4を介するローレベル側の電位GND1となり、スタンバイ信号STBYが非アクティブのハイレベルとなるとアナログスイッチASW3を介するハイレベル側の電位GND2となる。このようにして、前記バックバイアス切換え回路25を具体的に構成することができる。

【0038】また、前記バックバイアス切換え回路25は、図7で示すバックバイアス切換え回路25aのように構成することもできる。このバックバイアス切換え回路25aにおいて、前述のバックバイアス切換え回路25に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。このバックバイアス切換え回路25aは、前記スタンバイ信号STBYから制御信号/を作成するインバータINV(図面の簡略化のために、省略)と、前記4つのアナログスイッチASW1~ASW4と、2つのレベルシフタSH1, SH2と、その制御用の信号を作成するインバータINV1, INV2とを備えて構成されている。

【0039】レベルシフタSH1は、たとえば図8で示すように、4つのPMOSFETQP1~QP4と、2つのNMOSFETQN1, QN2とを備えて構成される。このレベルシフタSH1は、低電圧、たとえば5Vの相互に逆相の信号IN1, IN2を入力として、出力OUT1, OUT2として、それをたとえば15Vに昇圧して出力する。

【0040】一方の信号IN1は一対のPMOSFETQP1およびNMOSFETQN1のゲートに共通に入力され、他方の信号IN2は一対のPMOSFETQP2およびNMOSFETQN2のゲートに共通に入力され、PMOSFETQP1のドレインとNMOSFETQN1のドレインとの接続点が出力OUT2となり、P

MOSFETQP2のドレインとNMOSFETQN2のドレインとの接続点が出力OUT1となる。NMOSFETQN1, QN2のソースには共通に前記電位GND1が与えられる。PMOSFETQP1, QP2のソースは、対応するPMOSFETQP3, QP4のドレインにそれぞれ接続され、これらのPMOSFETQP3, QP4のソースには共通に前記電位VCC2が与えられる。PMOSFETQP3, QP4のゲートは、MOSFETQP2, QN2の接続点、すなわち出力OUT1の出力端と、MOSFETQP1, QN1の接続点、すなわち出力OUT2の出力端にそれぞれ接続される。

【0041】そして、このレベルシフトSH1に関して設けられるインバータINV1は、前記スタンバイ信号STBYを反転して前記信号IN1として出力するものであり、信号IN2には、前記スタンバイ信号STBYがそのまま入力される。これに対して、レベルシフトSH2では、信号IN1にスタンバイ信号STBYがそのまま入力され、信号IN2には、インバータINV2でスタンバイ信号STBYが反転された後入力される。

【0042】したがって、レベルシフトSH1では、スタンバイ信号STBYがアクティブのローレベルとなると、信号IN1がハイレベルとなり、PMOSFETQP1, QP3が遮断し、NMOSFETQN1が導通して出力OUT2が電位GND1となるとともに、信号IN2がローレベルとなり、NMOSFETQN2が遮断し、PMOSFETQP2, QP4が導通して出力OUT1が電位VCC2となる。これらの電位VCC2, GND1は、前記アナログスイッチASW1, ASW4を介して出力される。

【0043】これに対して、前記スタンバイ信号STBYが非アクティブのハイレベルとなると信号IN2がハイレベルとなり、PMOSFETQP2, QP4が遮断し、NMOSFETQN2が導通して出力OUT1が電位GND1となるとともに、信号IN1がローレベルとなり、NMOSFETQN1が遮断し、PMOSFETQP1, QP3が導通して出力OUT2が電位VCC2となる。これらの電位VCC2, GND1は、前記アナログスイッチASW1, ASW4で阻止されて出力されない。

【0044】一方、図示しないレベルシフトSH2からは、電位VCC1, GND2は、スタンバイ信号STBYがアクティブのローレベルとなると、アナログスイッチASW2, ASW3で阻止されて出力されず、スタンバイ信号STBYが非アクティブのハイレベルとなると、前記アナログスイッチASW2, ASW3を介して出力される。このようにしてもまた、前記バックバイアス切換え回路25を具体的に構成することができる。

【0045】本発明の実施の他の形態について、図9に基づいて説明すれば、以下のとおりである。

*【0046】図9は、本発明の実施の他の形態の液晶表示装置61の概略的構成を示すブロック図である。この液晶表示装置61において、前述の液晶表示装置21に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、この液晶表示装置61では、表示パネル66に、CPU67、メモリ68および入出力回路69などの周辺回路が一体で形成されていることである。

【0047】このように構成される液晶表示装置61において、前記走査信号線駆動回路23, 24では、クロックCLKの周波数は、たとえば5MNz程度で、TFTの移動度は前記100cm²/V・sec程度であるのに対して、前記CPU67では、クロック周波数は10~40MNz程度で、移動度は150~300cm²/V・sec程度になり、またSRAMやDRAMなどの前記メモリ68では、クロック周波数は100MNz程度で、TFTの移動度は500cm²/V・sec程度になり、すなわちTFTに単結晶シリコンに近い高性能が要求される。

【0048】このようにアクティブマトリクス回路を駆動する信号線駆動回路23, 24だけではなく、画像信号をやり取りする周辺回路まで1枚のガラス基板上に集積したシステムオンパネルの表示パネル66において、動作する必要の無いシステム状態の時は、これらの周辺回路も前記スタンバイ信号STBYにตอบสนองして前記バックバイアス切換え回路25によってバックゲート電圧VBP, VBNを制御することで、システム全体としての消費電力を抑えることができる。

【0049】

【発明の効果】本発明のTFT基板は、以上のように、液晶表示装置のTFTアクティブマトリクス基板などとして用いられるTFT基板において、絶縁基板の上に形成されることで、閾値電圧のばらつきやフローティングボディ効果を生じ易い薄膜トランジスタに対して、該薄膜トランジスタをバックゲート構造とし、前記薄膜トランジスタの動作状態と待機状態とで、それぞれ異なるバックゲート電圧を印加することで、前記閾値電圧のばらつきを補償し、フローティングボディ効果を抑制する。

【0050】それゆえ、前記動作状態では、高速かつ正確な動作が可能になり、前記待機状態では、オフ電流が低くなるように設定して、消費電力を削減することができる。

【0051】また、本発明の液晶表示装置は、以上のように、前記のTFT基板を用いる。

【0052】それゆえ、本発明が特に好適である。

【図面の簡単な説明】

【図1】本発明の実施の一形態の液晶表示装置の概略的構成を示すブロック図である。

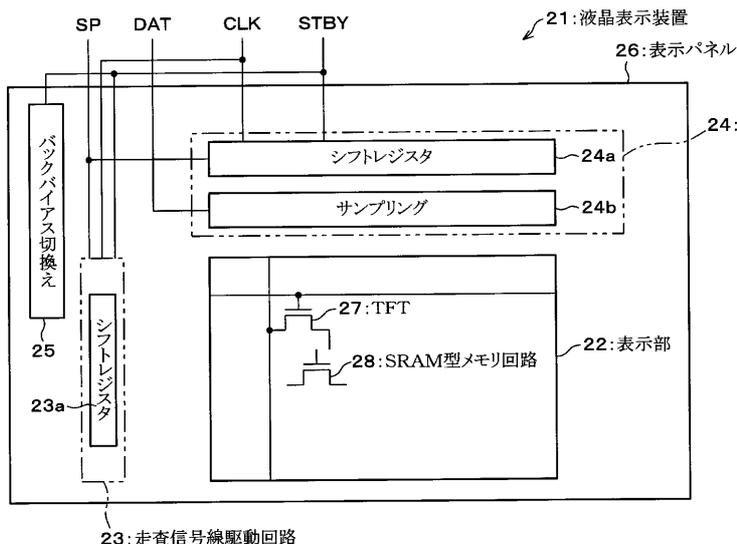
【図2】CMOS構成のTFTの構造を説明するための断面図である。

【図3】図2の平面図である。
 【図4】図1の液晶表示装置におけるシフトレジスタを例として、本発明の動作をさらに詳細に説明するための図である。
 【図5】バックバイアス切換え回路の一構成例を示すブロック図である。
 【図6】図5で示すバックバイアス切換え回路におけるアナログスイッチの一構成例を示すブロック図である。
 【図7】バックバイアス切換え回路の他の構成例を示すブロック図である。
 【図8】図7で示すバックバイアス切換え回路におけるレベルシフタの一構成例を示すブロック図である。
 【図9】本発明の実施の他の形態の液晶表示装置の概略的構成を示すブロック図である。
 【図10】エンハンスメント型とディプレッション型との違いを説明するためのTFTのゲート-ソース間電圧とドレイン電流との関係を示すグラフである。
 【図11】一般的なCMOSインバータの構成を示す図である。

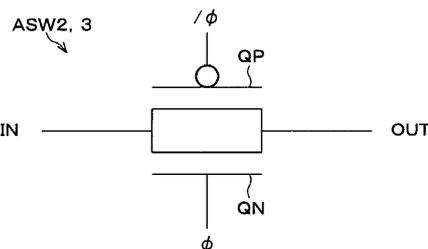
- 【符号の説明】
- 21, 61 液晶表示装置
 - 22 表示部
 - 23 走査信号線駆動回路
 - 23a, 24a シフトレジスタ
 - 24 データ信号線駆動回路
 - 24b サンプリング回路
 - 25, 25a バックバイアス切換え回路

- *26, 66 表示パネル
- 27 TFT
- 28 メモリ回路
- 40P, 40N TFT
- 41 絶縁基板
- 42 ベースコート膜
- 43P, 43N バックゲート電極
- 44 第1のゲート絶縁膜
- 45P, 45N 多結晶シリコン薄膜のアイランド
- 46P, 46N 第2のゲート絶縁膜
- 47P, 47N ゲート電極
- 48 層間絶縁膜
- 49 コンタクトホール
- 50 ソース電極
- 51 ドレイン電極
- 67 CPU
- 68 メモリ
- 69 入出力回路
- 20 F1 ~ Fn+1 データフリップフロップ
- INV; INV1, INV2 インバータ
- ASW1 ~ ASW4 アナログスイッチ
- QP PMOSFET
- QN NMOSFET
- SH1, SH2 レベルシフタ
- QP1 ~ QP4 PMOSFET
- * QN1, QN2 NMOSFET

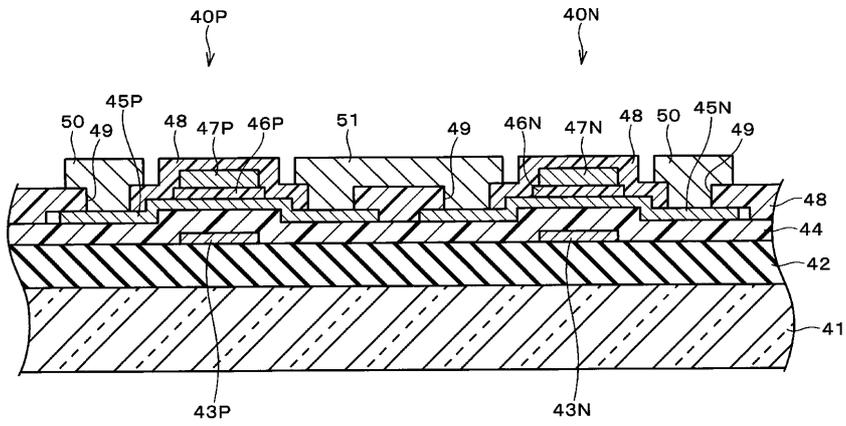
【図1】



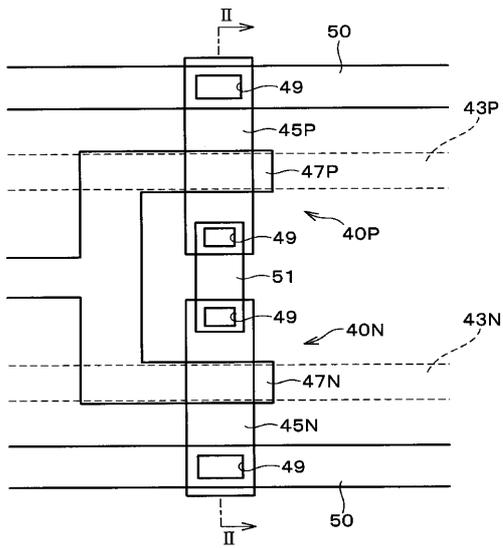
【図6】



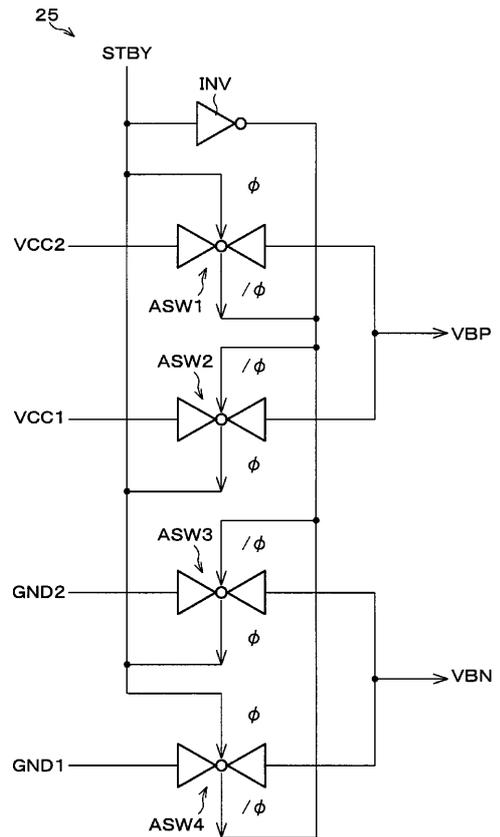
【図2】



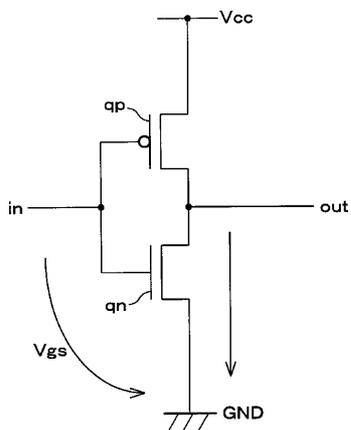
【図3】



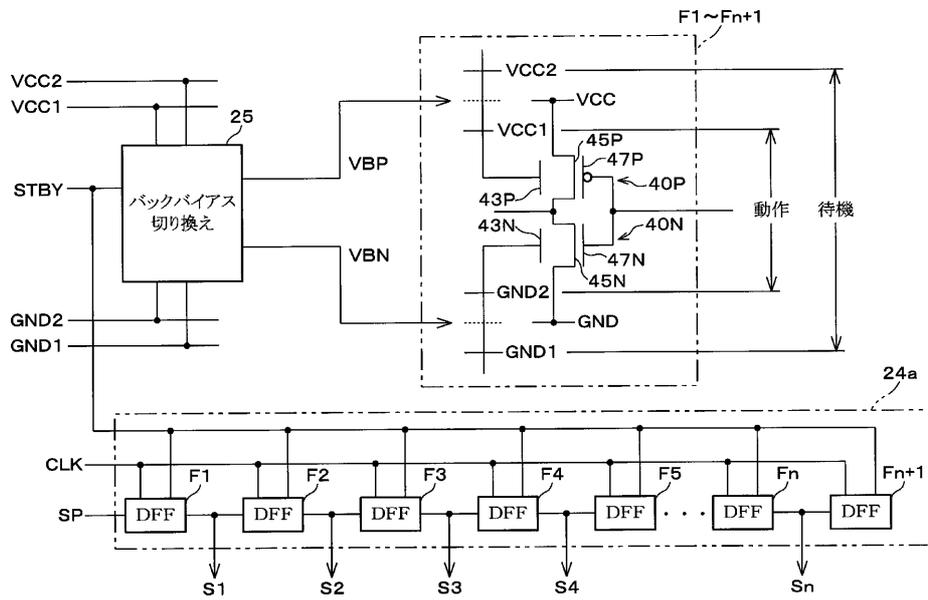
【図5】



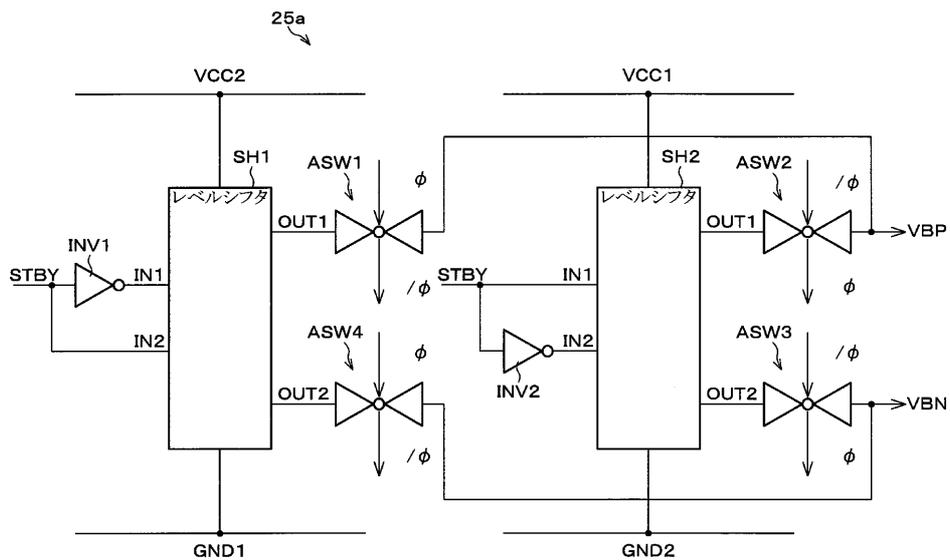
【図11】



【図4】



【図7】



专利名称(译)	TFT基板和和使用其的液晶显示装置		
公开(公告)号	JP2003280034A	公开(公告)日	2003-10-02
申请号	JP2002078930	申请日	2002-03-20
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	天野 徹		
发明人	天野 徹		
IPC分类号	G02F1/1368 H01L21/336 H01L21/8238 H01L27/08 H01L27/092 H01L29/786		
FI分类号	G02F1/1368 H01L27/08.331.E H01L27/08.321.A H01L29/78.616.N G11C19/00 G11C19/00.J H01L27/088.331.E H01L27/092.A		
F-TERM分类号	2H092/JA26 2H092/NA24 2H092/NA26 5F048/AC04 5F110/AA01 5F110/AA09 5F110/BB02 5F110/BB04 5F110/BB06 5F110/BB07 5F110/DD01 5F110/DD03 5F110/DD11 5F110/EE30 5F110/GG02 5F110/GG13 5F110/HM15 5F110/NN02 2H192/AA24 2H192/CB08 2H192/CB23 2H192/CB24 2H192/FB02 2H192/FB09 2H192/FB13 2H192/GD61 5B074/AA10 5B074/CA01 5F110/CC01 5F110/CC02		
外部链接	Espacenet		

摘要(译)

用作液晶显示装置等的TFT有源矩阵基板的TFT基板可以适用于正常运动图像显示操作状态和静止图像显示待机状态。 解决方案：构成移位寄存器24a的触发器F1至Fn + 1等的TFT 40P和40N具有背栅结构，背偏置开关电路25具有背栅电极43P和43N，其中设置了TFT 40P和40N的工作状态。在待机状态和待机状态下，背栅电压VBP和VBN被设置为不同的值。因此，可以补偿TFT40P，40N的阈值电压的变化并抑制浮体效应，这使得能够在操作状态下进行高速且精确的操作，并且减小待机状态下的截止电流。因此，可以减少功耗。

