

(19)日本国特許庁 ( J P )

# 公開特許公報 ( A )

(11)特許出願公開番号

特開2003 - 107528

(P2003 - 107528A)

(43)公開日 平成15年4月9日(2003.4.9)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコード* ( 参考 )
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
1/1345		1/1345	5 F 0 3 8
H 0 1 L 21/822		H 0 1 L 27/04	5 F 1 1 0
27/04		29/78	623 Z
29/786			

審査請求 未請求 請求項の数 17 O L ( 全 7 数 )

(21)出願番号 特願2002 - 190048(P2002 - 190048)

(22)出願日 平成14年6月28日(2002.6.28)

(31)優先権主張番号 2001 - 041251

(32)優先日 平成13年7月10日(2001.7.10)

(33)優先権主張国 韓国(KR)

(71)出願人 501426046

エルジー・フィリップス エルシーデー

カンパニー, リミテッド

大韓民国 ソウル, ヨンドウンポ - ク, ヨイド - ドン 20

(72)発明者 李 玄 揆

大韓民国 ソウル特別市 銅雀區 舎堂洞  
アパート 112 - 403

(72)発明者 金 榮 九

大韓民国 忠清北道 清州市 興徳區 社稷1洞 206 - 18

(74)代理人 100064447

弁理士 岡部 正夫 ( 外 1 0 名 )

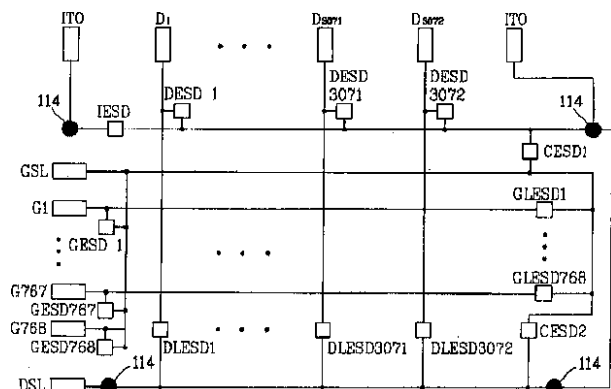
最終頁に続く

(54)【発明の名称】 液晶表示素子の静電放電防止回路及びその防止方法

## (57)【要約】

【課題】 ゲート・ラインおよびデータ・ラインへ、また、ゲート・ラインおよびデータ・ラインから静電気をより有効に分散させる、T F T - L C Dのための静電放電防止回路を提供すること。

【解決手段】 液晶ディスプレイのための静電放電防止回路である。液晶ディスプレイは、第1の基板上の交差した複数のゲート・ラインおよびデータ・ラインと、データ短絡ラインと、ゲート短絡ラインとを備えている。複数の第1のE S D防止ユニットがゲート短絡ラインをゲート・ラインに接続し、複数の第2のE S D防止ユニットがデータ短絡ラインをデータ・ラインに接続している。第3の防止ユニットは、ゲート短絡ラインをデータ短絡ラインに接続している。共通電極は、第2の基板上に形成されている。第4のE S D防止ユニットは、共通電極をデータ短絡ラインに直接接続している。



## 【特許請求の範囲】

【請求項 1】 第 1 の基板上に行方向に形成された複数のゲート・ラインと、  
第 1 の基板上に列方向に形成された複数のデータ・ラインと、

第 1 の基板上に形成されたゲート短絡ラインと、  
第 1 の基板上に形成されたデータ短絡ラインと、  
第 2 の基板上に形成された共通電極と、  
各ゲート・ラインをゲート短絡ラインに接続する複数の第 1 の ESD 防止ユニットと、  
各データ・ラインをデータ短絡ラインに接続する複数の第 2 の ESD 防止ユニットと、  
ゲート短絡ラインをデータ短絡ラインに接続する第 3 の ESD 防止ユニットと、  
データ短絡ラインを共通電極に接続する第 4 の ESD 防止ユニットとを備える、液晶ディスプレイのための静電放電防止回路。

【請求項 2】 第 1、第 2、第 3、および第 4 の ESD 防止ユニット同一デバイスである、請求項 1 に記載の回路。

【請求項 3】 第 1 の ESD 防止ユニットが複数のトランジスタからなる、請求項 1 に記載の回路。

【請求項 4】 ESD 防止ユニットが、  
それぞれ第 1 のラインに接続された第 1 のゲートおよび第 1 のソース、および第 1 のドレインからなる第 1 のトランジスタと、  
第 1 のドレインに接続された第 2 のゲート、第 2 のラインに接続された第 2 のドレイン、および第 1 のラインに接続された第 2 のソースからなる第 2 のトランジスタと、  
第 1 のドレインに接続された第 3 のソース、それぞれ第 2 のラインに接続された第 3 のゲートおよび第 3 のドレインからなる第 3 のトランジスタとを備える、請求項 3 に記載の回路。

【請求項 5】 ESD 防止ユニットが、少なくとも 2 つのダイオードからなる、請求項 1 に記載の回路。

【請求項 6】 防止ユニットが、  
第 1 のラインに接続された陽極、および第 2 のラインに接続された陰極を有する第 1 のダイオードと、  
第 1 のラインに接続された陰極、および第 2 のラインに接続された陽極を有する第 2 のダイオードとを備える、請求項 5 に記載の回路。

【請求項 7】 第 1 の ESD 防止ユニットが、ゲート短絡ラインに並列に接続される、請求項 1 に記載の回路。

【請求項 8】 複数の ESD 防止ユニットが、各ゲート・ラインをゲート短絡ラインに接続する、請求項 1 に記載の回路。

【請求項 9】 第 2 の ESD 防止ユニットが、ゲート短絡ラインに並列に接続される、請求項 1 に記載の回路。

【請求項 10】 複数の ESD 防止ユニットが、各データ・

\*タ・ラインをデータ短絡ラインに接続する、請求項 1 に記載の回路。

【請求項 11】 ゲート・ロー・レベル電圧がゲート短絡ラインに印加される、請求項 1 に記載の回路。

【請求項 12】 共通電圧がデータ短絡ラインに印加される、請求項 1 に記載の回路。

【請求項 13】 第 1 の ESD 防止ユニットを介して、ゲート・ラインとゲート短絡ラインの間の静電気を分散させるステップと、

10 第 2 の ESD 防止ユニットを介して、データ・ラインとデータ短絡ラインの間の静電気を分散させるステップと、

第 3 の ESD 防止ユニットを介して、ゲート短絡ラインとデータ短絡ラインの間の静電気を分散させるステップと、

第 4 の ESD 防止ユニットを介して、データ短絡ラインと共通電極の間の静電気を直接分散させるステップとを含む、静電放電から液晶ディスプレイ装置を保護する方法。

20 【請求項 14】 第 3 の ESD 防止ユニットからの静電気が、データ・ラインと共通電極の間をほぼ均等に分散する、請求項 13 に記載の方法。

【請求項 15】 データ・ライン中に静電気を発生させるステップと、

データ・ラインに接続された ESD 防止ユニットを介して、データ短絡ラインに静電気を分散させるステップと、

30 データ短絡ラインに接続された ESD 防止ユニットを介して、データ短絡ラインからの静電気をすべてのデータ・ラインに分散させるステップと、

ESD 防止ユニットを介して、データ短絡ラインからの静電気を共通電極に直接分散させるステップとを含む、液晶ディスプレイ装置の静電放電を防止する方法。

【請求項 16】 データ短絡ラインを通過する静電気が、データ・ラインと共通電極の間をほぼ均等に分散する、請求項 15 に記載の方法。

【請求項 17】 第 1 の ESD 防止ユニットを介して、ゲート・ラインとゲート短絡ラインの間の静電気を分散させるステップと、

40 第 2 の ESD 防止ユニットを介して、データ・ラインとデータ短絡ラインの間の静電気を分散させるステップと、

第 3 の ESD 防止ユニットを介して、ゲート短絡ラインとデータ短絡ラインの間の静電気を分散させるステップと、

第 4 の ESD 防止ユニットを介して、データ短絡ラインとデータ短絡ラインに直接接続された共通電極との間の静電気を均等に分散させるステップとを含む、静電放電から液晶ディスプレイ装置を保護する方法。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイ（LCD）装置の薄膜トランジスタ（TFT）を静電放電から保護する回路に関する。

【0002】陰極線管（CRT）は、多くのアプリケーションに対するディスプレイ装置の主流であったが、より小型、軽量、かつ、消費電力の少ない様々なフラット・パネル・ディスプレイ装置が開発されている。詳細には、極めて薄く、かつ、優れたカラー特性を有する薄膜トランジスタ液晶ディスプレイ装置（TFT-LCD）10 が広く開発され、当たり前になっている。

【0003】一般的には、液晶ディスプレイ装置は、マトリックス状に整列された画素に個別に印加されるデータ信号に対応するイメージを表示するための装置である。画素は光透過率を制御し、イメージを生成している。したがって、液晶ディスプレイ装置は、画素マトリックスおよび画素をドライブするためのドライバ集積回路（IC）の両方を備えている。

【0004】図1は、TFT-LCDディスプレイの部分切欠図を示す断面図であり、図2は、TFT-LCD 20 を示す概略回路図である。以下、それぞれのコンポーネントについて、図面に照らして説明する。

【0005】TFT-Arrayディスプレイでは、TFT基板（図1の下部基板）が、1つまたは複数の金属層で形成され、絶縁層、アモルファス・シリコン層、インジウム・スズ酸化物層（ITO）、および他の必要な元素がガラス基板102に蒸着されてTFT107を形成し、記憶コンデンサ108、画素電極104、および他の構造物が個々の画素を形成している。また、TFT 30 基板は、画素マトリックスを形成するための、多重画素を相互接続するデータ・ラインを備えている。さらに、データ信号を印加するためのボンディング・パッド106が、各データ・ラインの端部に使用されている。

【0006】また、図1には、ガラス基板101上に形成されたカラー・フィルタ基板（図1の上部基板）が示されている。カラー・フィルタ基板は、選択的に光をブロックするブラック・マトリックス109（Crで有利に形成されている）、およびTFT基板の各画素を覆うRGBカラー・フィルタ110を備えている。さらに、共通電極を形成するITO薄膜103が、カラー・フィ 40 ルタ基板の底部全体に蒸着されている。

【0007】基板上は、液晶分子を所定の方に整列させるためのアラインメント・フィルム111になっている。TFTおよびカラー・フィルタ基板は、スペーサ112によって均一に維持された間隙を形成している。液晶は、この間隙中に配置されている。

【0008】電気接続は、シルバー・ドット114によって、TFT基板の電圧印加端子とITO薄膜103の間に形成され、それにより共通電極（ITO薄膜103）への電圧の印加を可能にしている。

【0009】基板の円周の周りに配置されたパターン化シール113は、TFT-Array基板とカラー・フィルタ基板を固定する接着剤の役割を果たしている。また、シール113は、液晶を2つの基板の間に維持している。

【0010】図2を参照すると、TFT基板102上に、データ・ドライバ集積回路201から印加されるデータ信号を画素へ送信するための複数のデータ・ライン、およびゲート・ドライバ集積回路202から印加されるゲート信号を画素へ送信するための複数のゲート・ラインがある。データ・ラインおよびゲート・ラインは、直交状に形成されている。データ信号およびゲート信号が印加されるボンディング・パッド106（図1参照）は、データ・ラインおよびゲート・ラインの端部に形成されている。個々の画素は、データ・ラインとゲート・ラインの交点の近傍に配置されている。

【0011】ゲート・ドライバ集積回路202は、ライン毎に画素が選択されるように、複数のゲート・ラインにゲート信号を印加し、その選択されたライン内の画素にデータ信号が印加される。

【0012】TFT107（図1参照）は、スイッチング・デバイスとして使用され、個々の画素中に形成されている。ゲート信号がゲート・ラインを介してTFTのゲート電極に印加されると、TFTのソース電極とドレイン電極の間に導電チャネルが形成され、データ・ラインを介してTFTのドレイン電極に印加される印加データ信号が、その画素の光透過率を制御する。

【0013】ガラス基板101および102は絶縁体であるため、TFT-Arrayの製造プロセスの間に発生する静電気がガラス上に集中することになる。また、静電気は、様々な基板に加えられる様々な処理によっても発生する。このような静電気は、TFT-Arrayに対する静電放電損傷の原因となる。また、静電気は埃粒子をガラス基板に引き寄せ、TFT-Arrayおよびカラー・フィルタ・アレイの汚染の原因にもなっている。

【0014】静電気を少なくするために、TFT-LCDの製造に使用される製造設備および様々なプロセスを処理し、静電気を最少にすることもできるが、それでも、適切に設計されるTFT-Arrayは、静電放電に対する保護を組み込まなければならない。

【0015】TFT-Arrayに使用されるTFTデバイスは、相対エネルギー・レベルによってゲート絶縁膜が容易に破壊されるため、静電損傷を受けやすく、そのため、静電気は特に問題である。したがってTFT-Arrayを保護するためには、ゲート・ラインおよびデータ・ライン中への静電気の誘導を回避しなければならない。そのための方法の1つは、ゲート信号ラインとデータ信号ラインを電氣的に短絡させることである。例えばゲート・ラインと隣接するデータ・ラインとの間に

静電が発生する場合、その2本のラインを等電位にすることによって損傷を回避することができる。

【0016】ゲート・ラインとデータ・ラインを直接接続することは有効ではあるが、このような直接接続は、信号ラインの断線、すなわち欠陥TFTを決定するための電気試験を妨げることになる。また、動作試験を実施することができない。そのために、静電放電損傷から保護し、かつ、個々の画素の試験を可能にする防止回路が開発されている。この防止回路は、各ゲート・ラインとゲート短絡ラインの間、および各データ・ラインとデータ短絡ラインの間に設けられるエレメントからなっている。図3は、防止回路を示したものである。

【0017】図3には、基板102上の行方向に形成された複数のゲート・ライン(G1~G768)が示されている。また、図3には、基板102上の列方向に形成された複数のデータ・ライン(D1~D3072)が示されている。さらに、ゲート短絡ラインGSL、データ短絡ラインDSL、および共通電極を形成しているITO層が示されている。ゲート短絡ラインはゲート・ロー・レベル電圧(Vgl)を受け取り、データ短絡ラインは共通電圧(Vcom)を受け取っている。

【0018】また、図3には、複数のゲート・ラインESD防止ユニットGESD1~GESD768、およびGLESD1~GLESD768、および複数のデータ・ラインESD防止ユニットDESD1~DESD3072、およびDLESD1~DLESD3072が示されている。ゲート・ラインESD防止ユニットは、ゲート・ラインG1~G768の前端部をゲート短絡ラインGSLに接続し、データ・ラインESD防止ユニットは、データ・ラインD1~D3072の前端部をデータ短絡ラインDSLに接続している。また、ESD防止連結ユニットCESD1およびCESD2は、ゲート短絡ラインGSLをデータ短絡ラインDSLに接続している。最後に、ESD防止誘導ユニットIESD1およびIESD2は、データ・ラインESD防止ユニットDESD1~DESD3072をITOに接続している。

【0019】イメージが生成されている間、現在ドライブされているゲート・ラインを除くすべてのゲート・ラインにロー・レベル電圧Vglが印加される。現在ドライブされているラインは、ハイ・ゲート電圧を受け取り、そのラインに接続されているTFTをターン・オンさせる。したがってゲート・ライン電圧は、Vglであるかあるいはハイ・ゲート電圧であるかのいずれかである。図3に示す防止回路は、高(静的)電圧に対する保護であるため、ゲート短絡ラインGSLをゲート・ロー・レベル電圧Vglに接続することが有利である。それにより防止デバイス(GESD1~GESD768など)に、ハイ・ゲート電圧とVglの差(ハイ・ゲート電圧と接地の差ではなく)によるストレスがかかる。ESD防止ユニットの両端間に、雑音などの異常信号、あ

るいはロー・レベルの静電が発生すると、ESD防止ユニットは、隣接するゲート・ラインに導き、かつ、衝撃を与えることができる。あるいは、ゲート電圧Vglをゲート短絡ラインGSLに印加することにより、ESD防止ユニット(ハイ・レベル電圧を受け取っているESD防止ユニットを除く)の両端間の電圧が解消し、ESD防止ユニットの状態が安定する。また、データ短絡ラインDSLにVcomを印加することにより、DSLに接続されているESD防止ユニットが安定する。

【0020】以下、図3に示すESD防止回路の動作について説明する。まず、ゲート・ラインG1~G768の1本に高電圧静電が発生すると、ゲート・ラインG1~G768の前端部に取り付けられた関連するゲート・ラインESD防止ユニットGESD1~GESD768がターン・オンし、したがって、ゲート短絡ラインGSLおよび他のESD防止ユニット(双方向に作用する)により、静電はすべてのゲート・ラインに分散される。さらに、ゲート・ラインG1~G768の後端部に接続されたゲート・ラインESD防止ユニットGLESD1~GLESD768がターン・オンし、したがって、静電はゲート短絡ラインGSL(および、したがって他のゲート・ライン)に分散される。また、静電は、連結ESD防止ユニットCESD1およびCESD2によってデータ短絡ラインDSLに分散される。

【0021】連結ESD防止ユニットCESD1およびCESD2を通過した電荷は、次にデータ短絡ラインDSLを介して、誘導ESD防止ユニットIESD1を通過してデータ・ラインD1~D3072へ、データ防止ユニットDESD1~DESD3072を介して分散される。また、データ短絡ラインDSL上の電荷は、データ・ラインESD防止ユニットDLESD1~DLESD3072を通して、データ・ラインD1~D3072へ分散される。したがって上記のプロセスにより、ゲート・ライン上の電荷は、すべてのゲート・ラインおよびデータ・ラインに分散される。さらに、防止ユニットはすべて双方向性であるため、データ・ライン上の電荷は、すべてのゲート・ラインおよびデータ・ラインに分散される。

【0022】図3に示す防止スキームは、有用であることが証明されているが、問題のあることが分かっている。例えば、誘導ESD防止ユニットIESD1は、本質的にデータ・ラインESD防止ユニットDESD1~DESD3072を連結ESD防止ユニットCESD1に接続している。誘導ESD防止ユニットIESD1は内部抵抗を有している。また、実際には、連結ESD防止ユニットCESD1を通過する静電気発生電荷のほとんどが、Agドット114を介して上部基板(ITO)中に分散することが実験によって分かっている。これは、上部基板の静電荷に対する抵抗が、誘導ESD防止ユニットIESD1より小さいことによるものであると

されている。したがって静電気の分散が、最善の状態より小さく、そのために静電気による損傷の可能性が増加している。

【0023】したがって、改良型ESD防止が有利である。詳細には、データ・ラインへ、また、データ・ラインから静電電荷をより良好に分散させる改良型ESD防止回路が有利である。

【0024】

【発明が解決しようとする課題】したがって本発明の目的は、ゲート・ラインおよびデータ・ラインへ、また、ゲート・ラインおよびデータ・ラインから静電気をより有効に分散させる、TFT-LCDのための静電放電防止回路を提供することである。

【0025】

【課題を解決するための手段】本発明の目的による利点を達成するために、本明細書において具体化され、かつ、広く説明されているように、基板上に複数の交差ゲート・ラインおよびデータ・ラインを有するLCDのための静電放電防止回路が提供される。基板は、データ短絡ライン(DSL)と、ゲート短絡ライン(GSL)とをさらに備えている。基板は、ゲート短絡ラインをゲート・ラインに接続するための複数の第1のESD防止ユニットと、データ短絡ラインをデータ・ラインに接続するための複数の第2のESD防止ユニットと、ゲート短絡ラインをデータ短絡ラインに接続するための第3のESD防止ユニットと、第2の基板上に共通電極とをさらに備えている。防止回路は、共通電極を第3のESD防止ユニットに直接接続する第4のESD防止ユニットをさらに備えている。

【0026】本発明の前述およびその他の目的、特徴、状態様、および利点については、添付の図面に照らして行う、本発明についての以下の詳細な説明から、より明確になるであろう。

【0027】本発明をより深く理解することを目的とし、かつ、本明細書に組み込まれ、本明細書の一部を構成する添付の図面は、本発明の実施形態を示したもので、説明と共に本発明の原理を示している。

【0028】

【発明の実施の形態】次に、本発明の図解実施形態を詳細に参照することにする。添付の図面に本発明の実施例が示されている。

【0029】図4は、本発明の原理による薄膜トランジスタ液晶ディスプレイのためのESD防止回路を示す回路図である。便宜上、図1の参照番号が使用されている。

【0030】図に示すように、ESD防止回路は、複数のゲート・ラインG1~G768、およびゲート・ラインと交差するデータ・ラインD1~D3072を有する第1の基板を備えている。第1の基板は、ゲート・ローレベル電圧(Vgl)を受け取るゲート短絡ラインG

SL、および共通電圧(Vcom)を受け取るデータ短絡ラインDSLをさらに備えている。複数のゲート・ラインESD防止ユニットGESD1~GESD768は、ゲート・ライン(G1~G768)の前端部をゲート短絡ラインGSLに接続し、複数のゲート・ラインESD防止ユニットGLES D1~GLES D768は、ゲート・ライン(G1~G768)の後端部をゲート短絡ラインGSLに接続している。また、複数のデータ・ラインESD防止ユニットDESD1~DESD3072は、データ・ライン(D1~D3072)の前端部をデータ短絡ラインDSLに接続し、複数のデータ・ラインESD防止ユニットDLES D1~DLES D3072は、データ・ライン(D1~D3072)の後端部をデータ短絡ラインDSLに接続している。

【0031】さらに図4を参照すると、防止回路は、ゲート短絡ラインGSLをデータ短絡ラインDSLに接続する連結ESD防止ユニットCESD1およびCESD2をさらに備えている。また、共通電極ITOが第2の基板上に形成されている。共通電極ITOは、連結ESD防止ユニットCESD1およびCESD2に直接接続されている。さらに、誘導防止ユニットIESD1およびIESD2が、共通電極ITOを連結ESD防止ユニットCESD1およびCESD2に直接接続している。実際には、複数のシルバー・ドット114を使用して、第2の基板上にある共通電極と、第1の基板上にある連結ESD防止ユニットCESD1およびCESD2の間を接続している。

【0032】以下、図4に示す防止回路の動作を詳細に説明する。まず、ゲート・ライン上に高電圧静電気が存在すると、ゲート・ラインESD防止ユニット(ユニットGESD1~GESD768のうちの1つ、およびユニットGLES D1~GLES D768のうちの1つ)によって、ゲート短絡ラインGSL上に電荷が分散される。さらに、ゲート・ラインESD防止ユニット(GESD1~GESD768、およびGLES D1~GLES D768)によって、ゲート短絡ラインGSLからゲート・ラインG1~G768中に電荷が分散される。したがって静電気は、すべてのゲート・ライン中に分散される。

【0033】また、ゲート短絡ラインGSL上の静電気は、連結ESD防止ユニットCESD1およびCESD2によってデータ短絡ラインDSL上に分散される。次に、データ短絡ラインDSL上に分散した静電気は、データ・ラインESD防止ユニットDESD1~DESD3072、およびユニットDLES D1~DLES D3072を介して、データ・ラインD1~D3072中に分散される。さらに、連結ESD防止ユニットCESD1およびCESD2を介して分散した静電気は、共通電極ITO中に直接引き渡されるか、あるいは誘導防止ユニットIESDの1つを介して、共通電極ITO中に直

接引き渡される。

【0034】有利なことには、誘導 ESD 防止ユニット IESD1 が存在していないため、連結 ESD 防止ユニット CESD1 および CESD2 を通過した電荷は、そのままデータ・ライン ESD 防止ユニット (DES D1 ~ DES D3071、およびユニット DLES D1 ~ DLES D3072) に直接印加される。従来技術で使用されている誘導 ESD 防止ユニット IESD1 は、実際に ESD 防止の最大化を妨害し、静電気発生電荷を共通電極 ITO 中に導く傾向があることが実験で分かっている。

【0035】しかし、図 4 に示すように、誘導 ESD 防止ユニット IESD1 を使用することなく、非対称構造を用いることにより、静電気をより安定かつ効率的に分散させることができる。つまり、データ・ライン D1 ~ D3072 を通って分散する静電気の量を増やすことができる。

【0036】すべての防止ユニットが双方向性であるため、データ・ライン上に発生する静電気も、同様に共通電極 ITO、データ・ライン、およびゲート・ライン中

に分散される。

【0037】本発明に従って動作する TFT-LCD は、耐静電気損傷が改善される。図 5 は、ESD 防止ユニットの実施形態を示す回路図である。この ESD 防止ユニットは、TFT-Array と共に形成することができる TFT トランジスタからなっている。図に示すように、ESD 防止ユニットは、第 1 のゲート 603、第 1 のソース 604、および第 1 のドレイン 605 を有する第 1 のトランジスタ TR1 を備えている。第 1 のゲート 603 および第 1 のソース 604 は、第 1 のライン 601 に接続されている。ESD 防止ユニットは、第 1 のドレイン 605 に接続された第 2 のゲート 606、第 1 のライン 601 に接続された第 2 のソース 607、および第 2 のライン 602 に接続された第 2 のドレイン 608 を有する第 2 のトランジスタ TR2 をさらに備えている。ESD 防止ユニットは、第 1 のドレイン 605 および第 2 のゲート 606 に接続された第 3 のソース 609、それぞれ第 2 のライン 602 に接続された第 3 のゲート 610 および第 3 のドレイン 611 を有する第 3 のトランジスタ TR3 をさらに備えている。

【0038】第 1 のトランジスタ TR1 のしきい電圧より高い電圧が第 1 のライン 601 に印加される (例えば静電気などによって) と、第 1 のトランジスタ TR1 がターン・オンし、それにより第 2 のトランジスタ TR2 がターン・オンする。したがって、第 1 のライン 601 および第 2 のライン 602 が接続され、等電位が形成される。第 3 のトランジスタ TR3 のしきい電圧より高い\*

\*電圧が第 2 のライン 602 に印加される (例えば静電気などによって) と、第 3 のトランジスタ TR3 がターン・オンし、それにより第 2 のトランジスタ TR2 がターン・オンする。したがって、第 1 のライン 601 および第 2 のライン 602 が接続され、等電位が形成される。しかし、第 1 のトランジスタ TR1 および第 3 のトランジスタ TR3 の両方がターン・オンしない場合は、第 1 のライン 601 および第 2 のライン 602 は接続されない。

【0039】図 6 は、ESD 防止ユニットの他の実施形態を示す回路図である。図に示すように、ESD 防止ユニットは、第 1 のライン 701 と第 2 のライン 702 の間に、並列かつ互いに逆極性に接続されたダイオード D1 および D2 からなっている。ダイオードは、正常状態では動作しないが、ダイオードのしきい電圧より高い電圧が印加されると、第 1 のライン 701 と第 2 のライン 702 の間を電荷が流れる。

【0040】ESD 防止ユニットの 2 つの実施例を示したが、本発明の原理は、他の ESD 防止ユニットにもそのまま適用することができる。

【0041】本発明による TFT ディスプレイ装置は、印加される静電気を有効に分散させる ESD 防止回路を備えている。

【0042】本発明は、本発明の精神あるいは本質的な特徴を逸脱することなく、いくつかの形態で具体化することができるため、上で記述した実施形態は、他に特記なき場合、前述の説明の詳細に何ら制限されるものではなく、特許請求の範囲の各クレームの中で定義されている本発明の精神および範囲内において広義に解釈すべきものであり、したがって、各クレームの確立された限界の範疇であるすべての変更および改変、あるいはこのような確立された限界の等価物は、特許請求の範囲の各クレームに包含されるべきものであることを理解すべきである。

【図面の簡単な説明】

【図 1】薄膜トランジスタ液晶ディスプレイ (TFT-LCD) パネルの横断面図である。

【図 2】TFT-LCD の概略回路図である。

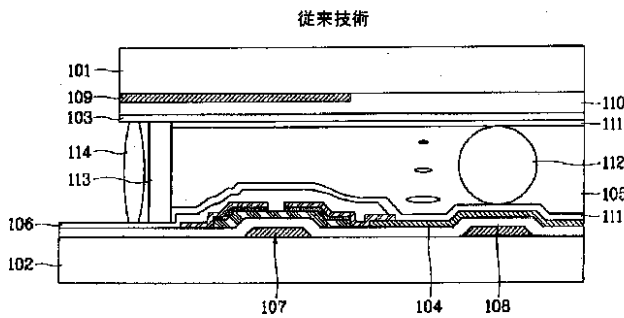
【図 3】従来技術による静電放電 (ESD) 防止を示す概略回路図である。

【図 4】本発明の原理による静電放電 (ESD) 防止を示す概略回路図である。

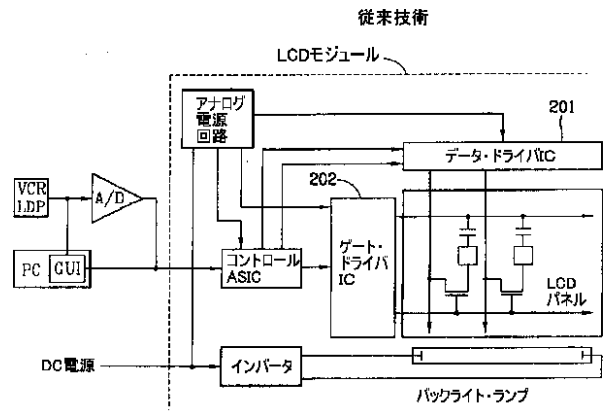
【図 5】図 4 に使用されている ESD 防止ユニットの実施形態を示す回路図である。

【図 6】図 4 に使用されている ESD 防止ユニットの他の実施形態を示す回路図である。

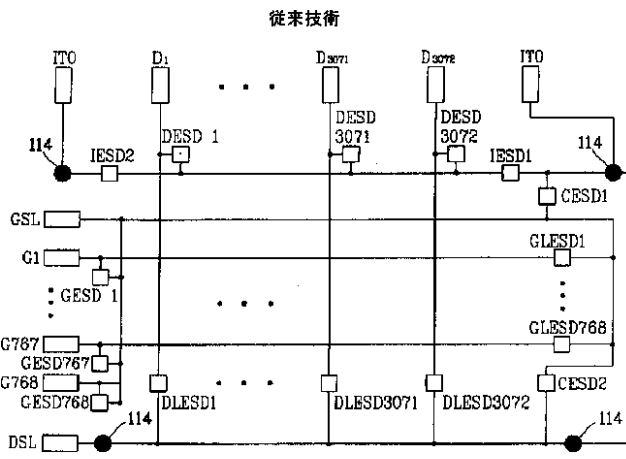
【図1】



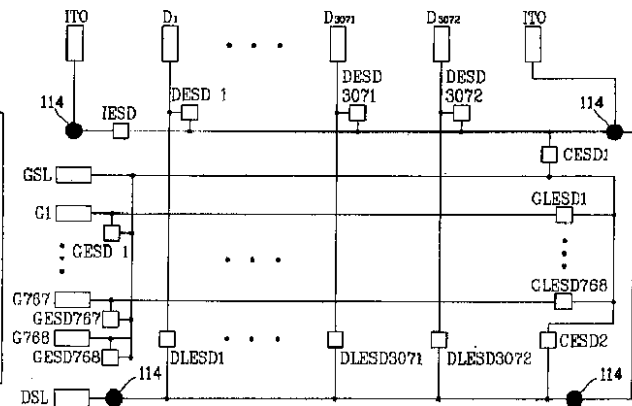
【図2】



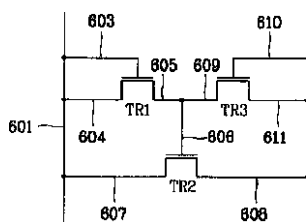
【図3】



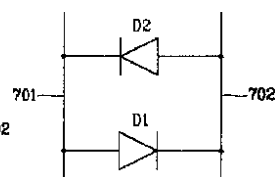
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 金 榮 九  
大韓民国 忠清北道 清州市 興徳區 社  
稷 1 洞 206 - 18

F ターム(参考) 2H092 JA01 JA24 JB79 NA14  
5F038 BH04 BH07 BH13 EZ20  
5F110 AA22 BB01 CC07 DD02 EE02  
GG02 GG15 HK07 NN73

专利名称(译)	液晶显示元件的静电放电防止电路及其防止方法		
公开(公告)号	<a href="#">JP2003107528A</a>	公开(公告)日	2003-04-09
申请号	JP2002190048	申请日	2002-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	李玄揆 金榮九		
发明人	李 ▼玄▲ 揆 金 榮 九		
IPC分类号	G02F1/1368 G02F1/1345 G02F1/1362 H01L21/822 H01L27/04 H01L27/06 H01L29/786		
CPC分类号	G02F1/136204		
FI分类号	G02F1/1368 G02F1/1345 H01L27/04.H H01L29/78.623.Z		
F-TERM分类号	2H092/JA01 2H092/JA24 2H092/JB79 2H092/NA14 5F038/BH04 5F038/BH07 5F038/BH13 5F038/EZ20 5F110/AA22 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE02 5F110/GG02 5F110/GG15 5F110/HK07 5F110/NN73 2H192/AA24 2H192/GA15		
优先权	1020010041251 2001-07-10 KR		
其他公开文献	JP4439163B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供一种用于TFT-LCD的防静电放电电路，该电路可以更有效地将静电分散至栅极线和数据线以及从栅极线和数据线中散出。用于液晶显示器的防静电放电电路。液晶显示器包括在第一基板上的多个相交的栅极线和数据线，数据短路线和栅极短路线。多个第一ESD保护单元将栅极短路线连接到栅极线，并且多个第二ESD保护单元将数据短路线连接到数据线。第三保护单元将栅极短路线连接到数据短路线。公共电极形成在第二基板上。第四ESD保护单元将公共电极直接连接到数据短路线。

