

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 91017

(P2003 - 91017A)

(43)公開日 平成15年3月28日(2003.3.28)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 8 9
1/133	510	1/133	2 H 0 9 1
	550		2 H 0 9 2
1/1333		1/1333	2 H 0 9 3
1/1335	505	1/1335	5 C 0 0 6

審査請求 未請求 請求項の数 8 O L (全 9 数) 最終頁に続く

(21)出願番号 特願2001 - 284805(P2001 - 284805)

(22)出願日 平成13年9月19日(2001.9.19)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 宮田 敬太郎

東京都八王子市石川町2951番地の5 カシオ

計算機株式会社八王子研究所内

(74)代理人 100073221

弁理士 花輪 義男

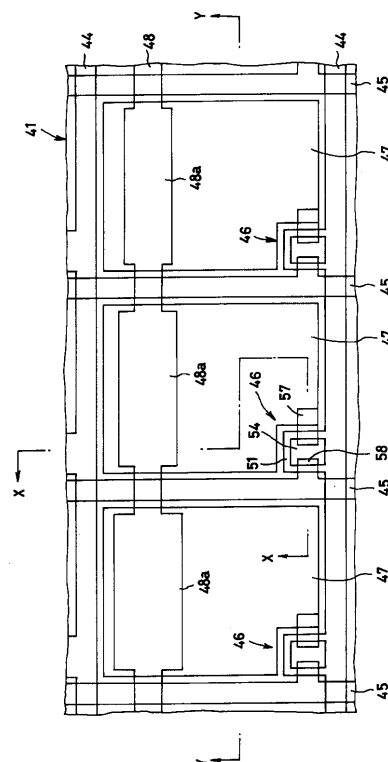
最終頁に続く

(54)【発明の名称】 カラー液晶表示装置

(57)【要約】

【課題】 マルチギャップ構造のカラー液晶表示装置において、R、G、Bの各画素のゲートパルスオフ時の画素電極電位のレベルシフト電圧 ΔV をほぼ同じとし、フリッカーを低減する。

【解決手段】 画素容量を C_{lc} とし、補助容量を C_s とし、寄生容量を C_{gs} とすると、ゲートパルスがオフするときに、画素電極電位にレベルシフト電圧 $\Delta V = (C_{gs}) / (C_{gs} + C_{lc} + C_s)$ が生じる。マルチギャップ構造の場合、各画素の画素容量 C_{lc} が異なる。そこで、各画素のレベルシフト電圧 ΔV をほぼ同じとするため、例えば補助容量 C_s を補正する。このため、R、G、Bの各画素の補助容量電極48R、48G、48Bの面積はこの順で小さくなっている。



【特許請求の範囲】

【請求項 1】 R、G、B の各画素のカラーフィルタ要素の厚さが異なることにより前記 R、G、B の各画素のギャップが相違するカラー液晶表示装置において、前記 R、G、B の各画素の画像信号取込終了時のレベルシフト電圧 ΔV をほぼ同じとするレベルシフト電圧補正手段を備えていることを特徴とするカラー液晶表示装置。

【請求項 2】 請求項 1 に記載の発明において、前記レベルシフト電圧補正手段は、前記 R、G、B の各画素のギャップの相違に対応して前記 R、G、B の各画素の補助容量が異なるものであることを特徴とするカラー液晶表示装置。

【請求項 3】 請求項 2 に記載の発明において、前記 R、G、B の各画素の補助容量電極の面積が異なるものであることを特徴とするカラー液晶表示装置。

【請求項 4】 請求項 2 に記載の発明において、前記 R、G、B の各画素の画素電極と走査線との重合面積が異なるものであることを特徴とするカラー液晶表示装置。

【請求項 5】 請求項 1 に記載の発明において、前記レベルシフト電圧補正手段は、前記 R、G、B の各画素のギャップの相違に対応して前記 R、G、B の各画素の画素容量が異なるものであることを特徴とするカラー液晶表示装置。

【請求項 6】 請求項 5 に記載の発明において、前記 R、G、B の各画素の画素電極の面積が異なるものであることを特徴とするカラー液晶表示装置。

【請求項 7】 請求項 1 に記載の発明において、前記レベルシフト電圧補正手段は、前記 R、G、B の各画素のギャップの相違に対応して前記 R、G、B の各画素の寄生容量が異なるものであることを特徴とするカラー液晶表示装置。

【請求項 8】 請求項 7 に記載の発明において、前記 R、G、B の各画素の薄膜トランジスタのチャネル幅が異なるものであることを特徴とするカラー液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はカラー液晶表示装置に関する。

【0002】

【従来の技術】図 8 は従来のカラー液晶表示装置の一例におけるアクティブ基板の一部の透過平面図を示し、図 9 は図 8 の X - X 線に沿う断面図を示し、図 10 は図 8 の Y - Y 線に沿う部分における対向基板を含む断面図を示したものである。

【0003】図 10 に示すように、このカラー液晶表示装置では、アクティブ基板 1 とこのアクティブ基板 1 の上方に位置する対向基板 2 とがほぼ方形枠状のシール材（図示せず）を介して貼り合わされ、シール材と両基板

1、2 との間に形成された空間に液晶 3 が封入されたものからなっている。

【0004】そして、図 8 に示すように、アクティブ基板 1 上には複数の走査線 4 および複数の信号線 5 がそれぞれ行方向および列方向に延びて設けられている。両線 4、5 の各交点近傍には、両線 4、5 に接続された薄膜トランジスタ 6 およびこの薄膜トランジスタ 6 によって駆動される画素電極 7 がマトリクス状に配置されている。また、画素電極 7 を挟んで走査線 4 とは反対側に補助容量線 8 が画素電極 7 と重ね合わされて行方向に延びて設けられている。

【0005】次に、薄膜トランジスタ 6 等の具体的な構造について、図 9 を参照して説明する。アクティブ基板 1 の上面（対向基板 2 との対向面）の所定の個所にはゲート電極 11 を含む走査線 4 が設けられ、他の所定の個所には補助容量線 8 が設けられ、その上面全体にはゲート絶縁膜 12 が設けられている。

【0006】ゲート絶縁膜 12 の上面の所定の個所には真性アモルファスシリコンからなる半導体薄膜 13 が設けられている。半導体薄膜 13 の上面ほぼ中央部にはチャネル保護膜 14 が設けられている。チャネル保護膜 14 の上面両側およびその両側における半導体薄膜 13 の上面には n 型アモルファスシリコンからなるコンタクト層 15、16 が設けられている。

【0007】一方のコンタクト層 15 の上面にはソース電極 17 が設けられている。他方のコンタクト層 16 の上面およびゲート絶縁膜 12 の上面の所定の箇所にはドレイン電極 18 を含む信号線 5 が設けられている。

【0008】そして、ゲート電極 11、ゲート絶縁膜 12、半導体薄膜 13、チャネル保護膜 14、コンタクト層 15、16、ソース電極 17 およびドレイン電極 18 により、薄膜トランジスタ 6 が構成されている。

【0009】薄膜トランジスタ 6 等を含むゲート絶縁膜 12 の上面全体には平坦化膜 19 が設けられている。平坦化膜 19 のソース電極 17 の所定の箇所に対応する部分にはコンタクトホール 20 が設けられている。平坦化膜 19 の上面の所定の個所には ITO からなる画素電極 7 が設けられている。画素電極 7 はコンタクトホール 20 を介してソース電極 17 に接続されている。

【0010】次に、対向基板 2 について、図 10 を参照して説明する。対向基板 2 の下面（アクティブ基板 1 との対向面）の各所定の個所にはブラックマトリクス 21 および R（赤）、G（緑）、B（青）のカラーフィルタ要素 22 R、22 G、22 B が設けられている。このうちカラーフィルタ要素 22 R、22 G、22 B は、対応する画素電極 7 に対向して設けられている。

【0011】ブラックマトリクス 21 およびカラーフィルタ要素 22 R、22 G、22 B の下面には ITO からなる共通電極 23 が設けられている。そして、画素電極 7 とこれに対向配置された共通電極 23 とその間の液晶

3 によって画素容量部が形成されている。この場合、画素電極 7 の面積は同じであるので、画素容量部の画素容量は同じである。

【0012】ここで、図 8 に示すように、補助容量線 8 のうちの画素電極 7 と重ね合わされた部分は補助容量電極 8 a となっている。そして、この重ね合わされた部分によって補助容量部が形成されている。この場合、補助容量電極 8 a の面積は同じであるので、補助容量部の補助容量は同じである。

【0013】ところで、カラーフィルタ要素 22 R、22 G、22 B の厚さは、R、G、B の波長別に液晶 3 の透過光強度が異なるため、これを補正する目的から、互いに異なっている。すなわち、カラーフィルタ要素 22 R、22 G、22 B の各厚さはこの順で厚くなっている。

【0014】一方、各カラーフィルタ要素 22 R、22 G、22 B に対応する各画素電極 7 は、平坦化膜 19 上に設けられているため、同一の平面上に配置されている。従って、R、G、B の各画素のギャップ d1、d2、d3 はこの順で小さくなっている。このような構造は、一般に、マルチギャップ構造と呼ばれている。

【0015】次に、図 11 は上記従来のカラー液晶表示装置の等価回路を示したものである。符号 31 は画素容量部、32 は補助容量部、33 は薄膜トランジスタ 6 のゲート電極 11 とソース電極 17 との間の寄生容量部を示す。この場合、画素容量部 31 の薄膜トランジスタ 6 に接続されない側の電極である共通電極 23 と、補助容量部 32 の薄膜トランジスタ 6 に接続されない側の電極である補助容量電極 8 a は、共通電源（電圧 V_{com} ）34 に接続されている。

【0016】次に、図 12 (a) は液晶 3 に印加される信号電圧の波形を示し、図 12 (b) は走査線 4 に印加される走査電圧（ゲートパルス）を示したものである。そして、画素容量部 31 の画素容量を C_{lc} とし、補助容量部 32 の補助容量を C_s とし、寄生容量部 33 の寄生容量を C_{gs} とすると、ゲートパルスがオフし、各画素の画像信号取込が終了した時点で、各画素電極電位 V_{sig} に次の式で求められるレベルシフト電圧 ΔV が生じる。

$$\Delta V = (C_{gs}) / (C_{gs} + C_{lc} + C_s)$$

【0017】このレベルシフト電圧 ΔV は、信号線 5 に印加される信号電圧の極性に関係なく、常に画素電極電位 V_{sig} を ΔV だけ下げることになる。そこで、共通電極 23 の電位 V_{com} を信号線 5 の中心電位 V_c に対してこのレベルシフト電圧 ΔV の分だけ低く設定すると、液晶 3 に印加される電圧が正負ほぼ対称な波形となり、フリッカーを防止することができる。

【0018】ところで、上述の如く、カラーフィルタ要素 22 R、22 G、22 B の各厚さがこの順で厚くなっているため、R、G、B の各画素のギャップ d1、d2、d3 がこの順で小さくなっている。また、画素容量 C_{lc} は $\varepsilon \cdot S / d$ (ε : 液晶誘電率、 S : 画素電極面積、 d : ギャップ) で表される。

2、d3 がこの順で小さくなっている。また、画素容量 C_{lc} は $\varepsilon \cdot S / d$ (ε : 液晶誘電率、 S : 画素電極面積、 d : ギャップ) で表される。

【0019】従って、画素容量 C_{lc} は、ギャップ d が小さくなるほど大きくなる。すなわち、R 画素の場合、ギャップ d_1 が最も大きく、画素容量 C_{lc} が最も小さくなるため、レベルシフト電圧 ΔV が最も大きくなる。一方、B 画素の場合、ギャップ d_3 が最も小さく、画素容量 C_{lc} が最も大きくなるため、レベルシフト電圧 ΔV が最も小さくなる。

【0020】

【発明が解決しようとする課題】このように、上記従来のカラー液晶表示装置では、R、G、B の各画素のレベルシフト電圧 ΔV がこの順で小さくなり、フリッカー発生の原因となってしまうという問題があった。この発明の課題は、R、G、B の各画素のレベルシフト電圧 ΔV をほぼ同じとすることである。

【0021】

【課題を解決するための手段】請求項 1 に記載の発明は、R、G、B の各画素のカラーフィルタ要素の厚さが異なることにより前記 R、G、B の各画素のギャップが相違するカラー液晶表示装置において、前記 R、G、B の各画素の画像信号取込終了時のレベルシフト電圧 ΔV をほぼ同じとするレベルシフト電圧補正手段を備えていることを特徴とするものである。請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記レベルシフト電圧補正手段は、前記 R、G、B の各画素のギャップの相違に対応して前記 R、G、B の各画素の補助容量が異なるものであることを特徴とするものである。請求項 3 に記載の発明は、請求項 2 に記載の発明において、前記 R、G、B の各画素の補助容量電極の面積が異なるものであることを特徴とするものである。請求項 4 に記載の発明は、請求項 2 に記載の発明において、前記 R、G、B の各画素の画素電極と走査線との重合面積が異なるものであることを特徴とするものである。請求項 5 に記載の発明は、請求項 1 に記載の発明において、前記レベルシフト電圧補正手段は、前記 R、G、B の各画素のギャップの相違に対応して前記 R、G、B の各画素の画素容量が異なるものであることを特徴とするものである。請求項 6 に記載の発明は、請求項 5 に記載の発明において、前記 R、G、B の各画素の画素電極の面積が異なるものであることを特徴とするものである。請求項 7 に記載の発明は、請求項 1 に記載の発明において、前記レベルシフト電圧補正手段は、前記 R、G、B の各画素のギャップの相違に対応して前記 R、G、B の各画素の寄生容量が異なるものであることを特徴とするものである。請求項 8 に記載の発明は、請求項 7 に記載の発明において、前記 R、G、B の各画素の薄膜トランジスタのチャネル幅が異なるものであることを特徴とするものである。そして、この発明によれば、R、G、B の各画素の

画像信号取込終了時の画素電極電位のレベルシフト電圧 ΔV をほぼ同じとするレベルシフト電圧補正手段を備えているので、R、G、Bの各画素のレベルシフト電圧 ΔV をほぼ同じとすることができる。

【0022】

【発明の実施の形態】図1はこの発明の第1実施形態としてのカラー液晶表示装置におけるアクティブ基板の一部の透過平面図を示し、図2は図1のX-X線に沿う断面図を示し、図3は図1のY-Y線に沿う部分における対向基板を含む断面図を示したものである。

【0023】図3に示すように、このカラー液晶表示装置では、アクティブ基板41とこのアクティブ基板41の上方に位置する対向基板42とがほぼ方形枠状のシール材（図示せず）を介して貼り合わされ、シール材と両基板41、42との間に形成された空間に液晶43が封入されたものからなっている。

【0024】そして、図1に示すように、アクティブ基板41上には複数の走査線44および複数の信号線45がそれぞれ行方向および列方向に延びて設けられている。両線44、45の各交点近傍には、両線44、45に接続された薄膜トランジスタ46およびこの薄膜トランジスタ46によって駆動される画素電極47がマトリクス状に配置されている。また、画素電極47を挟んで走査線44とは反対側に補助容量線48が画素電極47と重ね合わされて行方向に延びて設けられている。

【0025】次に、薄膜トランジスタ46等の具体的な構造について、図2を参照して説明する。アクティブ基板41の上面（対向基板42との対向面）の所定の個所にはゲート電極51を含む走査線44が設けられ、他の所定の個所には補助容量線48が設けられ、その上面全体にはゲート絶縁膜52が設けられている。

【0026】ゲート絶縁膜52の上面の所定の個所には真性アモルファスシリコンからなる半導体薄膜53が設けられている。半導体薄膜53の上面ほぼ中央部にはチャネル保護膜54が設けられている。チャネル保護膜54の上面両側およびその両側における半導体薄膜53の上面にはn型アモルファスシリコンからなるコンタクト層55、56が設けられている。

【0027】一方のコンタクト層55の上面にはソース電極57が設けられている。他方のコンタクト層56の上面およびゲート絶縁膜52の上面の所定の箇所にはドレイン電極58を含む信号線45が設けられている。

【0028】そして、ゲート電極51、ゲート絶縁膜52、半導体薄膜53、チャネル保護膜54、コンタクト層55、56、ソース電極57およびドレイン電極58により、薄膜トランジスタ46が構成されている。

【0029】薄膜トランジスタ46等を含むゲート絶縁膜52の上面全体には平坦化膜59が設けられている。平坦化膜59のソース電極57の所定の箇所に対応する部分にはコンタクトホール60が設けられている。平坦

化膜59の上面の所定の個所にはITOからなる画素電極47が設けられている。画素電極47はコンタクトホール60を介してソース電極57に接続されている。

【0030】次に、対向基板42について、図3を参照して説明する。対向基板42の下面（アクティブ基板41との対向面）の各所定の個所にはブラックマトリクス61およびR、G、Bのカラーフィルタ要素62R、62G、62Bが設けられている。このうちカラーフィルタ要素62R、62G、62Bは、対応する画素電極47に対向して設けられている。

【0031】ブラックマトリクス61およびカラーフィルタ要素62R、62G、62Bの下面にはITOからなる共通電極63が設けられている。そして、画素電極47とこれに対向配置された共通電極63とその間の液晶43とによって画素容量部が形成されている。この場合、画素電極37の面積は同じであるので、画素容量部の画素容量は同じである。

【0032】ここで、図1に示すように、補助容量線48のうちの画素電極47と重ね合わされた部分は補助容量電極48aとなっている。そして、この重ね合わされた部分によって補助容量部が形成されている。この場合、図3に示すカラーフィルタ要素62R、62G、62Bにそれぞれ対応する画素電極47と重ね合わされた補助容量電極48aの各面積は、この順で、その各線幅が小さくなっていることにより、小さくなっている。従って、補助容量部の補助容量はR、G、Bの順で小さくなっている。

【0033】ところで、カラーフィルタ要素62R、62G、62Bの厚さは、R、G、Bの波長別に液晶43の透過光強度が異なるため、これを補正する目的から、互いに異なっている。すなわち、カラーフィルタ要素62R、62G、62Bの各厚さはこの順で厚くなっている。

【0034】一方、各カラーフィルタ要素62R、62G、62Bに対応する各画素電極47は、平坦化膜59上に設けられているため、同一の平面上に配置されている。従って、R、G、Bの各画素のギャップd1、d2、d3はこの順で小さくなっている。

【0035】次に、図4はこのカラー液晶表示装置の等価回路を示したものである。符号71は画素容量部、72は補助容量部、73は薄膜トランジスタ46のゲート電極51とソース電極57との間の寄生容量部を示す。この場合、画素容量部31の薄膜トランジスタ46に接続されない側の電極である共通電極63と、補助容量部32の薄膜トランジスタ46に接続されない側の電極である補助容量電極48aは、共通電源（電圧Vcom）74に接続されている。

【0036】次に、図5（a）は液晶43に印加される電圧の波形を示し、図5（b）は走査線44に印加される走査電圧（ゲートパルス）を示したものである。そし

て、画素容量部 71 の画素容量を $C1c$ とし、補助容量部 72 の補助容量を Cs とし、寄生容量部 73 の寄生容量を Cgs とすると、ゲートパルスがオフし、各画素の画像信号取込が終了した時点で、画素電極電位 $Vsig$ に次の式で求められるレベルシフト電圧 ΔV が生じる。

$$\Delta V = (Cgs) / (Cgs + C1c + Cs)$$

【0037】このレベルシフト電圧 ΔV は、信号線 45 に印加される信号電圧の極性に関係なく、常に画素電極電位 $Vsig$ を ΔV だけ下げることになる。そこで、共通電極 63 の電位 $Vcom$ を信号線 45 の中心電位 Vc に対してこのレベルシフト電圧 ΔV の分だけ低く設定すると、液晶 43 に印加される電圧が正負ほぼ対称な波形となり、基本的には、フリッカーを防止することができる。

【0038】ところで、上述の如く、カラーフィルタ要素 62R、62G、62B の各厚さがこの順で厚くなっているため、R、G、B の各画素のギャップ $d1$ 、 $d2$ 、 $d3$ がこの順で小さくなっている。また、画素容量 $C1c$ は $\epsilon \cdot S / d$ (ϵ : 液晶誘電率、 S : 画素電極面積、 d : ギャップ) で表される。従って、画素容量 $C1c$ は、ギャップ d が小さくなるほど大きくなる。

【0039】一方、上述の如く、カラーフィルタ要素 62R、62G、62B にそれぞれ対応する画素電極 47 と重ね合わされた補助容量電極 48a の各面積はこの順で小さくなっている。従って、補助容量 Cs は、補助容量電極 48a の面積が小さくなるほど小さくなる。

【0040】そして、R、G、B の各画素の画素容量を $C1c1$ 、 $C1c2$ 、 $C1c3$ とすると、 $C1c1 < C1c2 < C1c3$ となる。また、R、G、B の各画素の補助容量を $Cs1$ 、 $Cs2$ 、 $Cs3$ とすると、 $Cs1 > Cs2 > Cs3$ となる。そこで、 $C1c1 + Cs1 = C1c2 + Cs2 = C1c3 + Cs3$ となるように、補助容量 Cs を補正すると、R、G、B の各画素のレベルシフト電圧 ΔV を同じとすることができる。従って、フリッカーを低減することができる。

【0041】次に、この発明の第 2 実施形態として、画素容量 $C1c$ を補正する場合について、図 6 を参照して説明する。図 6 では、R、G、B 用の画素電極 47 の各面積 $S1$ 、 $S2$ 、 $S3$ はこの順で小さくなっている。すなわち、R 用の画素電極 47 の右下角は切り欠かれていないが、G 用の画素電極 47 の右下角は小さく切り欠かれ、B 用の画素電極 47 の右下角はそれよりもやや大きく切り欠かれている。この場合、補助容量電極 48a の面積は同じとなっている。

【0042】そして、画素容量 $C1c$ は、 $\epsilon \cdot S / d$ で表されるので、ギャップ d が小さくなるほど大きくなるが、画素電極面積 S が小さくなるほど小さくなる。そこで、 $S1 / d1 = S2 / d2 = S3 / d3$ となるように、画素容量 $C1c$ を補正すると、R、G、B の各画素のレベルシフト電圧 ΔV を同じとすることができる。従

って、フリッカーを低減することができる。

【0043】次に、この発明の第 3 実施形態として、寄生容量 Cgs を補正する場合について、図 7 を参照して説明する。図 7 では、R、G、B 用の画素電極 47 と走査線 44 との各重合面積はこの順で大きくなっている。この場合、補助容量電極 48a の面積は同じとなっている。

【0044】そして、この場合の寄生容量 Cgs は、薄膜トランジスタ 46 のゲート電極 51 とソース電極 57 との間の寄生容量と、画素電極 47 と走査線 44 との重合部間の寄生容量との合計値となる。このうち、薄膜トランジスタ 46 のゲート電極 51 とソース電極 57 との間の寄生容量は、R、G、B の画素で同じである。一方、画素電極 47 と走査線 44 との重合部間の寄生容量は、その重合面積が R、G、B の順で大きくなっているため、R、G、B の順で大きくなっている。

【0045】そこで、レベルシフト電圧 $\Delta V = Cgs / (Cgs + C1c + Cs)$ であるから、画素容量 $C1c$ がギャップ $d1$ 、 $d2$ 、 $d3$ の違いにより異なっても、これを合計寄生容量 Cgs の違いにより補正すると、R、G、B の各画素のレベルシフト電圧 ΔV を同じとすることができる。従って、フリッカーを低減することができる。

【0046】次に、この発明の第 4 実施形態として、寄生容量 Cgs を別の方法で補正する場合について説明する。図示していないが、R、G、B 用の各画素電極にそれぞれ接続された各薄膜トランジスタのチャネル幅をこの順で大きくする。すなわち、R、G、B 用の各画素電極にそれぞれ接続された各薄膜トランジスタのソース電極のチャネル幅方向の長さをこの順で大きくする。

【0047】すると、この場合の R、G、B の各画素の寄生容量 Cgs はこの順で大きくなる。そこで、レベルシフト電圧 $\Delta V = Cgs / (Cgs + C1c + Cs)$ であるから、画素容量 $C1c$ がギャップ $d1$ 、 $d2$ 、 $d3$ の違いにより異なっても、これを寄生容量 Cgs の違いにより補正すると、R、G、B の各画素のレベルシフト電圧 ΔV を同じとすることができる。すなわち、R、G、B の各画素の画素容量を $C1c1$ 、 $C1c2$ 、 $C1c3$ とし、R、G、B の各画素の寄生容量 Cgs を $Cgs1$ 、 $Cgs2$ 、 $Cgs3$ とするとき、 $Cgs1 / (Cgs1 + C1c1 + Cs) = Cgs2 / (Cgs2 + C1c2 + Cs) = Cgs3 / (Cgs3 + C1c3 + Cs)$ とする。これにより、フリッカーを低減することができる。

【0048】なお、上記各実施形態では、カラーフィルタ要素の透過率が R、G、B の順に大きい場合とし、カラーフィルタ要素 R、G、B の各厚さはこの順で厚くなっている例で説明したが、この発明は、カラーフィルタ要素 R、G、B の各厚さが上記とは異なる順序で厚くなる場合にも適用可能である。また、上記実施形態 1 ~ 4

は、上述の如く、それぞれ、単独の形態を適用してもよいが、上記各実施形態 1 ~ 4 を適宜に組合わせて適用してもよい。この場合の組合わせは、いずれか 2 つの実施形態の組合わせであってもよく、またいずれか 3 つの実施形態の組合わせであってもよく、さらに全部の実施形態の組合わせであってもよい。

【0049】

【発明の効果】以上説明したように、この発明によれば、R、G、Bの各画素の画像信号取込終了時の画素電極電位のレベルシフト電圧 ΔV をほぼ同じとするレベルシフト電圧補正手段を備えているので、R、G、Bの各画素のレベルシフト電圧 ΔV をほぼ同じとすることができ、従ってフリッカーを低減することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 実施形態としてのカラー液晶表示装置におけるアクティブ基板の一部の透過平面図。

【図 2】図 1 の X - X 線に沿う断面図。

【図 3】図 1 の Y - Y 線に沿う部分における対向基板を含む断面図。

【図 4】上記第 1 実施形態のカラー液晶表示装置の等価回路を示す図。

【図 5】上記第 1 実施形態のカラー液晶表示装置の液晶に印加される電圧の波形等を示す図。

【図 6】この発明の第 2 実施形態としてのカラー液晶表*

*示装置におけるアクティブ基板の一部の透過平面図。

【図 7】この発明の第 3 実施形態としてのカラー液晶表示装置におけるアクティブ基板の一部の透過平面図。

【図 8】従来のカラー液晶表示装置の一例におけるアクティブ基板の一部の透過平面図。

【図 9】図 8 の X - X 線に沿う断面図。

【図 10】図 8 の Y - Y 線に沿う部分における対向基板を含む断面図。

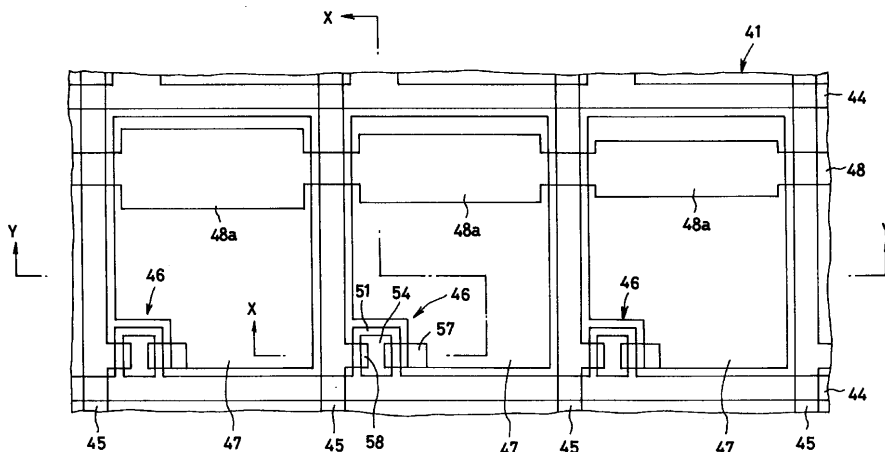
【図 11】上記従来のカラー液晶表示装置の等価回路を示す図。

【図 12】上記従来のカラー液晶表示装置の液晶に印加される電圧の波形等を示す図。

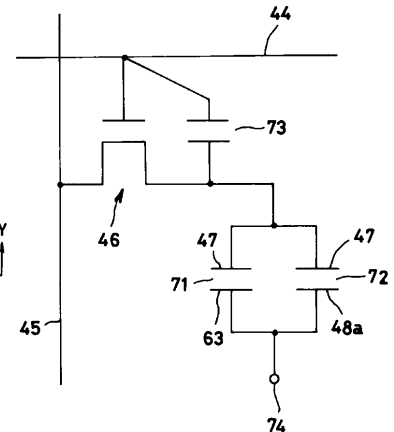
【符号の説明】

- 41 アクティブ基板
- 42 対向基板
- 43 液晶
- 44 走査線
- 45 信号線
- 46 薄膜トランジスタ
- 47 画素電極
- 48 補助容量線
- 48a 補助容量電極
- 62R、62G、62B カラーフィルタ要素
- 63 共通電極

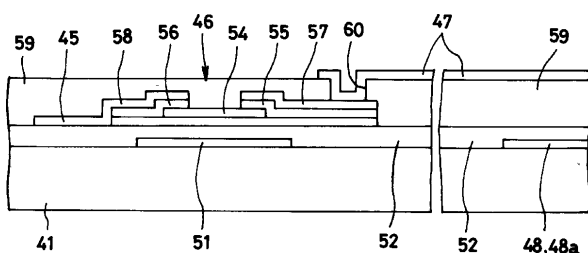
【図 1】



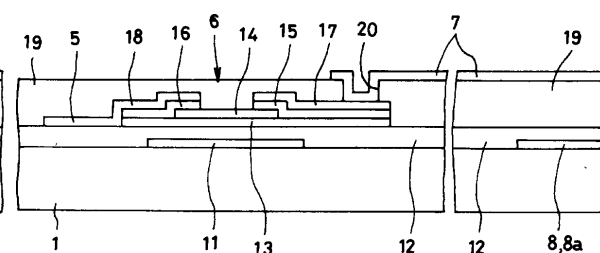
【図 4】



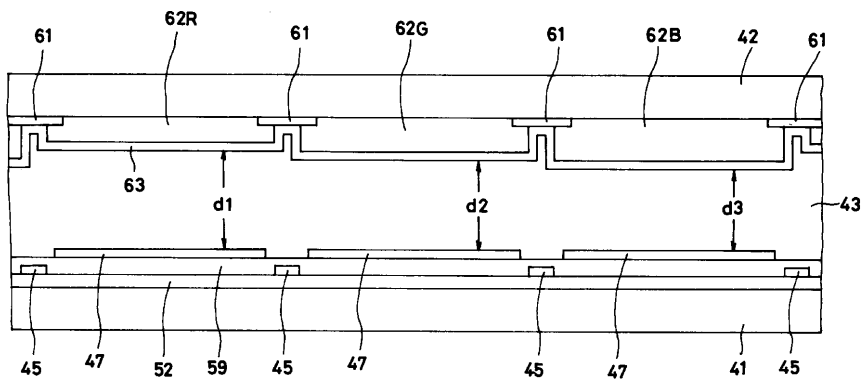
【図 2】



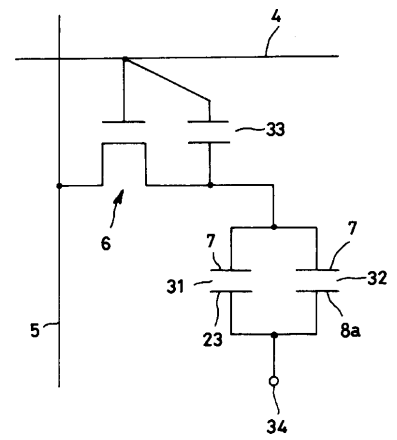
【図 9】



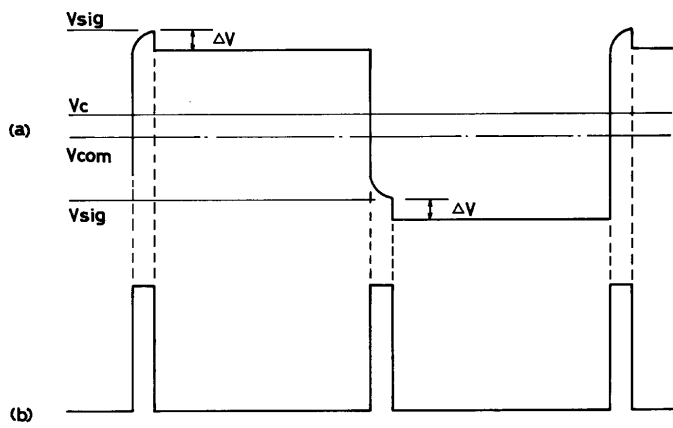
【図 3】



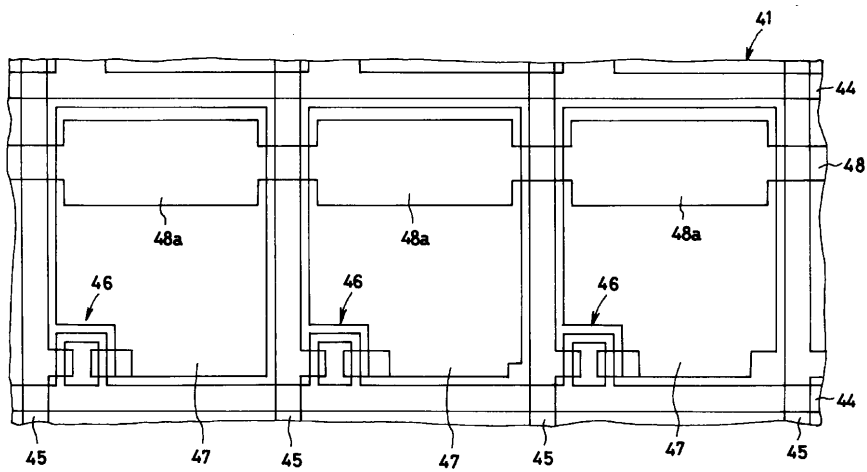
【図 11】



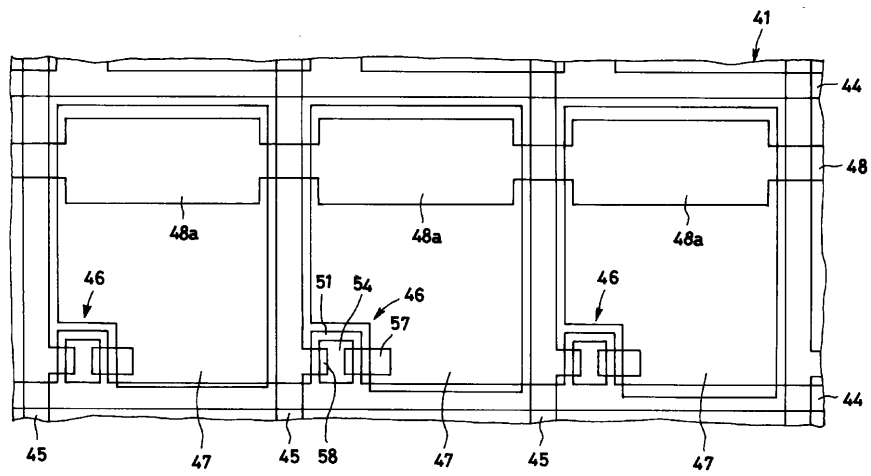
【図 5】



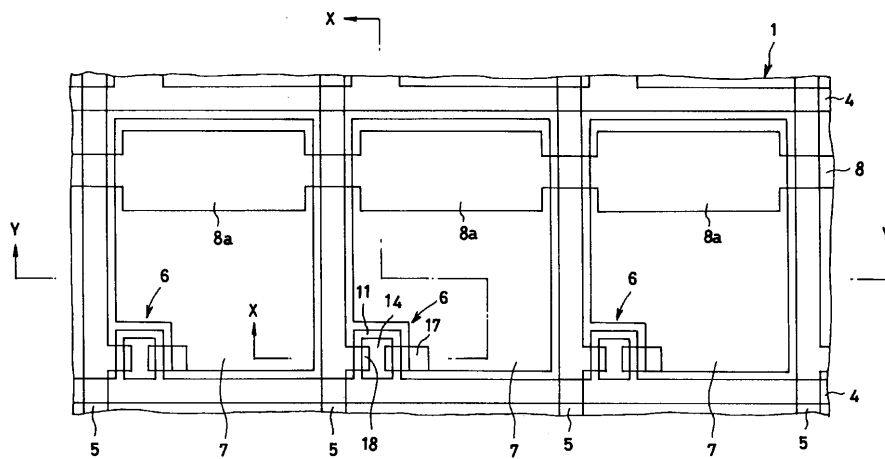
【図 6】



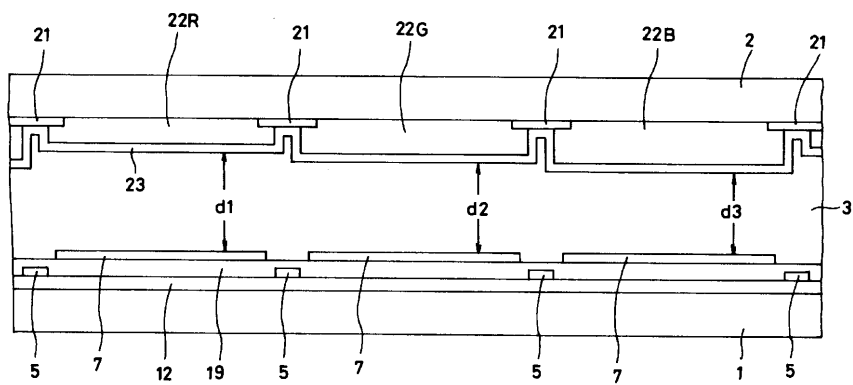
【図 7】



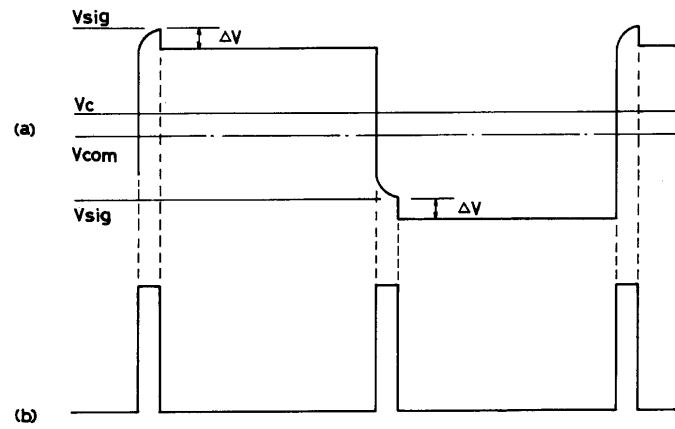
【図 8】



【図 10】



【図 12】



フロントページの続き

(51)Int.Cl. ⁷		識別記号	F I	テ-マコ-ト ⁸ (参考)	
G 0 9 F	9/30	3 3 8	G 0 9 F	9/30	3 3 8
		3 4 9			3 4 9 B
	9/35			9/35	
G 0 9 G	3/20	6 1 1	G 0 9 G	3/20	6 1 1 E
		6 2 3			6 2 3 B
		6 2 4			6 2 4 B
	3/36			3/36	

F タ-ム(参考)

2H089 HA07 QA16 TA09 TA12
 2H091 FA02Y GA13 LA15 LA30
 2H092 GA12 JA26 JA32 JB61 NA01
 PA06 PA08
 2H093 NA16 NA61 ND10 NE06 NH01
 NH05
 5C006 AA22 AC21 AF46 AF50 BB16
 BC06 BC16 FA23
 5C080 AA10 BB05 CC03 DD06 FF11
 JJ03 JJ04 JJ06
 5C094 AA04 AA07 AA08 AA13 AA48
 AA53 AA55 AA56 BA03 BA43
 CA19 CA24 DA13 DB01 DB04
 DB10 EA04 EB02 ED03 FA01
 FA02 FB12 FB15 GA10

专利名称(译)	彩色液晶显示装置		
公开(公告)号	JP2003091017A	公开(公告)日	2003-03-28
申请号	JP2001284805	申请日	2001-09-19
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	宫田敬太郎		
发明人	宫田 敬太郎		
IPC分类号	G02F1/1333 G02F1/133 G02F1/1335 G02F1/1368 G09F9/30 G09F9/35 G09G3/20 G09G3/36		
FI分类号	G02F1/1368 G02F1/133.510 G02F1/133.550 G02F1/1333 G02F1/1335.505 G09F9/30.338 G09F9/30.349.B G09F9/35 G09G3/20.611.E G09G3/20.623.B G09G3/20.624.B G09G3/36		
F-TERM分类号	2H089/HA07 2H089/QA16 2H089/TA09 2H089/TA12 2H091/FA02Y 2H091/GA13 2H091/LA15 2H091/LA30 2H092/GA12 2H092/JA26 2H092/JA32 2H092/JB61 2H092/NA01 2H092/PA06 2H092/PA08 2H093/NA16 2H093/NA61 2H093/ND10 2H093/NE06 2H093/NH01 2H093/NH05 5C006/AA22 5C006/AC21 5C006/AF46 5C006/AF50 5C006/BB16 5C006/BC06 5C006/BC16 5C006/FA23 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA04 5C094/AA07 5C094/AA08 5C094/AA13 5C094/AA48 5C094/AA53 5C094/AA55 5C094/AA56 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA13 5C094/DB01 5C094/DB04 5C094/DB10 5C094/EA04 5C094/EB02 5C094/ED03 5C094/FA01 5C094/FA02 5C094/FB12 5C094/FB15 5C094/GA10 2H091/JA03 2H189/AA07 2H189/HA16 2H189/LA10 2H189/LA14 2H191/FA02Y 2H191/GA19 2H191/JA03 2H191/LA19 2H191/LA40 2H192/AA24 2H192/AA43 2H192/AA44 2H192/AA45 2H192/AA46 2H192/BC31 2H192/CB05 2H192/CB71 2H192/DA12 2H192/DA73 2H192/EA22 2H192/EA43 2H192/EA67 2H193/ZA04 2H193/ZA07 2H193/ZB06 2H193/ZH43 2H291/FA02Y 2H291/GA19 2H291/JA03 2H291/LA19 2H291/LA40		
外部链接	Espacenet		

摘要(译)

解决的问题：通过在R，G和B的每个像素的栅极脉冲截止时使像素电极电位的电平移位电压 ΔV ，来减少具有多间隙结构的彩色液晶显示装置中的闪烁。当像素电容为 C_{lc} ，辅助电容为 C_s ，并且寄生电容为 C_{gs} 时，在关闭栅极脉冲时，将电平移位电压 $\Delta V = (C_{gs}) / (C_{gs} + C_{lc} + C_s)$ 施加到像素电极电势。)发生。在多间隙结构的情况下，每个像素的像素电容 C_{lc} 是不同的。因此，为了使每个像素的电平移位电压 ΔV 基本相同，例如，辅助电容 C_s 被校正。因此，R，G和B像素的辅助电容电极48R，48G和48B的面积以该顺序减小。

