

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 365665

(P2002 - 365665A)

(43)公開日 平成14年12月18日(2002.12.18)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
G 0 9 F 9/30	338	G 0 9 F 9/30	5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78	612 C 5 F 1 1 0

審査請求 未請求 請求項の数 7 O L (全 8 数)

(21)出願番号 特願2001 - 173578(P2001 - 173578)

(22)出願日 平成13年6月8日(2001.6.8)

(71)出願人 000181284

鹿児島日本電気株式会社

鹿児島県出水市大野原町2080

(72)発明者 石野 隆行

鹿児島県出水市大野原町2080 鹿児島日本
電気株式会社内

(74)代理人 100081433

弁理士 鈴木 章夫

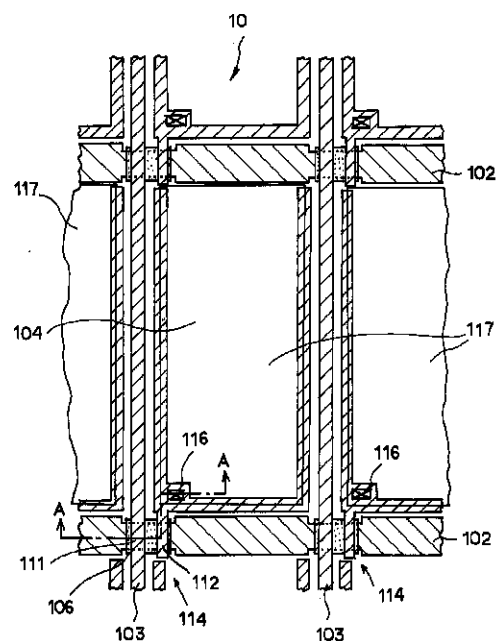
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置及びその製造方法

(57)【要約】 (修正有)

【課題】 画素サイズを微細化しても開口率を向上するとともに製造工程が煩雑化することを防止したアクティブマトリクス型表示装置及びその製造方法を提供。

【解決手段】 透明基板 1 0 1 上に一方向に延設された複数本の走査線 1 0 2 と、走査線と直交する方向に延設された複数本の信号線 1 0 3 と、走査線と信号線とで囲まれる画素領域 1 0 4 に配設された透明電極 1 1 7 と、透明電極に対応して設けられた T F T 素子 1 1 4 とを備えるアクティブマトリクス型液晶表示装置において、T F T 素子は走査線と信号線との交差領域内に配設されるとともに、T F T 素子を構成しているソース電極 1 1 2 とドレイン電極 1 1 1 は信号線と同一層の導電膜で形成される。T F T 素子を走査線と信号線の交差領域に配置することで画素領域の面積を拡大して開口率を向上する。ドレイン電極とソース電極を信号線と同時に形成するため、フォトリソグラフィ工程が増大しない。



1 0 : T F T 基板	1 1 1 ドレイン電極
1 0 2 走査線	1 1 2 ソース電極
1 0 3 信号線	1 1 4 T F T 素子
1 0 4 画素領域	1 1 6 コンタクトホール
1 0 6 アイランド	1 1 7 透明電極

【特許請求の範囲】

【請求項 1】 透明基板上に一方方向に延設された複数本の走査線と、前記走査線と直交する方向に延設された複数本の信号線と、前記走査線と信号線とで囲まれる画素領域に配設された透明電極と、前記透明電極に対応して設けられた薄膜トランジスタとを備えるアクティブマトリクス型液晶表示装置において、前記薄膜トランジスタは前記走査線と信号線との交差領域内に配設されるとともに、前記薄膜トランジスタを構成しているソース電極とドレイン電極は前記信号線と同一層の導電膜で形成さ

れていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】 前記薄膜トランジスタは、前記走査線と前記信号線とが交差する領域において前記走査線上に形成されたゲート絶縁膜及び半導体層からなるアイランドと、前記アイランド上にわたって延長される前記信号線の一部で構成されるドレイン電極と、前記信号線と同一層の導電膜で形成されて前記ドレイン電極とは微細な間隙を保って前記アイランド上に延長されるソース電極とを備えることを特徴とする請求項 1 に記載のアクティブ

マトリクス型液晶表示装置。

【請求項 3】 前記ソース電極は前記透明電極の周辺に沿って延長される遮光部を備えており、前記遮光部の長さ方向の一部に前記透明電極とのコンタクトホールを備えていることを特徴とする請求項 1 または 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 4】 前記遮光部の長さ方向の一部の幅寸法を拡大した拡幅部を備えており、前記拡幅部に前記コンタクトホールを配設していることを特徴とする請求項 3 に記載のアクティブマトリクス型液晶表示装置。

【請求項 5】 前記遮光部の長さ方向の幅寸法はほぼ均等であり、当該長さ方向の一部に前記コンタクトホールを配設していることを特徴とする請求項 3 に記載のアクティブマトリクス型液晶表示装置。

【請求項 6】 透明基板上に一方方向に延びる複数本の走査線を形成する工程と、後工程で形成される信号線との交差領域にゲート絶縁膜、半導体層、オーミック層を積層したアイランドを形成する工程と、前記アイランド上の領域をドレイン電極として前記走査線と直交する方向に延びる複数の信号線を形成すると同時に、前記アイランド上において前記ドレイン電極と微細な間隙を有して対峙されるソース電極を形成する工程と、全面に層間絶縁膜を形成しかつ前記ソース電極の一部を露呈するコンタクトホールを開口する工程と、前記走査線と信号線とで囲まれる画素領域に透明電極を形成しかつ前記コンタクトホールにより前記ソース電極に電気接続する工程とを含むことを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項 7】 前記ドレイン電極を含む信号線及びソース電極は、全面に導電膜を成膜した後、1 回のフォトリ

ソグラフィ工程で同時に形成することを特徴とする請求項 6 に記載のアクティブマトリクス型液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型液晶表示装置に関し、特に開口率を向上して高い輝度での表示を可能にするとともに、製造工程が煩雑化することがないアクティブマトリクス型液晶表示装置及びその製造方法に関するものである。

【0002】

【従来の技術】アクティブマトリクス型液晶表示装置において、高い輝度での表示を行うために、通常、透過型の液晶表示装置等ではバックライト輝度を上げるという手法が採用されている。しかしながら、この手法では、多くの電力を使用して輝度を調節するようになっているため、多くの電力を消費することとなり、表示装置において重要な要素の一つとなっている省電力に関して十分とは言えない。また輝度を向上させるために、透過型の液晶表示装置では透過率を向上させるという手法が採用されている。しかしながら、この手法は、透過率低下に寄与するカラーフィルターの透過率を向上させることに等しく、透過率の向上を実現するためにはカラーフィルター膜中の顔料含有率を減少させたり、顔料含有率はそのまま膜厚を薄くするなどが行われているが、色度に変化するため、バックライト等の色調整が必要となり、材料に対する負荷が非常に大きい。このような理由から、パネル透過率の向上には、TFT 基板における開口部の開口率を向上させることが中心に行われ、配線幅、トランジスタサイズを小さくするなどして開口部の画素表示面積を向上させるという手法が採用されている。

【0003】すなわち、図 9 は従来の透過型の液晶表示装置の薄膜トランジスタ (TFT) 基板におけるレイアウト図であり、透明基板上に走査線 (ゲートライン) 502 と信号線 (ドレインライン) 503 とが直交してマトリクス配置されており、これら走査線 502 と信号線 503 とで囲まれる領域を画素領域 504 とする。この画素領域 504 内の一隅部において走査線 502 の一部でゲート電極 505 を形成し、その上に半導体層からなるアイランド 506 を形成し、その上にドレイン電極 511 とソース電極 512 を形成して TFT 素子 514 を形成する。ソース電極 512 はコンタクトホール 516 により画素領域 504 内に設けた透明電極 (ITO) 517 に接続し、ドレイン電極 511 は信号線 503 と一体に形成している。そして、図外の対向電極に設けたブラックマトリクス (BM) によって前記走査線 502、信号線 503 及び TFT 素子 514 の領域を覆い、BM 以外の領域を開口部とする。

【0004】ここで、同図に鎖線 X で示すように前記 TFT 基板において理論的に区画される画素領域を最大開

口領域とし、同図に鎖線 Y で示すように実際に透明電極 517 によって表示を行う領域を開口部とすると、液晶表示装置の開口率は、最大開口領域 X に対する開口部 Y の占める面積割合で定義することができる。したがって、表示する画素領域のサイズを変えずに開口率を大きくするためには、BM によって遮光される走査線や信号線等の配線の配線幅を小さくすることが考えられるが、これでは配線抵抗が大きくなり、液晶表示動作の高速化を図る上で好ましくない。また、画素サイズを変えずに TFT 素子やコンタクトホールを小さくした場合 10 には、TFT 素子の特性が変化してしまい、好適な表示を行うことが難しくなる。このため、単純に配線や TFT 素子のサイズを小さくして開口率を増大することが難しいという問題がある。

【0005】一方、高精細化に伴って画素サイズが小さくなると、最大開口領域に対する配線や TFT 素子の占める割合が大きくなり、開口率への影響が大きくなる。すなわち、高精細化されることは最大開口領域 X がより小さくなることと同義である。ところが、配線や TFT 素子等が占める面積は既に縮小の限界にまで近づいてい 20 ため、結果として開口部 Y の面積だけが小さくなり、最大開口領域 X に対する開口部 Y の占める割合である開口率が減少することになる。この場合においても、高精細化つまり最大開口領域 X の小面積化に伴い、配線や TFT 素子、さらにコンタクトホールのサイズを小さくすれば開口率は同等となるが、配線抵抗、トランジスタ性能等の特性に影響を与えるのは前述の通りである。

【0006】このような開口率を改善するものとして、特開平 8 - 262495 号公報に記載の技術がある。この技術は、走査線（ゲートライン）と信号線（ドレイン 30 ライン）との交差領域内に TFT 素子を配列した技術であり、このようにすることで、最大開口部内に TFT 素子を配置する必要がなくなり、開口率を向上することが可能である。しかしながら、この公報の技術は、信号線と交差する領域の走査線上にアモルファスシリコン等の半導体層を形成し、この半導体層上にソース電極とドレイン電極を形成して TFT 素子を形成した後、TFT 素子を覆うように信号線を形成し、当該信号線にドレイン電極を電気接続した構成がとられている。そのため、ソ 40 ース電極及びドレイン電極を形成するためのフォトリソグラフィ工程と、信号線を形成するためのフォトリソグラフィ工程とで 2 つの工程が必要であり、従来のようにソース電極及びドレイン電極と同時に信号線を製造していた工程に比較してフォトリソグラフィ工程が一つ増えてしまい、製造工程の煩雑化を生じる原因になっている。

【0007】本発明の主な目的の一つは、アクティブマトリクス型表示装置において開口率を向上するとともに製造工程が煩雑化することを防止したアクティブマトリクス型表示装置及びその製造方法を提供することにあ 50

る。

【0008】

【課題を解決するための手段】本発明は、透明基板上に一方方向に延設された複数本の走査線と、走査線と直交する方向に延設された複数本の信号線と、走査線と信号線とで囲まれる画素領域に配設された透明電極と、透明電極に対応して設けられた TFT 素子とを備えるアクティブマトリクス型液晶表示装置において、TFT 素子は走査線と信号線との交差領域内に配設されるとともに、TFT 素子を構成しているソース電極とドレイン電極は信号線と同一層の導電膜で形成されていることを特徴とする。特に、TFT 素子は、走査線と信号線とが交差する領域において走査線上に形成されたゲート絶縁膜及び半導体層からなるアイランドと、アイランド上にわたって延長される信号線の一部で構成されるドレイン電極と、信号線と同一層の導電膜で形成されてドレイン電極とは微細な間隙を保持してアイランド上に延長されるソース電極とを備える。

【0009】ここで、本発明においては、ソース電極は透明電極の周辺に沿って延長される遮光部を備えており、遮光部の長さ方向の一部に透明電極とのコンタクトホールを備えている構成とする。この場合、遮光部の長さ方向の一部の幅寸法を拡大した拡幅部を備え、この拡幅部にコンタクトホールを配設している構成とする。あるいは長さ方向の一部の幅寸法を拡大することなく均等な幅寸法の部分にコンタクトホールを配設してもよい。

【0010】本発明の液晶表示装置の製造方法は、透明基板上に一方方向に延びる複数本の走査線を形成する工程と、後工程で形成される信号線との交差領域にゲート絶縁膜、半導体層、オーミック層を積層したアイランドを形成する工程と、アイランド上の領域をドレイン電極として走査線と直交する方向に延びる複数の信号線を形成すると同時に、アイランド上においてドレイン電極と微細な間隙を有して対峙されるソース電極を形成する工程と、全面に層間絶縁膜を形成しかつソース電極の一部を露呈するコンタクトホールを開口する工程と、走査線と信号線とで囲まれる画素領域に透明電極を形成しかつ当該透明電極をコンタクトホールによりソース電極に電気接続する工程とを含むことを特徴とする。特に、ドレイン電極を含む信号線及びソース電極は、全面に導電膜を成膜した後、1 回のフォトリソグラフィ工程で同時に形成することを特徴としている。

【0011】本発明によれば、TFT 素子のアイランドは走査線と信号線とが交差される領域内に形成されるため、TFT 素子が走査線と信号線とで囲まれる画素領域内に配設されることはなく、画素領域にはソース電極と透明電極とを電気接続するためのコンタクトホールが配置されるのみであり、画素領域の面積、すなわち透明電極の面積が TFT 素子によって低減されることが防止され、開口率を向上することが可能になる。

【0012】また、本発明によれば、ドレイン電極としての信号線とソース電極とを同一の導電膜に対する一つのフォトリソグラフィ工程で同時に形成することが可能であり、従来技術として示した前記公報の技術のソース電極及びドレイン電極とは別の工程で信号線を形成する技術に比較してフォトリソグラフィ工程を1工程だけ低減することが可能であり、製造工程の簡略化が実現できる。

【0013】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の一実施形態としてのTFT基板10のレイアウト図であり、図2は当該TFT基板10を用いて構成したアクティブマトリクス基板、すなわち液晶表示装置1の図1のAA線に対応する箇所の概略断面図である。TFT基板10において、透明なガラス板101の表面には行方向に沿ってTi等の金属膜からなる複数本の走査線（ゲートライン）102が所要の間隔で配列形成されている。また、前記走査線102と直交する列方向に沿ってCr等の金属膜からなる複数の信号線（ドレインライン）103が所要の間隔で配列形成されており、これら走査線102と信号線103とで囲まれた矩形の領域がそれぞれ画素領域104として区画されている。

【0014】図3に要部の拡大図を、図4に図3のBB線断面図をそれぞれ示すように、前記走査線102と信号線103とが交差する領域では、前記走査線102の幅は部分的に若干細くされてゲート電極105として構成され、このゲート電極105の領域上において当該幅寸法よりも若干幅広にゲート絶縁膜107とアモルファスシリコン108及びオーミック層109が積層された所要パターンのアイランド106が形成されている。すなわち、走査線102上にゲート絶縁膜107とアモルファスシリコン108が積層され、さらにこのアモルファスシリコン108上に n^+ アモルファスシリコンからなるソース、ドレインの各オーミック層109が微小間隔において対峙した状態に形成されている。そして、一方のオーミック層109上に前記信号線103が延長配置されてドレイン電極111として構成され、他方のオーミック層109上にはソース電極112が延長配置され、これら全体が層間絶縁膜113で被覆され、これによりTFT素子114が形成されている。前記ソース電極112はドレイン電極111、すなわち信号線103と同層の金属膜で形成されており、その他端部は前記画素領域104に沿ってコの字型に延長された遮光部115として構成され、また前記層間絶縁膜113の一部に設けられたコンタクトホール116において、前記画素領域104に設けられた透明電極（ITO）117に電気接続されている。その上で、全面に配向膜118が形成され、前記TFT基板10が形成されている。

【0015】また、図2に示したように、前記TFT基

板10に対向される対向基板20には、透明なガラス板201の表面上にカラーフィルタ202、ブラックマトリクス203、配向膜204が形成されており、図外のスペーサにより前記TFT基板10と対向基板20との間に微小の間隙が構成され、当該間隙内に液晶30が充填される。さらに、前記TFT基板10と対向基板20の各表面には偏光板119、205が配設されており、これによりアクティブマトリクス型液晶表示装置1が構成されている。

【0016】以上のアクティブマトリクス基板のうち、TFT基板10の製造方法について説明する。図5は図4に対応する箇所の断面工程図である。まず、図5(a)のように、透明なガラス板101上にTiをスパッタ法により成膜し、第1のフォトリソグラフィ工程により選択エッチングを行って走査線（ゲートライン）102を形成する。

【0017】次いで、図5(b)のように、ゲート絶縁膜107としてのSiN膜、アモルファスシリコン膜108、 n^+ アモルファスシリコン膜109を順次CVD法により成膜した後、第2のフォトリソグラフィ工程により選択エッチングを行ってTFT素子のアイランド106を形成する。さらに、第3のフォトリソグラフィ工程により n^+ アモルファスシリコン膜109を選択エッチングし、ソース・ドレインの各オーミック層を形成する。なお、第2のフォトリソグラフィ工程におけるエッチングマスクとしてチャンネル部のマスク膜厚をソース・ドレイン領域のマスク膜厚よりも薄く形成しておくことにより、第2のフォトリソグラフィ工程のみで前記アイランドの選択エッチングと共に、前記 n^+ アモルファスシリコン膜109をチャンネル部においてエッチング分離し、ソース・ドレインの各オーミック層109を形成することが可能である。

【0018】次いで、図5(c)のように、全面にCr膜をスパッタ法により成膜し、第4のフォトリソグラフィ工程で選択エッチングを行って信号線103（ドレインライン）を形成し、信号線103の一部でドレイン電極111を形成し、かつ同時にソース電極112を形成する。これにより、前記アイランド106のオーミック層109上に信号線103の一部で構成されるドレイン電極111と前記ソース電極112が配設され、TFT素子114が形成される。前記ソース電極112は、図3に示したように、画素領域104の周辺に沿ってコ字状に延長形成された遮光部115を有しており、前記アイランド106上から延びるソース電極112と遮光部115との接続部分120はコンタクトホール116を形成するために若干幅寸法を増大させている。

【0019】次いで、図5(d)のように、全面にSiN膜をCVD法により形成して層間絶縁膜113を形成した後、第5のフォトリソグラフィ工程により前記層間絶縁膜113にソース電極112の一部を露出するコン

タクトホール 116 を開口する。続いて、全面に ITO 膜をスパッタ法により形成し、第 6 のフォトリソグラフィ工程により当該 ITO 膜を選択エッチングして前記画素領域に ITO の透明電極 117 を形成する。この透明電極 117 は前記コンタクトホール 116 により前記ソース電極 112 に電気接続される。しかる後、詳細は省略するが図 2 に示したように全面に配向膜 118 を形成し、また、前記ガラス板 101 の表面に偏光板 119 を配設することにより TFT 基板 10 が完成される。

【0020】かかる構成においては、TFT 素子 114 のアイランド 106 は走査線 102 と信号線 103 とが交差される領域において、走査線 102 の幅寸法にほぼ等しい領域内に形成される。そのため、TFT 素子 114 が走査線 102 と信号線 103 とで囲まれる画素領域 104 内に配設されることはなく、画素領域 104 にはソース電極 112 と透明電極 117 とを電気接続するためのコンタクトホール 116 が配置されるのみであり、画素領域 104 の面積、すなわち透明電極 117 の面積が TFT 素子 114 によって低減されることが防止され、開口率を向上することが可能になる。

【0021】図 6 を参照すると、同図は画素領域の 1 辺の長さ（画素サイズ）を 100 ~ 400 μm の間で変化させたときの開口率の変化を示したものである。ここで、画素サイズの変化に対して、TFT 素子のサイズ、配線幅及びコンタクトホールの寸法は変わらないと仮定している。本発明の構造を用いることにより、画素サイズが小さくても開口率低下を低減することができ、画素サイズがより小さくなるほど開口率低下の低減への寄与は大きいことが分かる。

【0022】また、本発明における前記した製造方法では、ドレイン電極 111 としての信号線 103 とソース電極 112 とを同一の金属膜を選択エッチングした一つのフォトリソグラフィ工程、すなわち前記実施形態の場合には第 4 のフォトリソグラフィ工程で同時に形成することが可能である。そのため、従来技術として示した前記公報の技術のようにソース電極及びドレイン電極とは別の工程で信号線を形成する技術に比較してフォトリソグラフィ工程を 1 工程だけ低減することが可能であり、製造工程の簡略化が実現できる。

【0023】ここで本発明の他の実施形態について説明する。図 7 は前記実施形態の図 3 に対応する図であり、前記実施形態と同一部分には同一符号を付してある。前記実施形態ではソース電極 112 にコンタクトホール 116 を形成する部分 120 を幅広に形成しているが、この実施形態ではこの幅広の部分は設けてはならず、その代わりにコンタクトホール 116 は平面形状が偏平に近い形状として所要の面積を確保している。このように、ソース電極 112 の一部を画素領域 104 の内方に向けて突出していないため、画素領域 104 の面積をさらに大きくして開口率を向上することが可能である。

*【0024】また、図 8 に示すように、走査線 102 と信号線 103 との交差領域において信号線 103 の一部の幅寸法を低減し、この低減した部分をアイランド 106 上に延設してドレイン電極 111 として構成するようにしてもよい。このようにすることで、信号線 103 の長さ方向の大部分における幅寸法を増大することができ、信号線 103 の低抵抗化を図ることが可能になる。

【0025】

【発明の効果】以上説明したように本発明は、TFT 素子のアイランドは走査線と信号線とが交差される領域内に形成されるため、TFT 素子が走査線と信号線とで囲まれる画素領域内に配設されることはなく、画素領域にはソース電極と透明電極とを電気接続するためのコンタクトホールが配置されるのみであり、画素領域の面積、すなわち透明電極の面積が TFT 素子によって低減されることが防止され、開口率を向上することが可能になる。また、本発明によれば、ドレイン電極としての信号線とソース電極とを同一の導電膜に対する一つのフォトリソグラフィ工程で同時に形成することが可能であり、従来技術として示した前記公報の技術のソース電極及びドレイン電極とは別の工程で信号線を形成する技術に比較してフォトリソグラフィ工程を 1 工程だけ低減することが可能であり、製造工程の簡略化が実現できる。

【図面の簡単な説明】

【図 1】本発明にかかる TFT 基板のレイアウト図である。

【図 2】本発明の液晶表示装置の図 1 の A A 線に沿う箇所の断面図である。

【図 3】図 1 の要部の拡大図である。

【図 4】図 3 の B B 線に沿う箇所の断面図である。

【図 5】本発明にかかる TFT 基板の製造方法を工程順に示す断面図である。

【図 6】本発明と従来技術における画素サイズと開口率との関係を示す図である。

【図 7】本発明の他の実施形態の要部の拡大平面図である。

【図 8】本発明の更に他の実施形態の要部の拡大平面図である。

【図 9】従来の TFT 基板のレイアウト図である。

【符号の説明】

- 1 アクティブマトリクス型液晶表示装置
- 10 TFT 基板
- 20 対向基板
- 101 ガラス板
- 102 走査線（ゲートライン）
- 103 信号線（ドレインライン）
- 104 画素領域
- 105 ゲート電極
- 106 アイランド
- 107 ゲート絶縁膜

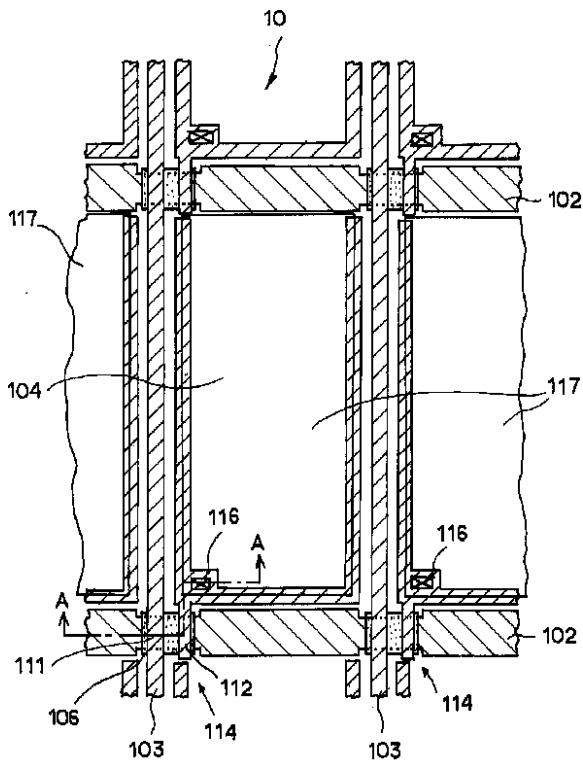
108 アモルファスシリコン
 109 オーミック層
 111 ドレイン電極
 112 ソース電極
 113 層間絶縁膜
 114 TFT素子
 116 コンタクトホール
 117 透明電極(ITO)

*118 配向膜
 119 偏光板
 201 ガラス板
 202 カラーフィルタ
 203 ブラックマトリクス
 204 配向膜
 205 偏光板

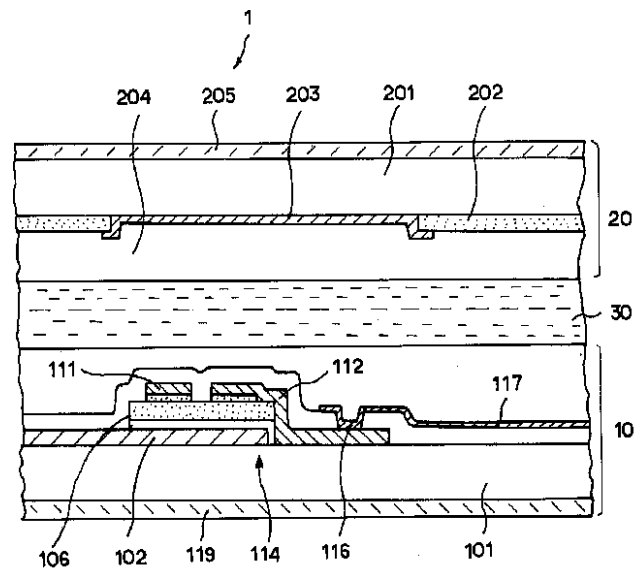
*

【図1】

【図2】

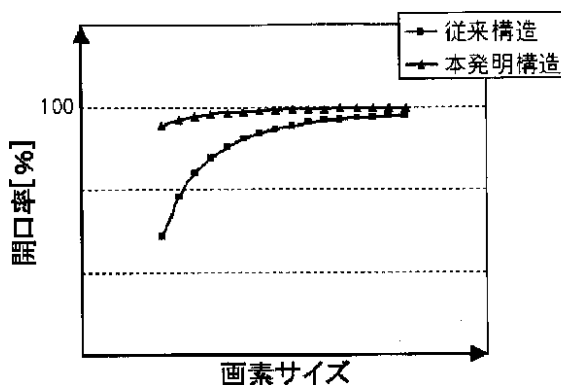


10: TFT基板
 102 走査線
 103 信号線
 104 画素領域
 106 アイランド
 111 ドレイン電極
 112 ソース電極
 114 TFT素子
 116 コンタクトホール
 117 透明電極

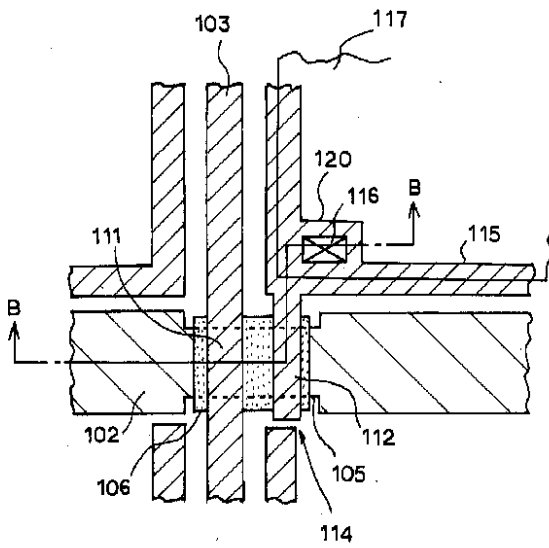


1 液晶表示装置
 10 TFT基板
 20 対向基板
 30 液晶
 101 ガラス板
 102 走査線
 106 アイランド
 111 ドレイン電極
 112 ソース電極
 116 コンタクトホール
 117 透明電極
 118 配向膜
 119 偏光板
 201 ガラス板
 202 カラーフィルタ
 203 ブラックマトリクス
 204 配向膜
 205 偏光板

【図6】

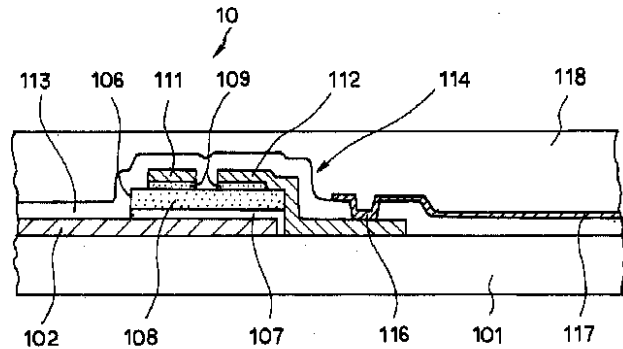


【図3】



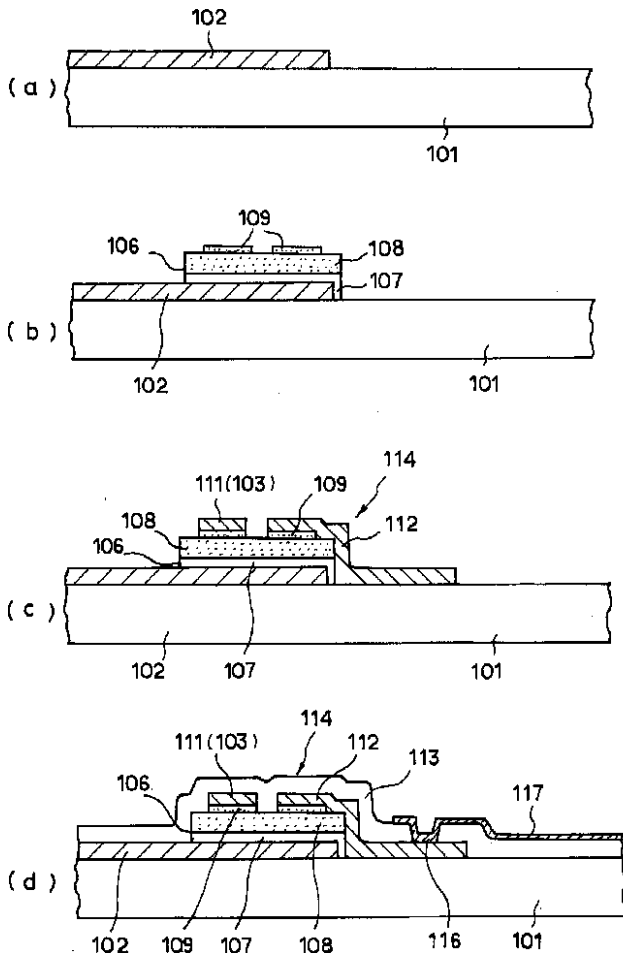
- | | |
|------------|--------------|
| 102 走査線 | 112 ソース電極 |
| 103 信号線 | 114 TFT素子 |
| 106 アイランド | 116 コンタクトホール |
| 111 ドレイン電極 | 117 透明電極 |

【図4】

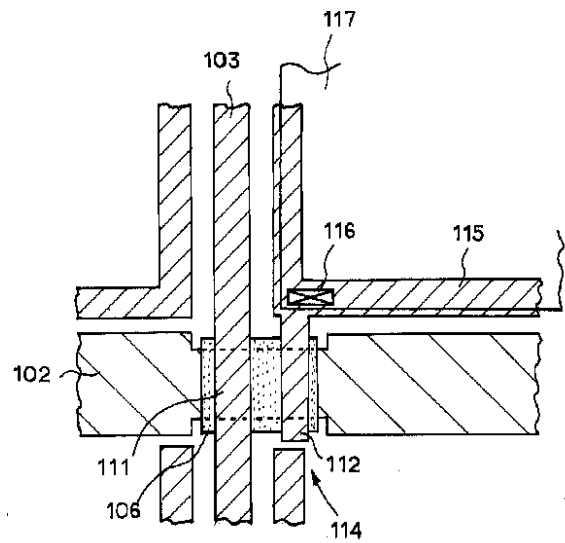


- | |
|----------------------|
| 10 TFT基板 |
| 101 ガラス板 |
| 102 走査線 |
| 106 アイランド |
| 107 ゲート絶縁膜 |
| 108 アモルファスシリコン |
| 109 オーミック層 |
| 111 ドレイン電極 (103 信号線) |
| 112 ソース電極 |
| 116 コンタクトホール |
| 117 透明電極 |
| 118 配向膜 |

【図5】

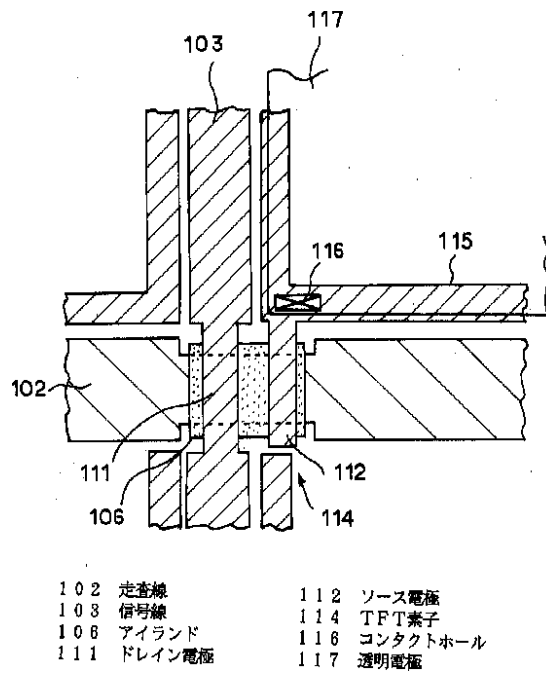


【図7】

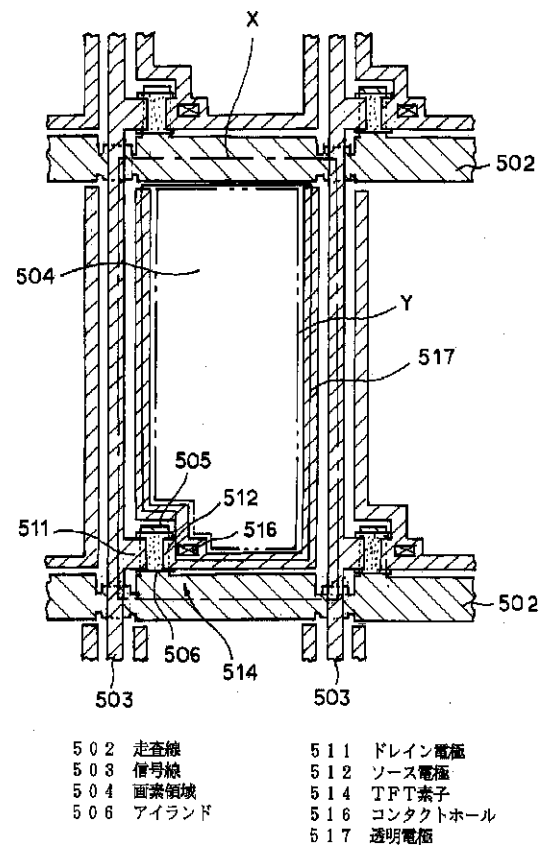


- | | |
|------------|--------------|
| 102 走査線 | 112 ソース電極 |
| 103 信号線 | 114 TFT素子 |
| 106 アイランド | 116 コンタクトホール |
| 111 ドレイン電極 | 117 透明電極 |

【図8】



【図9】



フロントページの続き

F ターム(参考) 2H092 GA28 JA24 JA34 JA41 JA46
JA47 JB22 JB31 KB25 NA27
PA08 PA09 PA13
5C094 AA43 BA03 BA43 CA19 DA14
DA15 DB01 DB04 EA04 EA07
EB02 ED03 ED14 ED15
5F110 AA16 AA30 BB01 CC07 DD02
EE04 EE44 FF03 FF29 GG02
GG15 GG44 HK04 HK09 HK16
HK33 HK34 HL07 HL23 NN24
NN35 NN77

专利名称(译)	有源矩阵型液晶显示装置及其制造方法		
公开(公告)号	JP2002365665A	公开(公告)日	2002-12-18
申请号	JP2001173578	申请日	2001-06-08
申请(专利权)人(译)	Kagoshimanihondenki有限公司		
[标]发明人	石野隆行		
发明人	石野 隆行		
IPC分类号	G02F1/1362 G02F1/1368 G09F9/30 H01L29/786		
CPC分类号	G02F1/1368 G02F1/136286 G02F2201/40		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.612.C		
F-TERM分类号	2H092/GA28 2H092/JA24 2H092/JA34 2H092/JA41 2H092/JA46 2H092/JA47 2H092/JB22 2H092/JB31 2H092/KB25 2H092/NA27 2H092/PA08 2H092/PA09 2H092/PA13 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA14 5C094/DA15 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EB02 5C094/ED03 5C094/ED14 5C094/ED15 5F110/AA16 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE04 5F110/EE44 5F110/FF03 5F110/FF29 5F110/GG02 5F110/GG15 5F110/GG44 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK33 5F110/HK34 5F110/HL07 5F110/HL23 5F110/NN24 5F110/NN35 5F110/NN77 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB82 2H192/CC05 2H192/CC42 2H192/CC56 2H192/EA04 2H192/EA17 2H192/EA22 2H192/EA43 2H192/HA44 2H192/HA47		
代理人(译)	铃木昭雄		
其他公开文献	JP4728507B2		
外部链接	Espacenet		

摘要(译)

(带更正) 解决的问题: 提供一种即使在像素尺寸小型化的情况下也提高开口率并且防止制造工艺变得复杂的有源矩阵型显示装置及其制造方法。 解决方案: 多条扫描线102在透明基板101上沿一个方向延伸, 多条信号线103在与扫描线正交的方向上延伸, 以及一条扫描线和一条信号线。 在包括布置在包围的像素区域104中的透明电极117和对应于该透明电极设置的TFT元件114的有源矩阵型液晶显示装置中, TFT元件是扫描线和信号线的交叉区域。 设置在内部并构成TFT元件的源电极112和漏电极111在与信号线相同的层中由导电膜形成。 通过将TFT元件布置在扫描线和信号线的交叉区域中, 像素区域的面积增大并且开口率提高。 由于漏极和源极与信号线同时形成, 因此光刻工艺不会增加。

