(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開2002－244623

(P2002－244623A)

(43)公開日　平成14年8月30日(2002.8.30)

(51)Int.Cl⁷	識別記号	ＦＩ		テーマコード（参考）
Ｇ０９Ｇ　3/36		Ｇ０９Ｇ　3/36		２Ｈ０９３
Ｇ０２Ｆ　1/133	550	Ｇ０２Ｆ　1/133	550	５Ｃ００６
Ｇ０９Ｇ　3/20	611	Ｇ０９Ｇ　3/20	611　Ａ	５Ｃ０８０
			611　Ｅ	
	621		621　Ｂ	

審査請求　未請求　請求項の数 12ＯＬ（全 15数）　最終頁に続く

(21)出願番号　特願2001－39819(P2001－39819)

(22)出願日　平成13年2月16日(2001.2.16)

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者　中村　美香
大阪府門真市大字門真1006番地　松下電器産業株式会社内

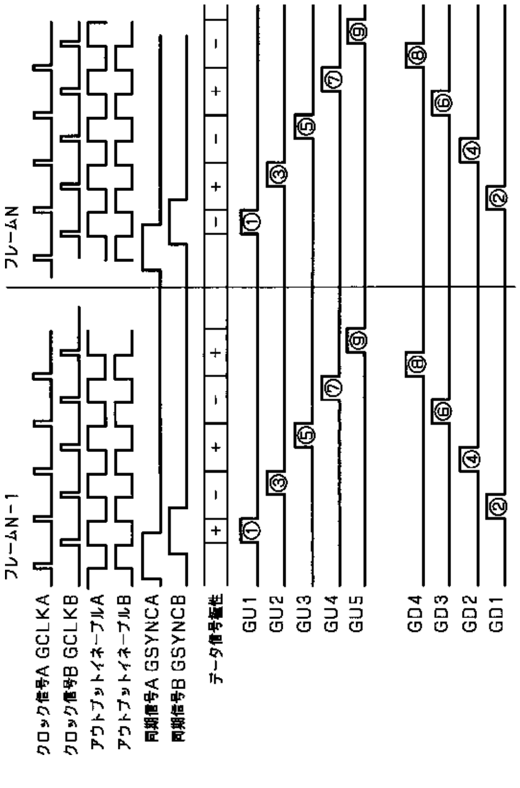
(72)発明者　山倉　誠
大阪府門真市大字門真1006番地　松下電器産業株式会社内

(74)代理人　100097445
弁理士　岩橋　文雄　（外２名）

最終頁に続く

(54)【発明の名称】　液晶表示装置の駆動方式および駆動回路

(57)【要約】
【課題】　本発明の液晶表示装置の駆動方式は、極性反転の低電力駆動とフリッカのない高画質駆動を両立する。
【解決手段】　走査方向が互いに異なる２つの走査線駆動回路を用いて走査線の走査順を入れ替えることによってデータ信号極性の反転周期を２倍以上に長くし、信号線駆動電力を２分の１以下に低減することができる。



【特許請求の範囲】

【請求項１】　複数の走査線とこれと交差する複数の信号線と前記走査線と前記信号線の交点に対応して配置された画素トランジスタとこれに接続された画素電極と、前記画素電極と対向して液晶を駆動する対向電極とを持つ液晶表示装置の駆動において、
前記対向電極の電位に対して周期的に極性を反転した電位を前記画素電極に与え、
前記走査線は走査方向が互いに異なる２つの走査線駆動回路Ａ，Ｂのうちのいずれかに接続し、
走査線駆動回路Ａに接続した前記走査線と走査線駆動回路Ｂに接続した前記走査線を１本ずつ交互に駆動することを特徴とする液晶表示装置の駆動方式。

【請求項２】　複数の走査線とこれと交差する複数の信号線と前記走査線と前記信号線の交点に対応して配置された画素トランジスタとこれに接続された画素電極と、前記画素電極と対向して液晶を駆動する対向電極とを持つ液晶表示装置において、
前記対向電極の電位に対して周期的に極性を反転した電位を前記画素電極に与える信号線駆動回路と、
走査方向が互いに異なる２つの走査線駆動回路Ａ，Ｂと、
前記走査線駆動回路Ａ、Ｂがそれぞれに接続した前記走査線を１本ずつ交互に駆動するタイミング信号を前記走査線駆動回路Ａ、Ｂに出力するタイミング制御回路とからなる液晶表示装置の駆動回路。

【請求項３】　請求項２の走査線の走査順に応じたデータを出力できるメモリおよびメモリコントローラを備えた液晶表示装置の駆動回路。

【請求項４】　複数の走査線とこれと交差する複数の信号線と前記走査線と前記信号線の交点に対応して配置された画素トランジスタとこれに接続された画素電極と、前記画素電極と対向して液晶を駆動する対向電極とを持つ液晶表示装置の駆動において、
前記対向電極の電位に対して周期的に極性を反転した電位を前記画素電極に与え、
前記走査線は走査方向が互いに異なる２つの走査線駆動回路Ａ，Ｂのうちのいずれかに接続し、
走査線駆動回路Ａに接続した前記走査線と走査線駆動回路Ｂに接続した前記走査線を１本ずつ交互に駆動し、かつ、複数の表示フレームを１周期として走査線駆動回路Ａと走査線駆動回路Ｂの駆動順を切り替えることを特徴とする液晶表示装置の駆動方式。

【請求項５】　複数の走査線とこれと交差する複数の信号線と前記走査線と前記信号線の交点に対応して配置された画素トランジスタとこれに接続された画素電極と、前記画素電極と対向して液晶を駆動する対向電極とを持つ液晶表示装置において、
前記対向電極の電位に対して周期的に極性を反転した電位を前記画素電極に与える信号線駆動回路と、
走査方向が互いに異なる２つの走査線駆動回路Ａ，Ｂと、
走査線駆動回路Ａ、Ｂがそれぞれに接続した走査線を１本ずつ交互に駆動し、かつ、複数の表示フレームを１周期として走査線駆動回路Ａと走査線駆動回路Ｂの駆動順を切り替えるタイミング信号を走査線駆動回路Ａ、Ｂに出力するタイミング制御回路とからなる液晶表示装置の駆動回路。

【請求項６】　請求項５の走査線の走査順に応じたデータを出力できるメモリおよびメモリコントローラを備えた液晶表示装置の駆動回路。

【請求項７】　複数の走査線とこれと交差する複数の信号線と前記走査線と前記信号線の交点に対応して配置された画素トランジスタとこれに接続された画素電極と、前記画素電極と対向して液晶を駆動する対向電極とを持つ液晶表示装置の駆動において、
前記対向電極の電位に対して周期的に極性を反転した電位を前記画素電極に与え、
前記走査線を複数のグループに分け、各グループはそれぞれ走査方向が互いに異なる２つの走査線駆動回路Ａ，Ｂを具備し、
各グループの走査線駆動回路Ａに接続した前記走査線を１本ずつ走査した後、各グループの走査線駆動回路Ｂに接続した前記走査線を１本ずつ走査する駆動を繰り返すことを特徴とする液晶表示装置の駆動方式。

【請求項８】　複数の走査線とこれと交差する複数の信号線と前記走査線と前記信号線の交点に対応して配置された画素トランジスタとこれに接続された画素電極と、前記画素電極と対向して液晶を駆動する対向電極とを持つ液晶表示装置において、
前記対向電極の電位に対して周期的に極性を反転した電位を前記画素電極に与える信号線駆動回路と、
複数組の走査方向が互いに異なる２つの走査線駆動回路Ａ，Ｂと、
走査線駆動回路Ａに接続した前記走査線を１本ずつ走査した後、各走査線駆動回路Ｂに接続した前記走査線を１本ずつ走査する駆動を繰り返すタイミング信号を全ての走査線駆動回路Ａ、Ｂに出力するタイミング制御回路とからなる液晶表示装置の駆動回路。

【請求項９】　請求項８の走査線の走査順に応じたデータを出力できるメモリおよびメモリコントローラを備えた液晶表示装置の駆動回路。

【請求項１０】　複数の走査線とこれと交差する複数の信号線と前記走査線と前記信号線の交点に対応して配置された画素トランジスタとこれに接続された画素電極と、前記画素電極と対向して液晶を駆動する対向電極とを持つ液晶表示装置の駆動において、
前記対向電極の電位に対して周期的に極性を反転した電位を前記画素電極に与え、
前記走査線を複数のグループに分け、各グループにはそ

れぞれ走査方向が互いに異なる２つの走査線駆動回路Ａ，Ｂを具備し、
各走査線駆動回路Ａに接続した前記走査線を１本ずつ走査した後、各走査線駆動回路Ｂに接続した前記走査線を１本ずつ走査する駆動を繰り返し、かつ、複数の表示フレームを１周期として前記走査線駆動回路Ａと前記走査線駆動回路Ｂの駆動順を切り替えることを特徴とする液晶表示装置の駆動方式。

【請求項１１】　複数の走査線とこれと交差する複数の信号線と前記走査線と前記信号線の交点に対応して配置された画素トランジスタとこれに接続された画素電極と、前記画素電極と対向して液晶を駆動する対向電極とを持つ液晶表示装置において、
前記対向電極の電位に対して周期的に極性を反転した電位を前記画素電極に与える信号線駆動回路と、
複数組の走査方向が互いに異なる２つの走査線駆動回路Ａ，Ｂと、
各走査線駆動回路Ａに接続した前記走査線を１本ずつ走査した後、各走査線駆動回路Ｂに接続した前記走査線を１本ずつ走査する駆動を繰り返し、かつ、複数の表示フレームを１周期として前記走査線駆動回路Ａと前記走査線駆動回路Ｂの走査順を切り替えるタイミング信号を全ての走査線駆動回路Ａ、Ｂに出力するタイミング制御回路とからなる液晶表示装置の駆動回路。

【請求項１２】　請求項１１の走査線の走査順に応じたデータを出力できるメモリおよびメモリコントローラを備えた液晶表示装置の駆動回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明はノート型パーソナルコンピュータやカーナビゲーションシステム、携帯型情報端末等のディスプレイとして利用される液晶表示装置およびその駆動法に関する。

【０００２】

【従来の技術】従来液晶表示装置は、ブラウン管に比べて薄型・軽量・低消費電力であることを特徴に、ノート型パーソナルコンピュータ、カーテレビやカーナビゲーションシステム、携帯型情報端末等の新しい製品分野を創出し、幅広く応用されている。

【０００３】これら薄型・軽量・低電力といった特徴と高画質とは全てが同時に実現できるものではなく、互いにトレードオフの関係にあり、高画質であることが低電力よりも優先される場合にはバックライトユニットを用いて高輝度で多色、高精細な画質を実現できるが消費電力が多くなり、一方低電力が優先される場合にはバックライトユニットは用いずに周囲光を利用する反射型のパネル構造で低輝度、さらに、解像度や色数を落として消費電力を低減する。

【０００４】従来の液晶表示装置の構成を図１４に示す。

【０００５】この液晶表示装置では液晶パネル１０１に各画素電極に信号電位を与えるための信号線駆動回路１０２および走査線駆動回路３０２が接続し、これら信号線駆動回路１０２および走査線駆動回路３０２をタイミング制御回路３０１で制御している。さらに、電源回路３０３がある。

【０００６】この液晶表示装置には外部からデータ信号ＤＡＴＡ、同期信号ＳＹＮＣ、クロック信号ＣＬＫが入力されている。データ信号ＤＡＴＡは画像情報となる信号で、ノート型パーソナルコンピュータや携帯型情報端末ではデジタル信号で、カーテレビなどではアナログ信号であることが多い。同期信号ＳＹＮＣは画面の先頭行・先頭列を示す信号でデータ信号ＤＡＴＡの大きな区切りを示し、クロック信号ＣＬＫは１画素毎のデータ信号ＤＡＴＡの区切りを示す。

【０００７】このような入力信号からタイミング制御回路は信号線駆動回路１０２および走査線駆動回路３０２に必要なタイミング信号を生成する。

【０００８】図１５に液晶パネル１０１、信号線駆動回路１０２、走査線駆動回路３０２の詳しい構成図を示す。図１５における駆動タイミングを図１６のタイミングチャートを用いて説明する。

【０００９】信号線駆動回路１０２では同期信号ＳＳＹＮＣとクロック信号ＳＣＬＫで信号線Ｓ１～Ｓｍまでの１走査線分の画像情報を取り込み、全データを同時に出力する。画素電極には走査線をゲートに接続し、ソース線を信号線に接続したＴＦＴが１つずつ接続され、走査線駆動回路３０２が同期信号ＧＳＹＮＣおよびクロック信号ＧＣＬＫを元に１ラインずつオンにしていく。

【００１０】ところで、液晶層に直流電圧を印加すると電気化学反応により素子が劣化するので、長寿命で駆動を行うためには印加電圧の極性を周期的に反転させる交流駆動（以下、反転駆動と称する）を行う必要がある。

【００１１】図１４、１５、１６で説明しているような従来のアクティブマトリックス型液晶表示装置においては、１フレーム毎に全画素同極性で反転するのがタイミング制御において簡便だが、液晶誘電率の異方性、画素ＴＦＴのゲート・ソース間の寄生容量に起因する画素電位の変動、対向電極電圧のセンター値のずれ等の種々の要因によって液晶に印加される正負電圧に多少のアンバランスが生じ、その結果、フレーム周波数の半分の周波数でのチラツキ（フリッカ）が視認されてしまう。これを防ぐために、１フレーム毎の反転に加えて隣接ライン間、隣接画素間で画素信号を反転する駆動方式が一般に用いられている。図１７にライン反転方式での各画素信号の極性を示す。このように、ライン毎に画素信号極性を反転し、かつ、フレーム毎にこれら極性を反転することによりフリッカのない良好な画質が得られる。

【００１２】しかし、図１７に示すようなライン反転駆動や、更に隣接画素間でも極性を反転するドット反転駆

動では、極性反転の周波数が液晶パネルの走査線数に比例して高くなるため、反転駆動に要する消費電力が増大する。

【００１３】そこで、この問題を解決するために、例えば特開平１１－３５２９３８では走査線の走査順を入れ替えて信号線の極性反転の周波数を落として消費電力の増大を抑えようとしている。しかし、この例では走査線の走査順を決定するために２層の順序回路を用いるため走査線駆動回路が従来のものとは全く別の構成となり、また、走査順が上下で細かく入れ替わるために画像情報のメモリ制御も煩雑となる。

【００１４】

【発明が解決しようとする課題】本発明はこのような従来技術の課題を解決しながら極性反転の周波数低減による低電力駆動と、フリッカが生じない高画質駆動を両立する液晶表示装置の駆動方式および駆動装置を提供することを目的とする。

【００１５】

【課題を解決するための手段】本発明は、複数の走査線とこれと交差する複数の信号線とこれら走査線と信号線の交点に画素トランジスタとこれに接続する画素電極がある液晶表示装置で、対向電極と向き合う画素電極に、対向電極電位に対して周期的に極性を反転した電位を与える駆動であって、走査線を走査方向が互いに異なる２つの走査線駆動回路Ａ，Ｂのうちのいずれかに接続し、走査線駆動回路Ａに接続した走査線と走査線駆動回路Ｂに接続した走査線を１本ずつ交互に駆動することで走査順を入れ替えて、同極性信号線の走査を連続させることを特徴としている。この発明によれば、データ信号極性の反転周期が２倍になり、信号線駆動電力を２分の１に低減することができる。

【００１６】

【発明の実施の形態】（実施の形態１）以下、本発明の第１の実施の形態を　図１、図２、図３、図４を用いて説明する。

【００１７】図１は本実施の形態における動作タイミングである。

【００１８】図２は本実施の形態の液晶表示装置の構成図で、１０１は液晶パネル、１０２は信号線駆動回路、１０３は走査線駆動回路Ａ、１０４は走査線駆動回路Ｂ、１０５はデータ信号増幅器、１０６はタイミング制御回路、１０７は電源回路である。液晶パネルの走査線は、パネル全面でｎ本あるとき、走査線駆動回路Ａ、Ｂにそれぞれ上半分のｐ本（＝ｎ／２本）、下半分のｐ本（＝ｎ／２本）が接続される。この液晶表示装置には外部から表示映像情報を担うデータ信号ＤＡＴＡ、同期信号ＳＹＮＣ、クロック信号ＣＬＫが入力され、データ信号ＤＡＴＡはデータ信号増幅器１０５を通ってＳＤＡＴＡとして信号線駆動回路１０２に入力され、同期信号ＳＹＮＣとクロック信号ＣＬＫはタイミング制御回路１０６を通ってＳＳＹＮＣ，ＳＣＬＫ，ＧＳＹＮＣＡ，ＧＣＬＫ，ＧＳＹＮＣＢに変換されて信号線駆動回路１０２、走査線駆動回路Ａ　１０３、走査線駆動回路Ｂ　１０４に入力される。

【００１９】図３に走査線駆動回路Ａ　１０３および走査線駆動回路Ｂ　１０４の回路と動作を説明する。

【００２０】図３において２０１は５出力のシフトレジスタ（出力が５本の場合の例）、２０２，２０３，２０４，２０５，２０６はシフトレジスタの各出力とアウトプットイネーブル信号とのＡＮＤ回路である。走査線駆動回路の出力はＡＮＤ回路２０２～２０６の出力である。この走査線駆動回路は従来の液晶表示装置に一般的に用いられているものを利用することが可能であり、シフトレジスタでシフトした同期信号のパルス幅をアウトプットイネーブル信号によって調整して出力することができる。

【００２１】このような液晶表示装置の駆動タイミングを図１を用いて説明する。

【００２２】ＧＣＬＫＡ、ＧＣＬＫＢはそれぞれ走査線２ライン分の周期をもったクロック信号で、互いに２分の１周期ずれた状態で走査線駆動回路Ａ，Ｂに入力される。同期信号ＧＳＹＮＣＡ、ＧＳＹＮＣＢはクロック信号ＧＣＬＫＡ、ＧＣＬＫＢにあわせてクロック信号１周期分のパルス幅で入力される。アウトプットイネーブル信号ＯＥＡ、ＯＥＢはそれぞれ出力パルスが走査線１ライン分のパルス幅になるよう入力される。走査線駆動回路Ａ　　１０３の走査方向を液晶パネルの上から下に設定し、走査線駆動回路Ｂ　１０４の走査方向を液晶パネルの下から上へ、走査線駆動回路Ａとは逆方向に設定すると、走査線駆動回路ＡおよびＢは図３で示す回路構成になっているため、それぞれの出力信号タイミングは図３のＧＵ１～ＧＵｐ、ＧＤ１～ＧＤｐのように液晶パネル１０１の上下から中心に向かって走査線を１ラインずつ交互に走査することになる。このパネルの極性反転を図４のようなライン反転にすると、ＧＤ１とＧＵ２，ＧＤ２とＧＵ３、のように、同じ極性のラインを連続して走査することになるため、信号線の極性反転周期が従来のライン反転の２倍になり、信号線駆動電力が２分の１に低減できる。

【００２３】この方式では図４（Ｂ）で示すように、同極性の走査ラインの連続は書き換えが行われているラインとその直前のラインでしか起こらない。すなわち同極性の走査ラインが連続するのは面内で２ケ所のみでしかも最大２ラインなので従来のライン反転駆動と同様にフリッカが見えにくい。

【００２４】なお、図２において、画像情報を担うデータ信号ＤＡＴＡは従来の単純な順次走査の場合と異なり、走査順序の変更に対応したデータ順序の入れ替えをあらかじめ行っておく必要がある。これを行う一例として図１８に２フレーム分のメモリ４０３、４０４とメモ

リコントローラ４０２を用いた回路構成を示す。またその動作タイミングを図１９に示す。図１８において、メモリコントローラ４０２は、通常の走査順序で送られてくる映像信号源４０１からのデータＤＡＴＡ１をメモリ１あるいはメモリ２に書き込み、蓄えられたデータを本願の走査順に従って読み出してＤＡＴＡ２として液晶パネル１０２に供給するようにメモリ１およびメモリ２を制御する。例えばフレームＮ－１ではメモリ１にＤＡＴＡ１が取り込まれ、メモリ２からデータが読み出される。次のフレームＮでは逆にメモリ２にＤＡＴＡ１が書き込まれ、メモリ２からデータが読み出される。なお、図１９のＤＡＴＡ２におけるＧＵ１、ＧＤ１などは図２の走査線の表示記号と同じである。読み出されたＤＡＴＡ２は図２のデータ信号ＤＡＴＡに相当する。

【００２５】（実施の形態２）図５、図６、図７を用いて本発明の第２の実施の形態の動作について説明する。

【００２６】図５は本実施の形態での動作タイミングである。

【００２７】図６は本実施の形態の液晶表示装置の構成図で、１０１は液晶パネル、１０２は信号線駆動回路、１０９は走査線駆動回路Ｃ、１１０は走査線駆動回路Ｄ、１０５はデータ信号増幅器、１０８はタイミング制御回路、１０７は電源回路である。液晶パネルの走査線はパネル全面でｎ本あるとき、走査線駆動回路Ｃ、Ｄにそれぞれ上半分のｐ本（＝ｎ／２本）、下半分のｐ本（＝ｎ／２本）が接続されている。この液晶表示装置には外部からデータ信号ＤＡＴＡ、同期信号ＳＹＮＣ、クロック信号ＣＬＫが入力され、データ信号ＤＡＴＡはデータ信号増幅器１０５を通ってＳＤＡＴＡとして信号線駆動回路１０２に入力され、同期信号ＳＹＮＣとクロック信号ＣＬＫはタイミング制御回路１０８を通ってＳＳＹＮＣ，ＳＣＬＫ，ＧＳＹＮＣＣ，ＧＣＬＫＣ，ＧＳＹＮＣＤ、ＧＣＬＫＤと変換されて信号線駆動回路１０２、走査線駆動回路Ｃ１０９、走査線駆動回路Ｄ１１０に入力される。

【００２８】このような構成で図５のタイミング図に示すようにフレームＮ－１では同期信号ＧＳＹＮＣＣを先に同期信号ＧＳＹＮＣＤを後に入力して走査線の走査順をＧＵ１、ＧＤ１、ＧＵ２、ＧＤ２、、、、ＧＵｐ、ＧＤｐと液晶パネル１０１の上端から開始し、次のフレームＮでは同期信号ＧＳＹＮＣＤを先に同期信号ＧＳＹＮＣＣを後に入力して走査順をＧＤ１、ＧＵ１、ＧＤ２、ＧＵ２、、、、ＧＤｐ、ＧＵｐと液晶パネル１０１の下端から開始する。このようにフレーム毎に走査順を変えることで図７に示すように、例えばＧＤ２ラインはフレームＮ－１ではデータ信号極性がプラスの１行目だったのがフレームＮではマイナスの２行目になり、ＧＵ３ラインはフレームＮ－１ではデータ信号極性がプラスの２行目だったのがフレームＮではマイナスの１行目になる。画素電極のスイッチとなる画素トランジスタがａ－ＳｉのＴＦＴである場合、電流駆動能力があまり高くないため、走査線がハイレベルになり画素トランジスタがオンしている間にデータ信号線電位を画素電極に充電し切れない充電不足が起こる場合がある。この場合、データ信号線極性に同じ極性が連続すると、１ライン目の画素電極の方が２ライン目の画素電極に比べて充電不足度合いが大きく、１ライン目と２ライン目とで輝度差が観測される。このようなパネルにおいても、本実施の形態のようにフレーム毎に走査線の走査順を変えると、データ信号線極性が切り替わった後の１行目としての走査と２行目としての走査が交互に行われるため充電不足が平均化され、輝度差として観測されずにデータ信号極性を連続させることができ、データ信号線駆動電力を低減することができる。

【００２９】なお、本実施の形態では表示フレーム毎に走査順を変え、２フレーム周期で元の走査順に戻っているが、図８に示すように４フレーム周期で走査順の変更を行ってもよい。データ信号線極性がプラスの場合とマイナスの場合とで画素電極の充電不足度合いが大きく異なる場合にはこのような４フレーム周期の走査順変更は面内輝度差解消に大変有効である。

【００３０】（実施の形態３）図９、図１０、図１１を用いて第３の実施の形態の回路構成と動作タイミングを説明する。

【００３１】図９は本実施の形態の動作タイミングである。

【００３２】図１０において、１１１はタイミング制御回路、１１２は走査線駆動回路Ｅ、１１３は走査線駆動回路Ｆ、１１４は走査線駆動回路Ｇ、１１５は走査線駆動回路Ｈである。走査線駆動回路１１２から１１５の回路構成は実施の形態１の図３と同様である。これら走査線駆動回路Ｅ、Ｆ、Ｇ、Ｈにはそれぞれ同期信号ＧＳＹＮＣＥ、ＧＳＹＮＣＦ、ＧＳＹＮＣＧ、ＧＳＹＮＣＨと、クロック信号ＧＣＬＫＥ、ＧＣＬＫＦ、ＧＣＬＫＧ、ＧＣＬＫＨ、アウトプットイネーブル信号ＯＥＥ，ＯＥＦ，ＯＥＧ，ＯＥＨが入力されている。走査線駆動回路Ｅには液晶パネル１０１の上から４分の１の連続する走査線が接続され、走査線駆動回路ＦにはＥに続く４分の１の走査線が接続され、ＧにはＦに続く４分の１の走査線が接続され、Ｈには液晶パネルの最下端の４分の１の走査線が接続されている。走査線駆動回路ＥとＦの走査方向は互いに逆方向で、走査線駆動回路ＧとＨの走査方向も互いに逆である。さらに、走査線駆動回路ＥとＧの走査方向は同方向で、走査線駆動回路ＦとＨも同方向に走査する。

【００３３】このような回路構成での動作タイミングを図９を用いて説明する。

【００３４】クロック信号ＧＣＬＫＥ、ＧＣＬＫＦ，ＧＣＬＫＧ，ＧＣＬＫＨはそれぞれ走査線４ライン分の周期をもち、互いに４分の１周期ずつずれたクロック信号

である。同期信号はそれぞれのクロック信号にあわせてクロック信号１周期分のパルス幅で入力する。アウトプットイネーブル信号は出力信号のパルス幅を走査線１ライン分のパルス幅だけ有効にするように入力する。走査順をE、G、F、Hとすることで、図９に示すように同極性のデータ信号を４ライン連続して走査し、データ信号極性の反転周期は８ラインとなり、回路構成、タイミング制御はやや複雑ではあるが、実施の形態１，２に比べて信号線駆動電力はさらに半減する。

【００３５】（実施の形態４）図１２と図１３を用いて第４の実施の形態について説明する。

【００３６】図１２は本実施の形態の動作タイミングである。

【００３７】図１３において、１１６はタイミング制御回路、１１７は走査線駆動回路Ｉ、１１８は走査線駆動回路Ｊ、１１９は走査線駆動回路Ｋ、１２０は走査線駆動回路Ｌである。走査線駆動回路１１７から１２０の回路構成は実施の形態１の図３と同様である。これら走査線駆動回路Ｉ、Ｊ、Ｋ、Ｌにはそれぞれ同期信号ＧＳＹＮＣＩ、ＧＳＹＮＣＪ、ＧＳＹＮＣＫ、ＧＳＹＮＣＬと、クロック信号ＧＣＬＫＩ、ＧＣＬＫＪ、ＧＣＬＫＫ、ＧＣＬＫＬ、アウトプットイネーブル信号ＯＥＩ，ＯＥＪ，ＯＥＫ，ＯＥＬが入力されている。走査線駆動回路Ｉには液晶パネル１０１の上から４分の１の連続する走査線が接続され、走査線駆動回路ＪにはＩに続く４分の１の走査線が接続され、ＫにはＪに続く４分の１の走査線が接続され、Ｌには液晶パネルの最下端の４分の１の走査線が接続されている。走査線駆動回路ＩとＪの走査方向は互いに逆方向で、走査線駆動回路ＫとＬの走査方向も互いに逆である。さらに、走査線駆動回路ＩとＫの走査方向は同方向で、走査線駆動回路ＪとＬも同方向に走査する。

【００３８】図１２を用いて動作タイミングを説明する。フレームN－１では同期信号をＩ、Ｋ、Ｊ、Ｌの順にそれぞれの走査線駆動回路に入力する。こうすると、走査線の走査順はＧＵＵ１、ＧＤＵ１、ＧＵＤ１、ＧＤＤ１、ＧＵＵ２、ＧＤＵ２、ＧＵＤ２、ＧＤＤ２、、、、となり、第３の実施の形態と同じく同極性のデータ信号が４ライン連続し、データ信号線極性の反転周期が８Ｈになる。さらに、フレームNに切り替わると、同期信号の入力順をＪ、Ｌ、Ｉ、Ｋとすることにより、走査線の走査順がフレームN－１とは異なり、ＧＵＤ１、ＧＤＤ１、ＧＵＵ１、ＧＤＵ１、ＧＵＤ２、ＧＤＤ２、ＧＵＵ２、ＧＤＵ２、、、、となる。フレームNにおいても同極性のデータ信号は４ライン連続し、かつ、フレームN－１とは走査順が異なることから、データ信号極性が切り替わった後の１行目と２行目とで画素電極の充電不足度合いが異なってしまうような充電能力の低い画素トランジスタを用いた液晶パネルであっても充電不足度合いを平均化し、輝度差を目立たなくすることができる。

【００３９】本実施の形態では２フレームで走査順が元に戻ってくる場合を説明したが、データ信号極性そのものによっても充電不足度合いが異なるようなパネルの場合には、４フレームあるいは８フレーム周期でデータ信号極性と極性切り替わり後の走査順の両方を平均化すれば画質は劣化しない。

【００４０】なお、以上４通りの実施の形態について述べたが、走査線駆動回路の回路構成は本実施の形態に述べた構成にとどまらず様々な構成を取り得、その走査線駆動回路の回路構成に合わせてタイミング信号を変更することにより、走査線の走査順設定は本実施の形態と同様に設定することができる。

【００４１】

【発明の効果】このように本発明は、走査線駆動回路を複数個用いるとともに、それらの走査方向を互いに逆にすることによって、データ信号極性の反転周期を２倍以上と長くすることができ、その結果信号線駆動電力を従来の１／２以下に低減することができる。しかも従来の走査線駆動回路がそのまま使えて画質的にもフリッカや輝度差が見えにくいという特徴を有する。

【００４２】特に第一の発明によれば、走査方向が互いに異なる２つの走査線駆動回路を用いて走査線の走査順を入れ替えることによってデータ信号極性の反転周期を２倍に長くし、信号線駆動電力を２分の１に低減することができる。

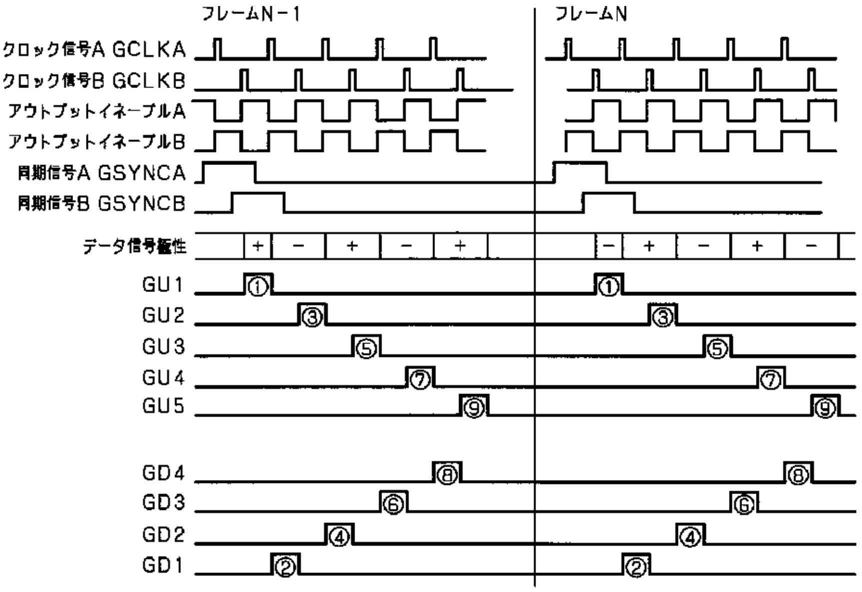
【００４３】第二の発明によれば、走査方向が互いに異なる２つの走査線駆動回路を用いて走査線の走査順を入れ替えてデータ信号極性の反転周期を２倍にして信号線駆動電力を低減し、さらに２乃至複数フレームを１周期として走査順を切り替えることにより、画素電極の充電不足による輝度差を平均化して画質を劣化させない。

【００４４】第三の発明によれば、走査線を複数のグループに分け、各グループにそれぞれ走査方向が互いに異なる２つの走査線駆動回路Ａ，Ｂを具備し、各グループの走査線駆動回路Ａに接続した走査線を１本ずつ走査した後、各グループの走査線駆動回路Ｂに接続した走査線を１本ずつ走査する駆動を繰り返すことにより、データ信号極性の反転周期を８ライン以上にし、信号線駆動電力を更に低減することができる。

【００４５】第四の発明によれば、走査線を複数のグループに分け、各グループにそれぞれ走査方向が互いに異なる２つの走査線駆動回路Ａ，Ｂを具備し、各グループの走査線駆動回路Ａに接続した走査線を１本ずつ走査した後、各グループの走査線駆動回路Ｂに接続した走査線を１本ずつ走査する駆動を繰り返すことによりデータ信号極性の反転周期を８ライン以上と長くして信号線駆動電力を低減し、また、２乃至複数フレームを１周期として走査順を切り替えることにより、画素電極の充電不足による輝度差を平均化して画質を劣化させない。

【図面の簡単な説明】
【図１】第１の実施の形態の動作タイミング図
【図２】第１の実施の形態の液晶表示装置の回路構成図
【図３】第１の実施の形態の走査線駆動回路の回路構成および動作タイミング図
【図４】第１の実施の形態の走査順と信号極性説明図
【図５】第２の実施の形態の動作タイミング図
【図６】第２の実施の形態の液晶表示装置の回路構成図
【図７】第２の実施の形態の２フレーム周期の走査順切り替えと信号極性説明図
【図８】第２の実施の形態の４フレーム周期の走査順切り替えと信号極性説明図
【図９】第３の実施の形態の動作タイミング図
【図１０】第３の実施の形態の液晶表示装置の回路構成図
【図１１】第３の実施の形態の走査順と信号極性説明図
【図１２】第４の実施の形態の動作タイミング図
【図１３】第４の実施の形態の液晶表示装置の回路構成図
【図１４】従来の液晶表示装置の回路構成図　*
*【図１５】従来の液晶表示装置の液晶パネルにおける信号線駆動回路、走査線駆動回路の構成図
【図１６】従来の液晶表示装置の動作タイミング図
【図１７】従来の液晶表示装置の走査順と信号極性説明図
【図１８】第１の実施の形態におけるデータ信号の順序変更回路の構成図
【図１９】第１の実施の形態におけるデータ信号の順序変更回路の動作タイミング図
【符号の説明】
１０１　液晶パネル
１０２　信号線駆動回路
１０３，１０４，１０９，１１０，１１２，１１３，１１４，１１５，１１７，１１８，１１９，１２０，３０２　走査線駆動回路
１０５　増幅器
１０６，１０８，１１１，１１６，３０１　タイミング制御回路
１０７　電源回路

【図１】



【図１７】

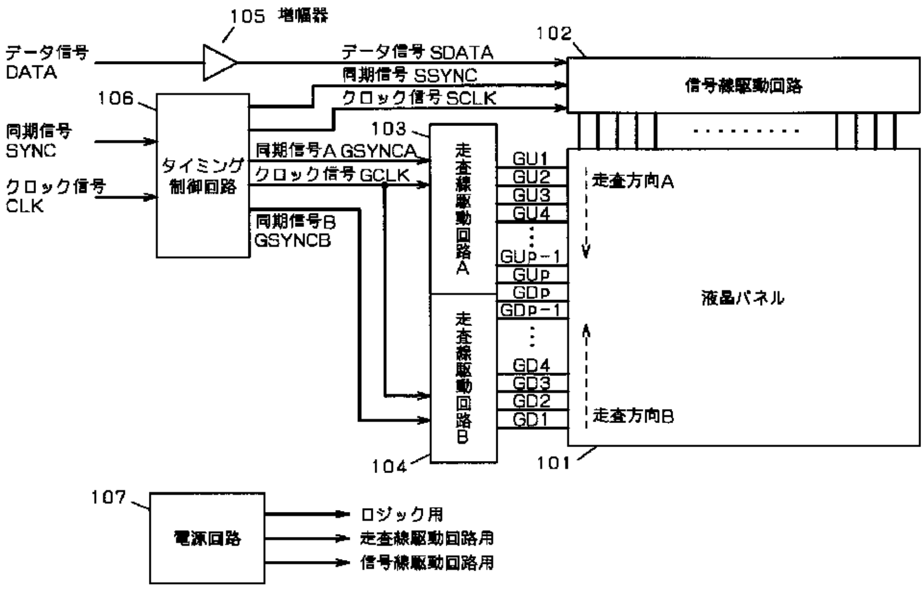
走査順

①	+	+	+	+	+	+	+	+
②	−	−	−	−	−	−	−	−
③	+	+	+	+	+	+	+	+
④	−	−	−	−	−	−	−	−
⑤	+	+	+	+	+	+	+	+
⑥	−	−	−	−	−	−	−	−

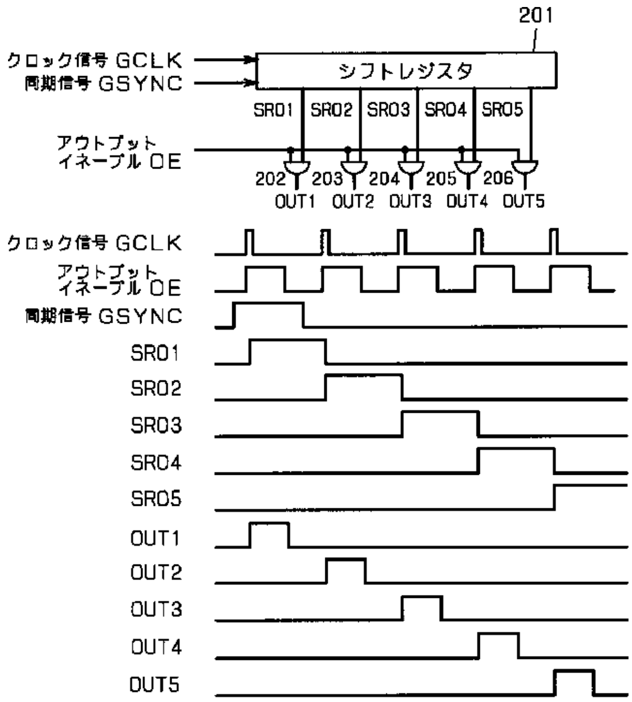
→ ←

−	−	−	−	−	−	−	−
+	+	+	+	+	+	+	+
−	−	−	−	−	−	−	−
+	+	+	+	+	+	+	+
−	−	−	−	−	−	−	−
+	+	+	+	+	+	+	+

【図２】


105 増幅器
データ信号
DATA
データ信号 SDATA
102
同期信号 SSYNC
クロック信号 SCLK
106
信号線駆動回路
同期信号
SYNC
103
タイミング
制御回路
同期信号A GSYNCA
クロック信号 GCLK
クロック信号
CLK
同期信号B
GSYNCB
走査線駆動回路A
GU1
GU2
GU3
GU4
GUp－1
GUp
GDp
GDp－1
GD4
GD3
GD2
GD1
走査方向A
液晶パネル
走査方向B
走査線駆動回路B
104
101
107
電源回路
ロジック用
走査線駆動回路用
信号線駆動回路用

【図３】


201
クロック信号 GCLK
同期信号 GSYNC
シフトレジスタ
SR01
SR02
SR03
SR04
SR05
アウトプット
イネーブル OE
202
203
204
205
206
OUT1
OUT2
OUT3
OUT4
OUT5
クロック信号 GCLK
アウトプット
イネーブル OE
同期信号 GSYNC
SR01
SR02
SR03
SR04
SR05
OUT1
OUT2
OUT3
OUT4
OUT5

【図４】

（ａ）

走査順							
①	GU1	+	+	+	+	+	+
③	GU2	−	−	−	−	−	−
⑤	GU3	+	+	+	+	+	+
⑦	GU4	−	−	−	−	−	−
⑨	GU5	+	+	+	+	+	+
⑪	GU6	−	−	−	−	−	−
⑫	GD6	+	+	+	+	+	+
⑩	GD5	−	−	−	−	−	−
⑧	GD4	+	+	+	+	+	+
⑥	GD3	−	−	−	−	−	−
④	GD2	+	+	+	+	+	+
②	GD1	−	−	−	−	−	−

走査順	①GU1	②GD1	③GU2	④GD2	⑤GU3	⑥GD3	⑦GU4	⑧GD4	⑨GU5	⑩GD5	⑪GU6	⑫GD6
信号極性	+	−	−	+	+	−	−	+	+	−	−	+

（ｂ）

フレームNのデータ

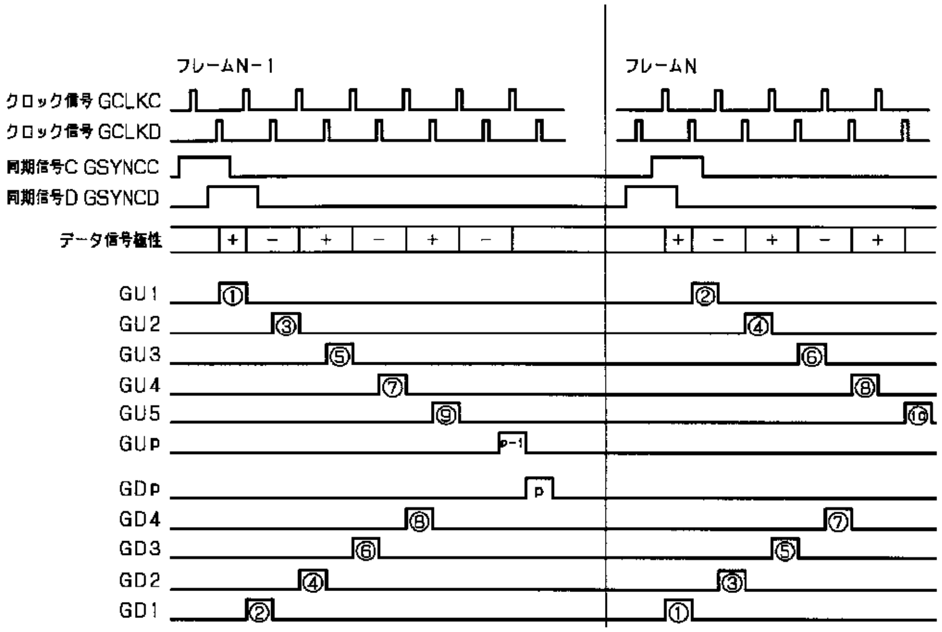
フレームN−1のデータ

フレームNのデータ

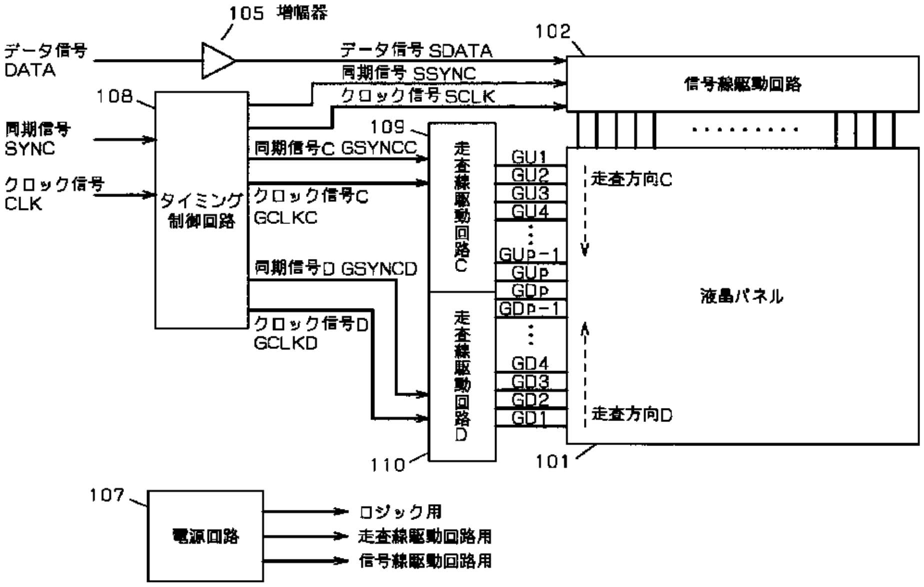
走査順							
①	GU1	−	−	−	−	−	−
③	GU2	+	+	+	+	+	+
⑤	GU3	−	−	−	−	−	−
	GU4	−	−	−	−	−	−
	GU5	+	+	+	+	+	+
	GU6	−	−	−	−	−	−
	GD6	+	+	+	+	+	+
	GD5	−	−	−	−	−	−
	GD4	+	+	+	+	+	+
⑥	GD3	+	+	+	+	+	+
④	GD2	−	−	−	−	−	−
②	GD1	+	+	+	+	+	+

走査順	①GU1	②GD1	③GU2	④GD2	⑤GU3	⑥GD3
信号極性	−	+	+	−	−	+

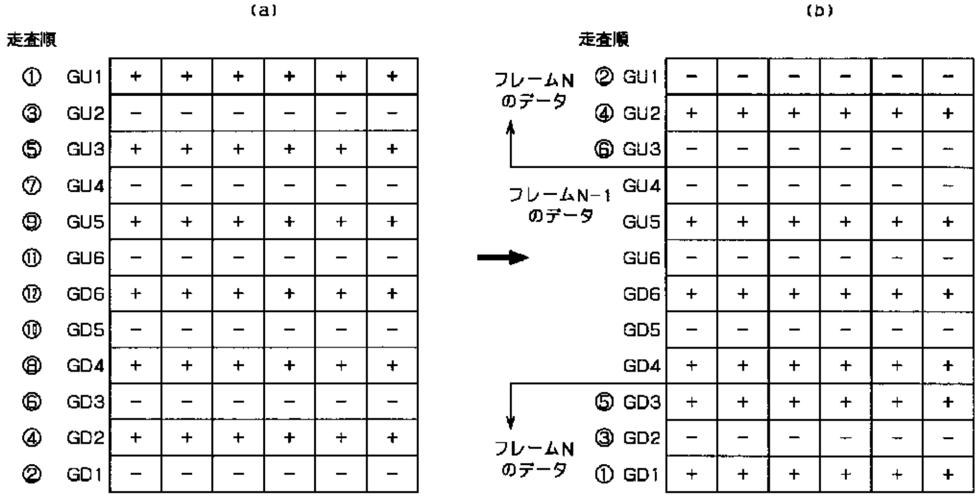
【図５】



【図６】



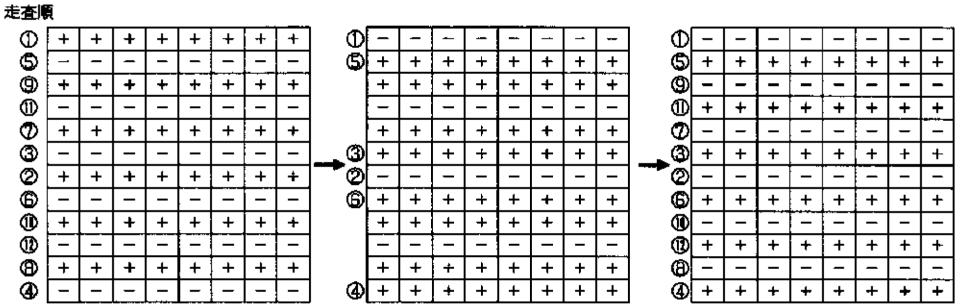
【図７】



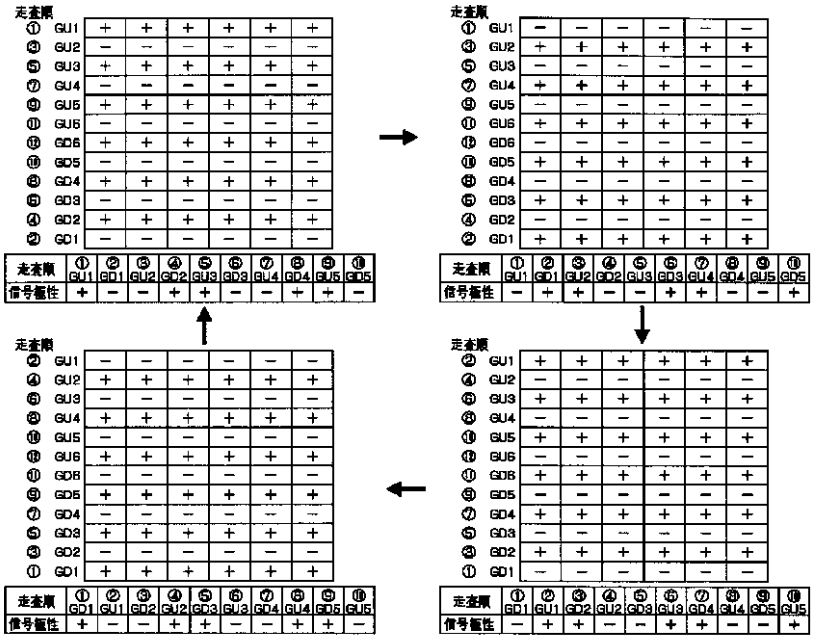
走査順	① GU1	② GD1	③ GU2	④ GD2	⑤ GU3	⑥ GD3	⑦ GU4	⑧ GD4	⑨ GU5	⑩ GD5	⑪ GU6	⑫ GD6
信号極性	+	−	−	+	+	−	−	+	+	−	−	+

走査順	① GD1	② GU1	③ GD2	④ GU2	⑤ GD3	⑥ GU3
信号極性	+	−	−	+	+	−

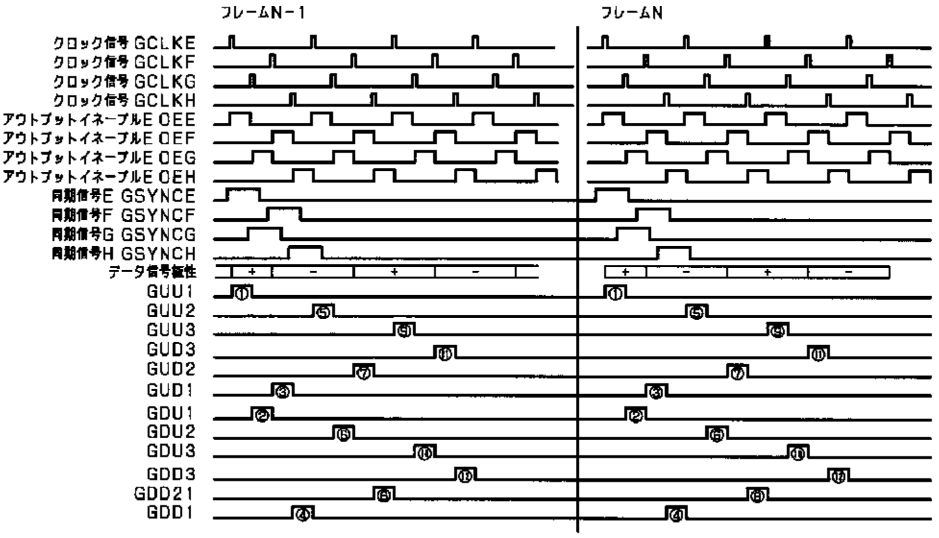
【図１１】



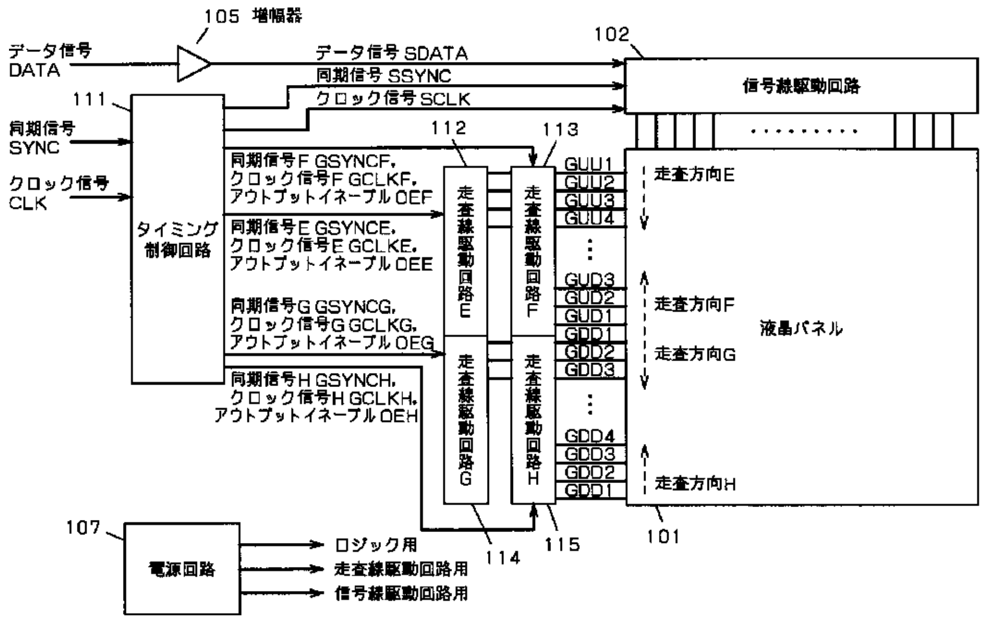
【図８】


走査順
信号極性

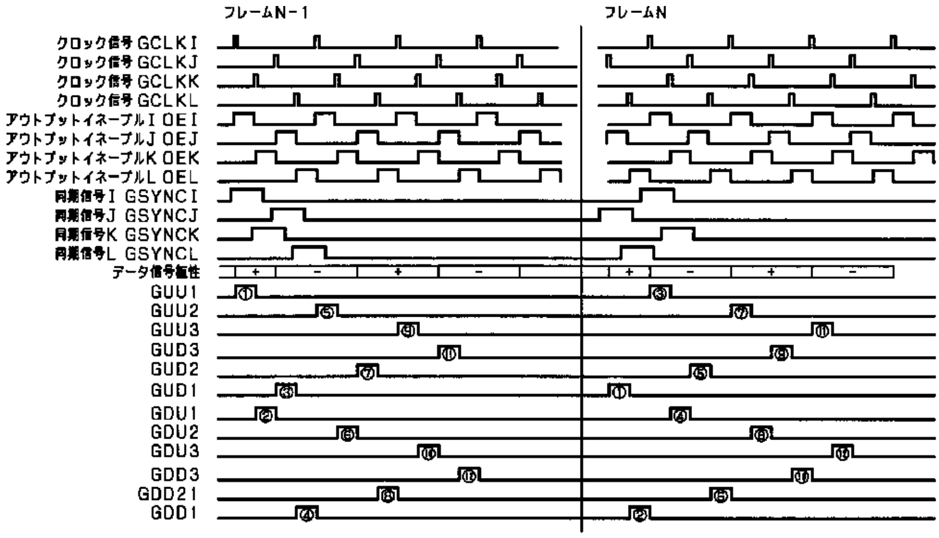
【図９】


フレームN－1
フレームN
クロック信号 GCLKE
クロック信号 GCLKF
クロック信号 GCLKG
クロック信号 GCLKH
アウトプットイネーブルE OEE
アウトプットイネーブルE OEF
アウトプットイネーブルE OEG
アウトプットイネーブルE OEH
同期信号E GSYNCE
同期信号F GSYNCF
同期信号G GSYNCG
同期信号H GSYNCH
データ信号極性
GUU1
GUU2
GUU3
GUD3
GUD2
GUD1
GDU1
GDU2
GDU3
GDD3
GDD21
GDD1

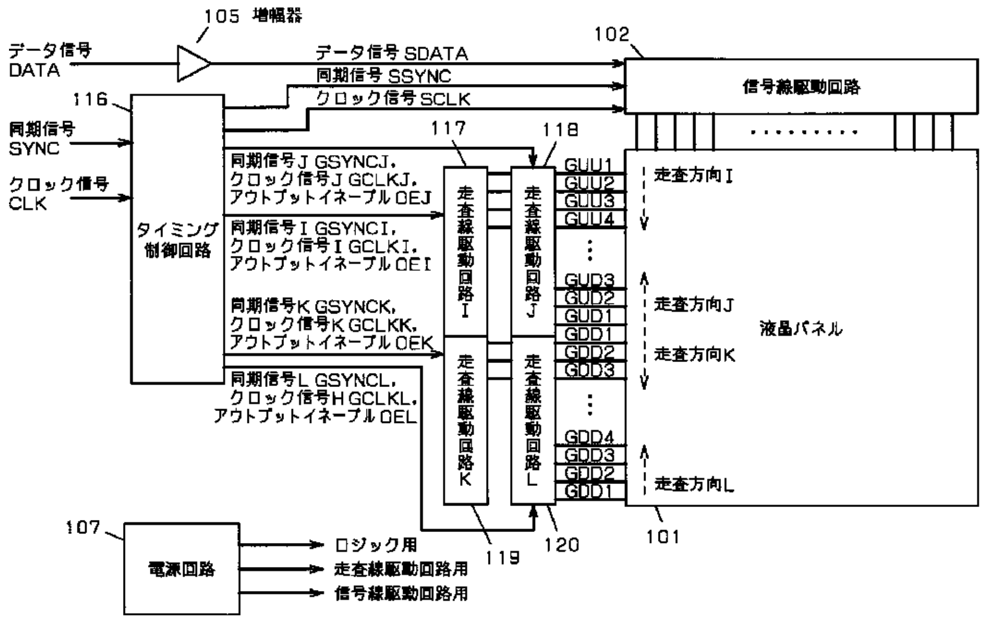
【図１０】


105 増幅器
データ信号
DATA
データ信号 SDATA
同期信号 SSYNC
クロック信号 SCLK
102
信号線駆動回路
111
同期信号
SYNC
クロック信号
CLK
タイミング制御回路
112
113
同期信号F GSYNCF,
クロック信号F GCLKF,
アウトプットイネーブル OEF
同期信号E GSYNCE,
クロック信号E GCLKE,
アウトプットイネーブル OEE
同期信号G GSYNCG,
クロック信号G GCLKG,
アウトプットイネーブル OEG
同期信号H GSYNCH,
クロック信号H GCLKH,
アウトプットイネーブル OEH
走査線駆動回路E
走査線駆動回路F
走査線駆動回路G
走査線駆動回路H
GUU1
GUU2
GUU3
GUU4
GUD3
GUD2
GUD1
GDD1
GDD2
GDD3
GDD4
GDD3
GDD2
GDD1
走査方向E
走査方向F
走査方向G
走査方向H
液晶パネル
107
電源回路
ロジック用
走査線駆動回路用
信号線駆動回路用
114
115
101

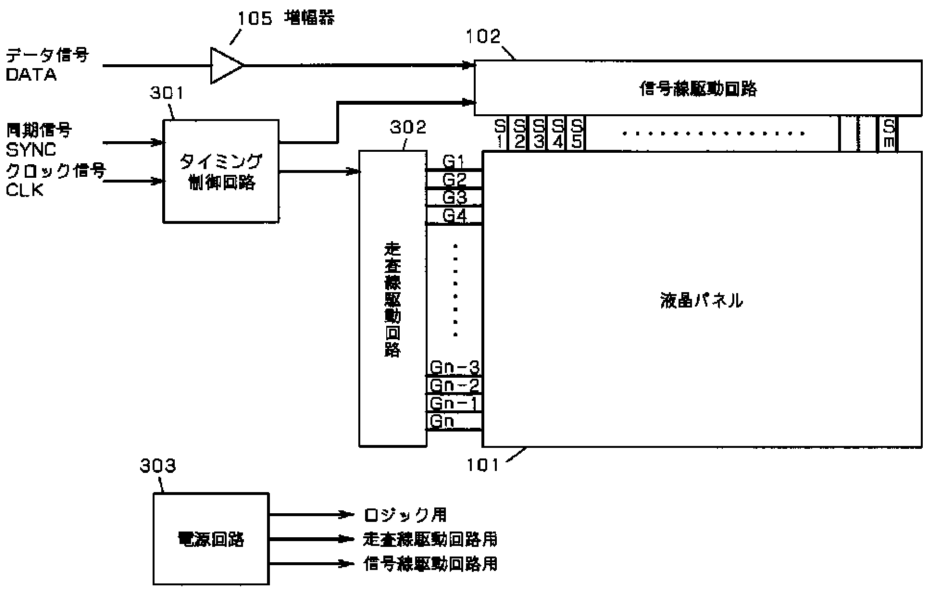
【図１２】


フレームN－1
フレームN
クロック信号 GCLKI
クロック信号 GCLKJ
クロック信号 GCLKK
クロック信号 GCLKL
アウトプットイネーブルI OEI
アウトプットイネーブルJ OEJ
アウトプットイネーブルK OEK
アウトプットイネーブルL OEL
同期信号I GSYNCI
同期信号J GSYNCJ
同期信号K GSYNCK
同期信号L GSYNCL
データ信号極性
GUU1
GUU2
GUU3
GUD3
GUD2
GUD1
GDU1
GDU2
GDU3
GDD3
GDD21
GDD1

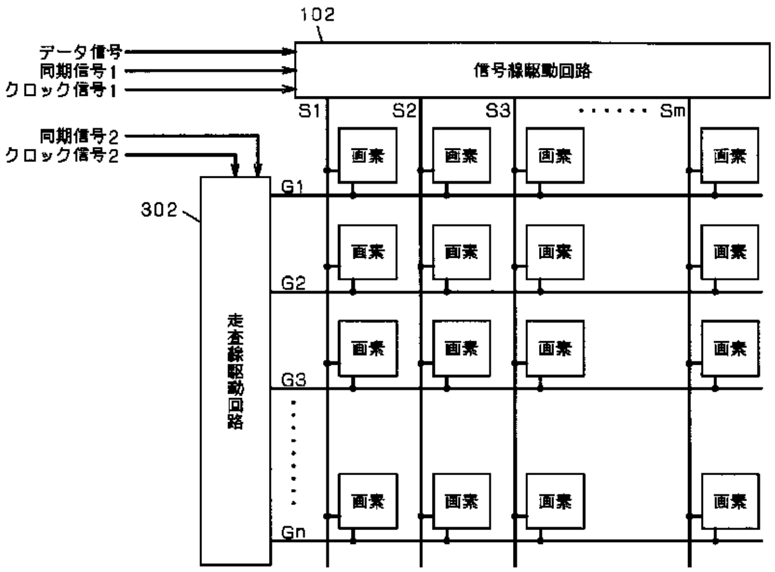
【図１３】


105 増幅器
データ信号
DATA
データ信号 SDATA
同期信号 SSYNC
クロック信号 SCLK
102
信号線駆動回路
116
同期信号
SYNC
クロック信号
CLK
タイミング
制御回路
117
118
同期信号J GSYNCJ,
クロック信号J GCLKJ,
アウトプットイネーブル OEJ
同期信号I GSYNCI,
クロック信号I GCLKI,
アウトプットイネーブル OEI
同期信号K GSYNCK,
クロック信号K GCLKK,
アウトプットイネーブル OEK
同期信号L GSYNCL,
クロック信号H GCLKL,
アウトプットイネーブル OEL
走査線駆動回路I
走査線駆動回路J
走査線駆動回路K
走査線駆動回路L
GUU1
GUU2
GUU3
GUU4
GUD3
GUD2
GUD1
GDD1
GDD2
GDD3
GDD4
GDD3
GDD2
GDD1
走査方向I
走査方向J
走査方向K
走査方向L
液晶パネル
101
119
120
107
電源回路
ロジック用
走査線駆動回路用
信号線駆動回路用

【図１４】

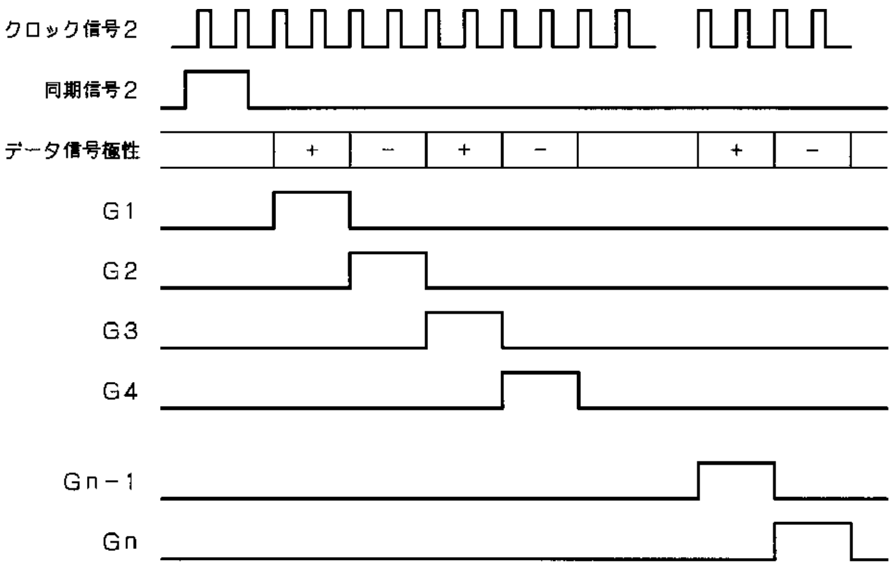

105 増幅器
データ信号
DATA
102
信号線駆動回路
301
同期信号
SYNC
クロック信号
CLK
タイミング
制御回路
302
S1 S2 S3 S4 S5
Sm
G1
G2
G3
G4
Gn-3
Gn-2
Gn-1
Gn
走査線駆動回路
液晶パネル
101
303
電源回路
ロジック用
走査線駆動回路用
信号線駆動回路用

【図１５】



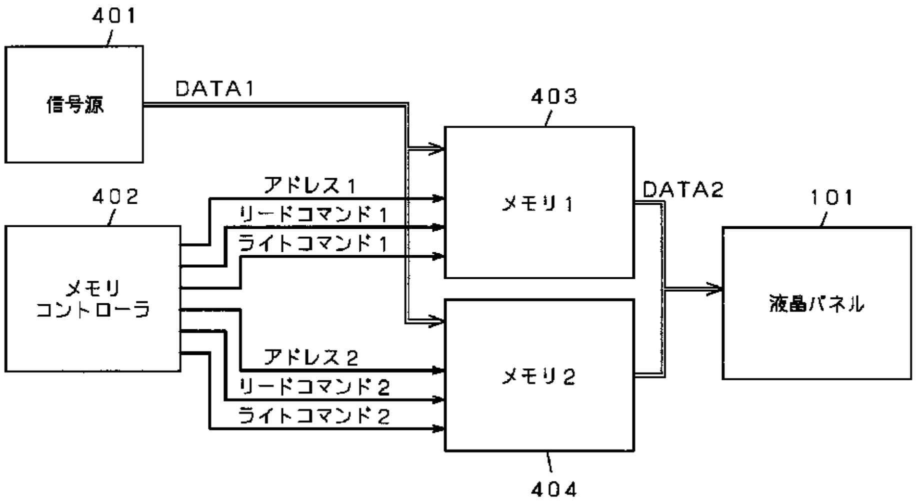
102
データ信号
同期信号1
クロック信号1
信号線駆動回路
S1
S2
S3
Sm
同期信号2
クロック信号2
302
走査線駆動回路
G1
G2
G3
Gn
画素

【図１６】

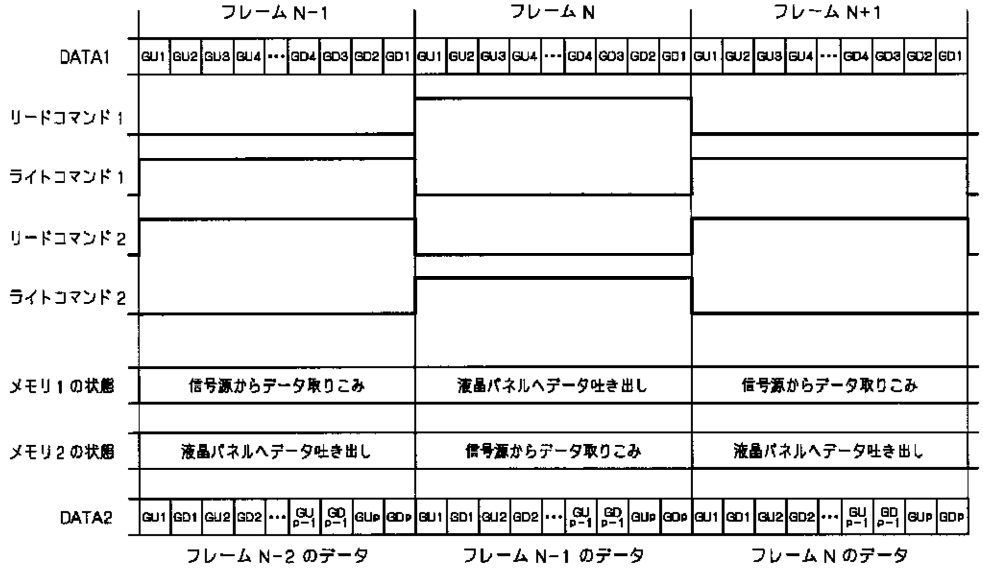


クロック信号2
同期信号2
データ信号極性
+
−
G1
G2
G3
G4
Gn−1
Gn

【図１８】



【図１９】

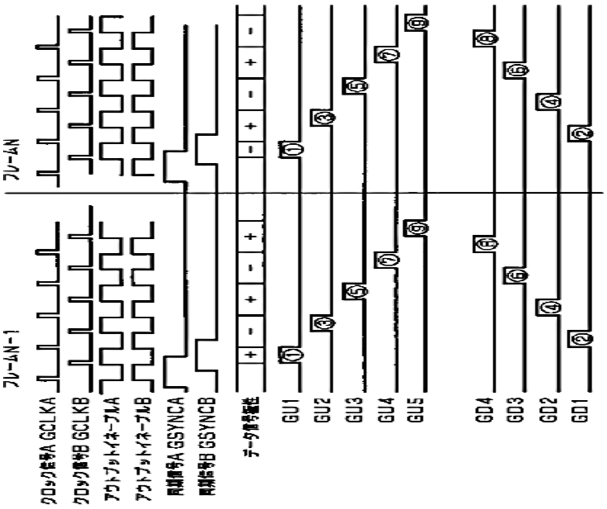


フロントページの続き

(51)Int.Cl.[7]	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
Ｇ０９Ｇ　3/20	６２２	Ｇ０９Ｇ　3/20	６２２Ｌ

Ｆターム(参考)　2H093 NA16 NA32 NA33 NA44 NC34
ND10 ND39
5C006 AA16 AC24 AC27 AF42 BB16
BC13 BF26 FA23 FA47
5C080 AA10 BB05 DD06 DD26 EE29
FF11 JJ02 JJ04

专利名称(译)	液晶显示装置的驱动方法和驱动电路		
公开(公告)号	JP2002244623A	公开(公告)日	2002-08-30
申请号	JP2001039819	申请日	2001-02-16
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	中村美香 山倉誠		
发明人	中村 美香 山倉 誠		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.611.E G09G3/20.621.B G09G3/20.622.L		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA44 2H093/NC34 2H093/ND10 2H093/ND39 5C006/AA16 5C006/AC24 5C006/AC27 5C006/AF42 5C006/BB16 5C006/BC13 5C006/BF26 5C006/FA23 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZC02 2H193/ZC04 2H193/ZC15 2H193/ZC30		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示驱动方法实现了用于极性反转的低功率驱动和无闪烁的高图像质量驱动。 解决方案：通过使用具有不同扫描方向的两个扫描线驱动电路切换扫描线的扫描顺序，数据信号极性的反转周期将增加一倍或更多，并且信号线驱动功率将减半。 可以简化为以下几种。