

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2002 - 124677

(P2002 - 124677A)

(43)公開日 平成14年4月26日(2002.4.26)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード* (参考)
H 0 1 L 29/786		G 0 9 F 9/30 338	2 H 0 9 2
21/336		H 0 1 L 29/78 612 D	5 C 0 9 4
G 0 2 F 1/1368		G 0 2 F 1/136 500	5 F 1 1 0
G 0 9 F 9/30	338	H 0 1 L 29/78 616 A	
		617 L	
審査請求 未請求 請求項の数 16 O L (全 10数)			

(21)出願番号 特願2000 - 312812(P2000 - 312812)

(22)出願日 平成12年10月13日(2000.10.13)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 伊賀 大輔

東京都港区芝五丁目7番1号 日本電気株式
会社内

(74)代理人 100114672

弁理士 宮本 恵司

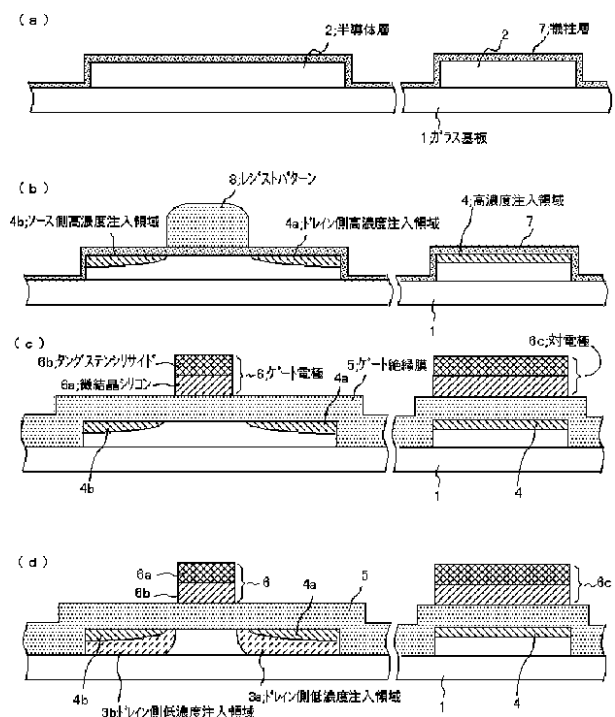
最終頁に続く

(54)【発明の名称】 液晶表示用基板及びその製造方法

(57)【要約】

【課題】同一基板上にT F Tと蓄積容量とが形成される液晶表示装置において、蓄積容量形成のためのイオン注入工程を別途追加することなく、かつ、ソース領域でのキャリアの注入による信頼性の低下を防止することができる非対称L D D構造のT F Tを有する液晶表示装置及びその製造方法の提供。

【解決手段】ガラス基板1上に設けられた薄膜トランジスタ領域と蓄積容量領域とに、低温ポリシリコンからなる半導体層2を配設し、その上に犠牲層7を堆積した後、薄膜トランジスタ領域のゲート電極形成部に、該ゲート電極のソース/ドレイン両端側に所定のマージンを見込んだレジストパターン8を形成し、これをマスクとして、薄膜トランジスタ領域と蓄積容量領域とに同時に高濃度のイオン注入を行った後、ゲート絶縁膜5、ゲート電極6を形成し、ゲート電極6をマスクとして、薄膜トランジスタ領域に高い加速電圧で自己整合的に低濃度のイオン注入を行うことにより、蓄積容量領域へのイオン注入工程を別途追加することなく非対称L D D構造を有するT F Tを形成する。



【特許請求の範囲】

【請求項 1】絶縁基板上に設けられた薄膜トランジスタ領域及び蓄積容量領域に半導体層を備え、前記薄膜トランジスタ領域の前記半導体層には低濃度注入領域と高濃度注入領域とからなる LDD 構造が形成され、前記蓄積容量領域の前記半導体層には高濃度注入領域が形成される液晶表示用基板の製造方法において、前記半導体層配設後、犠牲層を介して、ゲート電極形成領域のソース/ドレイン両電極方向に所定のマージンを見込んで形成したレジストパターンをマスクとして、前記薄膜トランジスタ領域と前記蓄積容量領域とに同時に高濃度のイオン注入を行い、その後、ゲート絶縁膜を介して形成したゲート電極をマスクとして、前記高濃度のイオン注入よりも高い注入エネルギーで、前記薄膜トランジスタ領域に自己整合的に低濃度のイオン注入を行うことを特徴とする液晶表示用基板の製造方法。

【請求項 2】(a) 絶縁基板上の薄膜トランジスタ領域及び蓄積容量領域に、各々低温ポリシリコンからなる半導体層を配設する工程と、

(b) 前記半導体層上に所定の膜厚の犠牲層を堆積する工程と、

(c) 前記薄膜トランジスタ領域のゲート電極を形成する領域とソース/ドレイン両電極を形成する領域との間に所定のマージンを見込んだレジストパターンを形成する工程と、

(d) 前記レジストパターンをマスクとして、前記薄膜トランジスタ領域と前記蓄積容量領域とに、同時に高濃度のイオン注入を行い、前記半導体層に浅く高濃度注入領域を形成する工程と、

(e) 前記レジストパターンと前記犠牲層とを除去した後、前記半導体層上に所定の膜厚のゲート絶縁膜を堆積する工程と、

(f) 前記薄膜トランジスタ領域の前記ゲート絶縁膜上にゲート電極を配設し、同時に前記蓄積容量領域の前記ゲート絶縁膜上に対電極を配設する工程と、

(g) 前記ゲート電極をマスクとして、前記高濃度のイオン注入よりも高いエネルギーで、前記薄膜トランジスタ領域に自己整合的に低濃度のイオン注入を行い、前記高濃度注入領域を覆うように前記半導体層に深く低濃度注入領域を形成する工程と、を少なくとも有することを特徴とする液晶表示用基板の製造方法。

【請求項 3】前記絶縁基板の法線方向から見て、前記レジストパターンに見込む前記マージンが、ドレイン電極方向は LDD 長に、ソース電極方向はリソグラフィーの精度誤差に略等しく設定されることを特徴とする請求項 1 又は 2 に記載の液晶表示用基板の製造方法。

【請求項 4】前記 LDD 長が略 $1.5 \mu\text{m}$ 、前記リソグラフィーの精度誤差が略 $0.5 \mu\text{m}$ に設定されることを特徴とする請求項 3 に記載の液晶表示用基板の製造方法。

【請求項 5】前記犠牲層が略 10 nm の膜厚で形成さ

れ、前記高濃度イオンが、略 $10 \text{ keV} \sim 30 \text{ keV}$ の加速電圧で前記半導体層表面から略 30 nm の深さまで注入されることを特徴とする請求項 1 乃至 4 のいずれかに記載の液晶表示用基板の製造方法。

【請求項 6】前記半導体層が略 60 nm の膜厚で形成され、前記低濃度イオンが、略 $80 \text{ keV} \sim 90 \text{ keV}$ の加速電圧で前記半導体層の底面まで注入されることを特徴とする請求項 1 乃至 5 のいずれかに記載の液晶表示用基板の製造方法。

【請求項 7】前記高濃度注入領域が、前記半導体層表面で略 $10^{21} / \text{cm}^2$ の最大不純物濃度となり、前記半導体層表面から略 30 nm の深さで略 $10^{16} / \text{cm}^2$ の不純物濃度を有し、前記低濃度注入領域は、前記半導体層の表面と底面とにおける不純物濃度の差が、略 $4.0 \times 10^{17} / \text{cm}^2$ 以下となる条件でイオンが注入されることを特徴とする請求項 1 乃至 6 のいずれかに記載の液晶表示用基板の製造方法。

【請求項 8】前記ゲート電極が、微結晶シリコンとタングステンシサイドとの積層膜により形成されることを特徴とする請求項 1 乃至 7 のいずれかに記載の液晶表示用基板の製造方法。

【請求項 9】絶縁基板上に半導体層を備え、前記半導体層には低濃度注入領域と高濃度注入領域とが形成されて LDD 構造が形成されてなる薄膜トランジスタにおいて、

前記半導体層には、ゲート電極からソース/ドレイン両電極方向に所定の距離だけ離間して浅く前記高濃度注入領域が形成され、前記高濃度注入領域を覆うように前記低濃度注入領域が深く、かつ、前記ゲート電極と相重ならないように形成されていることを特徴とする薄膜トランジスタ。

【請求項 10】絶縁基板上に設けられた薄膜トランジスタ領域及び蓄積容量領域に半導体層を備え、前記薄膜トランジスタ領域の前記半導体層には低濃度注入領域と高濃度注入領域とが形成されて LDD 構造をなし、前記蓄積容量領域の前記半導体層には高濃度注入領域が形成されてなる液晶表示用基板において、

前記薄膜トランジスタ領域の前記半導体層には、ゲート電極からソース/ドレイン両電極方向に所定の距離だけ離間して浅く前記高濃度注入領域が形成され、前記高濃度注入領域を覆うように前記低濃度注入領域が深く形成され、

前記蓄積容量領域には、前記薄膜トランジスタの前記高濃度注入領域とイオン注入濃度及び注入深さが略等しい高濃度注入領域が形成されていることを特徴とする液晶表示用基板。

【請求項 11】絶縁基板上に設けられた薄膜トランジスタ領域及び蓄積容量領域に、低温ポリシリコンからなる半導体層を有し、前記薄膜トランジスタ領域及び前記蓄積容量領域の前記半導体層には、犠牲層を介してゲート

電極形成領域のソース／ドレイン両電極方向に所定のマージンを見込んで形成されたレジストパターンをマスクとして、イオン注入濃度及び注入深さが略等しい条件でイオン注入された高濃度注入領域が各々浅く形成され、更に、前記薄膜トランジスタ領域の前記半導体層には、ゲート絶縁膜を介して形成されたゲート電極をマスクとして、前記高濃度のイオン注入よりも高いエネルギーで自己整合的にイオン注入された低濃度注入領域が深く形成されていることを特徴とする液晶表示用基板。

【請求項 12】前記絶縁基板の法線方向から見て、前記高濃度注入領域が、ドレイン側では LDD 長 ± リソグラフィの精度誤差だけ前記ゲート電極から離間して形成され、ソース側では前記ゲート電極と相重ならず、かつ、前記ゲート電極との距離がリソグラフィの精度誤差の 2 倍以下であることを特徴とする請求項 10 又は 11 に記載の液晶表示用基板。

【請求項 13】前記ドレイン側の前記高濃度注入領域と前記ゲート電極との離間距離が略 $1.0\ \mu\text{m} \sim 2.0\ \mu\text{m}$ 、前記ソース側の前記高濃度注入領域と前記ゲート電極との離間距離が略 $1.0\ \mu\text{m}$ 以下であることを特徴とする請求項 12 記載の液晶表示用基板。

【請求項 14】前記高濃度注入領域が、前記半導体層表面から略 $30\ \text{nm}$ の深さまで形成され、前記低濃度注入領域が、前記高濃度注入領域を覆い、前記半導体層底面まで到達していることを特徴とする請求項 10 乃至 13 のいずれかに記載の液晶表示用基板。

【請求項 15】前記高濃度不純物層が、前記半導体層表面で略 $10^{21} / \text{cm}^2$ の最大不純物濃度となり、前記半導体層表面から略 $30\ \text{nm}$ の深さで略 $10^{16} / \text{cm}^2$ の不純物濃度を有し、前記低濃度注入領域は、前記半導体層の表面と底面とにおける不純物濃度の差が略 $4.0 \times 10^{17} / \text{cm}^2$ 以下であることを特徴とする請求項 10 乃至 14 のいずれかに記載の液晶表示用基板。

【請求項 16】前記ゲート電極が微結晶シリコンとタンゲステンシリサイドとの積層膜を含むことを特徴とする請求項 10 乃至 15 のいずれかに記載の液晶表示用基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示用基板及びその製造方法に関し、特に、同一基板上に薄膜トランジスタと蓄積容量とが形成されるアクティブマトリクス型液晶表示用基板及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の微細化に伴い MOS トランジスタのゲート長が短くなり、ホットキャリアの注入やショートチャネル効果によりトランジスタの信頼性が低下するという問題が生じている。そこで、ドレイン近傍の高電界領域におけるデバイスの信頼性の低下を防止するために、不純物濃度に勾配を設けた LDD (Lig

htly Doped Drain) 構造が広く用いられている。この LDD 構造は、ゲートとソース／ドレイン間の基板表面に不純物濃度の低いオフセットゲート層を形成することによって、パンチスルー電圧やホットキャリア耐圧を高めるものである。

【0003】ここで、Si 基板上に形成される一般的な LDD 構造の MOSFET の製造方法について図 6 を参照して説明する。まず、図 6 (a) に示すように、Si 基板 13 上に LOCOS 法により分離酸化膜 14 を形成し、この分離酸化膜 14 で挟まれたフィールド領域に、熱酸化法によりシリコン酸化膜からなるゲート絶縁膜 5 を形成した後、減圧 CVD 法等を用いてポリシリコンを成長させ、フォトリソグラフィ技術及びドライエッチング技術を用いてゲート電極 6 を形成する。その後、ゲート電極 6 をマスクとしてイオン注入法により基板全面に低濃度のイオンを注入し、所定の条件でアニールを行い、低濃度注入領域 3a、3b を形成する。

【0004】次に、図 6 (b) に示すように、減圧 CVD 法等により基板全面にシリコン酸化膜等を堆積し、異方性ドライエッチングによりシリコン酸化膜をエッチバックして、ゲート電極 6 の側壁にサイドウォール酸化膜 15 を形成する。そして、図 6 (c) に示すように、ゲート電極 6 及びサイドウォール酸化膜 15 をマスクとして高濃度のイオン注入を行い、高濃度注入領域 4a、4b を形成する。すると、サイドウォール酸化膜 15 直下ではオフセットゲート層となる低濃度注入領域 3a、3b が、その外側には高濃度注入領域 4a、4b が自己整合的に形成される。

【0005】このような LDD 構造の MOSFET においては、ドレイン側では低濃度注入領域 3a によってパンチスルー電圧及びホットキャリア耐圧を高めることができるが、サイドウォール酸化膜 15 直下のオフセット層がゲート電極 6 に対して対称に形成されるため、ソース側では低濃度注入領域 3b によって寄生抵抗が高くなり、トランジスタの ON 抵抗が上昇してしまう。

【0006】そこで、この問題を解決するために、特開平 10-70196 号公報、特開平 10-12881 号公報等に、低濃度注入領域 3a、3b をゲート電極 6 に対して非対称に形成する方法が記載されている。この非対称型 LDD 構造の MOSFET を Si 基板上に形成する方法について説明すると、まず、前記した対称型 LDD 構造の場合と同様に、Si 基板 13 上にゲート絶縁膜 5 としてシリコン酸化膜を形成した後、減圧 CVD 法等を用いてポリシリコンを堆積し、所定の形状にエッチングしてゲート電極 6 を形成する。そして、このゲート電極 6 をマスクとしてイオン注入法により基板全面に低濃度のイオンを注入し、所定の条件でアニールを行って低濃度注入領域 3a、3b を形成する。

【0007】次に、減圧 CVD 法等により基板全面にシリコン酸化膜等を堆積し、異方性ドライエッチングによ

りシリコン酸化膜をエッチバックするが、その際、プラズマエッチングのイオンの打ち込み角度を垂直から所定の角度だけ傾けてドライエッチングを行うことにより、ゲート電極 6 側壁に左右非対称の厚みを持ったサイドウォール酸化膜 15 a、15 b を形成する。そして、ゲート電極 6 及びサイドウォール酸化膜 15 a、15 b をマスクとして高濃度のイオン注入を行い、高濃度注入領域 4 a、4 b を形成することにより、図 7 に示すように、ソース側（図の左側）の低濃度注入領域 3 b がドレイン側の低濃度注入領域 3 a よりも短い、非対称の LDD 構造が形成される。

【0008】

【発明が解決しようとする課題】上述した方法で形成した左右非対称の LDD 構造によって、ホットキャリアの注入を抑制し、かつ、ソース領域でのトランジスタの ON 抵抗を減少させることができるが、上記手法は Si 基板 13 上に形成される MOS トランジスタにおいて有効な製造方法であり、液晶表示装置のアクティブマトリクス基板に形成される薄膜トランジスタ（TFT：Thin Film Transistor）にそのまま適用することは困難である。その理由は、液晶表示用基板にはガラス基板等が用いられるため、シリコン酸化膜からなるサイドウォール酸化膜 15 をエッチングする際にガラス基板もエッチングされてしまい、また、ガラス基板の耐熱温度を考慮すると、製造工程中の温度は 550 以下に抑えなければならない、半導体層形成プロセスに制約が生じる等の問題があるからである。

【0009】そこで、例えば、特開平 2 - 81439 号公報には、ガラス基板上にゲート絶縁膜を介して形成するゲート電極にシリサイド膜を形成し、このシリサイド膜をマスクとしてイオン注入を行う方法が記載されている。この方法について図 8 を参照して説明すると、まず、図 8（a）に示すように、ガラス基板 1 上に減圧 CVD 法等により半導体層 2 を堆積し、ドライエッチングにより所定の形状に加工した後、ゲート絶縁膜 5 を形成し、その上にポリシリコン等からなるゲート電極 6 を形成する。その後、このゲート電極 6 をマスクとして半導体層 2 に低濃度のイオンを注入し、低濃度注入領域 3 を形成する。

【0010】次に、図 8（b）に示すように、ゲート電極 6 表面に Ti 等の金属をスパッタ法等により成膜した後、金属膜をシリサイド化することによりシリサイド膜 16 からなるサイドウォールを形成する。その後、図 8（c）に示すように、ゲート電極 6 及びシリサイド膜 16 をマスクとして半導体層 2 に高濃度のイオン注入を行い、高濃度注入領域 4 を形成する。

【0011】しかしながら、この方法では、ゲート電極 6 側壁に成長したシリサイド膜 16 によってオフセット領域の幅が決定されることになるが、ゲート電極 6 側壁に成膜する金属膜の膜厚を正確に制御することは困難で

あり、また、シリサイド膜 16 がゲート電極 6 の左右両側に対称に形成されるため、非対称の LDD 構造を形成することができない。また、金属膜を堆積した後、シリサイド化してサイドウォールを形成する方法に代えて、シリサイド膜 16 を堆積した後、異方性エッチングによりサイドウォールを形成する方法を用いた場合には、異方性エッチングの工程が追加されるために製造工程が複雑になってしまう。

【0012】更に、アクティブマトリクス基板上に TFT と共に蓄積容量部を形成する場合には、この蓄積容量部にも高濃度のイオン注入を行わなければならないが、上述した方法では、蓄積容量部への高濃度イオン注入工程を別途追加する必要があり、工程の増加を招いてしまう。

【0013】本発明は、上記問題点を鑑みてなされたものであって、その主たる目的は、同一基板上に TFT と蓄積容量部とが形成される液晶表示用基板において、蓄積容量形成のためのイオン注入工程を別途追加することなく、かつ、ソース領域でのキャリアの注入による信頼性の低下を防止することができる非対称 LDD 構造の TFT を有する液晶表示用基板及びその製造方法を提供することにある。

【0014】

【問題を解決するための手段】上記目的を達成するため、本発明は、絶縁基板上に設けられた薄膜トランジスタ領域及び蓄積容量領域に半導体層を備え、前記薄膜トランジスタ領域の前記半導体層には低濃度注入領域と高濃度注入領域とからなる LDD 構造が形成され、前記蓄積容量領域の前記半導体層には高濃度注入領域が形成される液晶表示用基板の製造方法において、前記半導体層配設後、犠牲層を介して、ゲート電極形成領域のソース／ドレイン両電極方向に所定のマージンを見込んで形成したレジストパターンをマスクとして、前記薄膜トランジスタ領域と前記蓄積容量領域とに同時に高濃度のイオン注入を行い、その後、ゲート絶縁膜を介して形成したゲート電極をマスクとして、前記高濃度のイオン注入よりも高い注入エネルギーで、前記薄膜トランジスタ領域に自己整合的に低濃度のイオン注入を行うものである。

【0015】また、本発明は、（a）絶縁基板上の薄膜トランジスタ領域及び蓄積容量領域に、各々低温ポリシリコンからなる半導体層を配設する工程と、（b）前記半導体層上に所定の膜厚の犠牲層を堆積する工程と、（c）前記薄膜トランジスタ領域のゲート電極を形成する領域とソース／ドレイン両電極を形成する領域との間に所定のマージンを見込んだレジストパターンを形成する工程と、（d）前記レジストパターンをマスクとして、前記薄膜トランジスタ領域と前記蓄積容量領域とに、同時に高濃度のイオン注入を行い、前記半導体層に浅く高濃度注入領域を形成する工程と、（e）前記レジストパターンと前記犠牲層とを除去した後、前記半導体

層上に所定の膜厚のゲート絶縁膜を堆積する工程と、
 (f) 前記薄膜トランジスタ領域の前記ゲート絶縁膜上にゲート電極を配設し、同時に前記蓄積容量領域の前記ゲート絶縁膜上に対電極を配設する工程と、(g) 前記ゲート電極をマスクとして、前記高濃度のイオン注入よりも高いエネルギーで、前記薄膜トランジスタ領域に自己整合的に低濃度のイオン注入を行い、前記高濃度注入領域を覆うように前記半導体層に深く低濃度注入領域を形成する工程と、を少なくとも有するものである。

【0016】本発明においては、前記絶縁基板の法線方向から見て、前記レジストパターンに見込む前記マージンが、ドレイン電極方向はLDD長に、ソース電極方向はリソグラフィーの精度誤差に略等しく設定されることが好ましい。

【0017】また、本発明においては、前記犠牲層が略10nmの膜厚で形成され、前記高濃度イオンが、略10keV~30keVの加速電圧で前記半導体層表面から略30nmの深さまで注入され、また、前記半導体層が略60nmの膜厚で形成され、前記低濃度イオンが、略80keV~90keVの加速電圧で前記半導体層の底面まで注入される構成とすることができる。

【0017a】本発明の薄膜トランジスタは、絶縁基板上に半導体層を備え、前記半導体層には低濃度注入領域と高濃度注入領域とが形成されてLDD構造が形成されてなる薄膜トランジスタにおいて、前記半導体層には、ゲート電極からソース/ドレイン両電極方向に所定の距離だけ離間して浅く前記高濃度注入領域が形成され、前記高濃度注入領域を覆うように前記低濃度注入領域が深く、かつ、前記ゲート電極と相重ならないように形成されているものである。

【0018】本発明の液晶表示用基板は、絶縁基板上に設けられた薄膜トランジスタ領域及び蓄積容量領域に半導体層を備え、前記薄膜トランジスタ領域の前記半導体層には低濃度注入領域と高濃度注入領域とが形成されてLDD構造をなし、前記蓄積容量領域の前記半導体層には高濃度注入領域が形成されてなる液晶表示用基板において、前記薄膜トランジスタ領域の前記半導体層には、ゲート電極からソース/ドレイン両電極方向に所定の距離だけ離間して浅く前記高濃度注入領域が形成され、前記高濃度注入領域を覆うように前記低濃度注入領域が深く形成され、前記蓄積容量領域には、前記薄膜トランジスタの前記高濃度注入領域とイオン注入濃度及び注入深さが略等しい高濃度注入領域が形成されているものである。

【0019】また、本発明の液晶表示用基板は、絶縁基板上に設けられた薄膜トランジスタ領域及び蓄積容量領域に、低温ポリシリコンからなる半導体層を有し、前記薄膜トランジスタ領域及び前記蓄積容量領域の前記半導体層には、犠牲層を介してゲート電極形成領域のソース/ドレイン両電極方向に所定のマージンを見込んで形成

されたレジストパターンをマスクとして、イオン注入濃度及び注入深さが略等しい条件でイオン注入された高濃度注入領域が各々浅く形成され、更に、前記薄膜トランジスタ領域の前記半導体層には、ゲート絶縁膜を介して形成されたゲート電極をマスクとして、前記高濃度のイオン注入よりも高いエネルギーで自己整合的にイオン注入された低濃度注入領域が深く形成されているものである。

【0020】本発明においては、前記絶縁基板の法線方向から見て、前記高濃度注入領域が、ドレイン側ではLDD長にリソグラフィーの精度誤差だけ前記ゲート電極から離間して形成され、ソース側では前記ゲート電極と相重ならず、かつ、前記ゲート電極との距離がリソグラフィーの精度誤差の2倍以下であることが好ましい。

【0021】また、本発明においては、前記高濃度注入領域が、前記半導体層表面から略30nmの深さまで形成され、前記低濃度注入領域が、前記高濃度注入領域を覆い、前記半導体層底面まで到達している構成とすることができる。

【0022】このように、本発明は上記構成により、薄膜トランジスタの高濃度注入と蓄積容量の高濃度注入とを同時に行うために、製造工程を増加させることなくTFETのLDD形成と蓄積容量の形成を行うことができ、リソグラフィーの精度誤差を見込んで最小限の長さの低濃度注入領域を設け、低濃度イオン注入は高濃度イオン注入よりも高いエネルギーで行っているために、トランジスタのON時抵抗の増大を最小限に抑え、トランジスタの特性ばらつきを抑制することができる。

【0023】

【発明の実施の形態】本発明に係る液晶表示用基板の製造方法は、その好ましい一実施の形態において、ガラス基板1上に設けられた薄膜トランジスタ領域と蓄積容量領域とに、低温ポリシリコンからなる半導体層2を配設し、その上に犠牲層7を堆積した後、薄膜トランジスタ領域のゲート電極形成部に、該ゲート電極のソース/ドレイン両端側に所定のマージンを見込んだレジストパターン8を形成し、これをマスクとして、薄膜トランジスタ領域と蓄積容量領域とに同時に高濃度のイオン注入を行った後、ゲート絶縁膜5、ゲート電極6を形成し、ゲート電極6をマスクとして、薄膜トランジスタ領域に高い加速電圧で自己整合的に低濃度のイオン注入を行うことにより、蓄積容量領域へのイオン注入工程を別途追加することなく非対称LDD構造を有するTFETを形成する。

【0024】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について、図1乃至図5を参照して説明する。図1は、本発明の一実施例に係る液晶表示装置のアクティブマトリクス基板におけるTFETと同一基板上に形成される蓄積容量部の構造を示

す断面図である。また、図2及び図3は、TFT及び蓄積容量部のレイアウトを示す平面図であり、図2は画素部の全体図、図3(a)は画素部TFTの部分拡大図、図3(b)は画素部周囲に形成される回路部TFTの部分拡大図である。また、図4は、アクティブマトリクス基板の製造方法を模式的に示す工程断面図であり、図5は、ソース/ドレイン領域における不純物濃度の分布を示す図である。なお、以下の説明では、図3(a)に示す画素部TFTについて述べるが、図3(b)に示すような、蓄積容量部11が接続されない回路部TFTも同様の手法を用いて形成することができる。

【0025】まず、図1乃至図3を参照して、本実施例の液晶表示装置のアクティブマトリクス基板におけるTFT及び蓄積容量部の構造について説明すると、本実施例のアクティブマトリクス基板は、ゲート線9とドレイン線とが互いに直交するように形成され、その交差部にTFTが配設され、ゲート線9とドレイン線とで囲まれる各々の画素には、単位TFTのソース/ドレイン部10に接続される蓄積容量部11が形成されている。

【0026】そして、ガラス基板1上の薄膜トランジスタ領域と蓄積容量領域には低温ポリシリコンからなる半導体層2が形成され、その上に半導体層2を覆うようにシリコン酸化膜等からなるゲート絶縁膜5が堆積され、更に、薄膜トランジスタ領域には、微結晶シリコン6aとタングステンシリサイド6bの積層構造からなるゲート電極6が、蓄積容量領域には同構造の対電極6cが形成されている。ここで、低温ポリシリコンとは、a-Siを前駆体とし、レーザーアニール、炉アニール等によって結晶化エネルギーを与え、Siの結晶化を行ったもので、最終的な結晶構造が多結晶となるものであり、この低温ポリシリコンを用いることにより、プロセス全工程を通して基板としてガラスを使用できる温度範囲(550以下)におさめることができる。

【0027】また、TFTのソース/ドレイン部10には、蓄積容量部11と同時に、浅く不純物が注入されて高濃度注入領域4a、4bが設けられ、ゲート電極6を中心にドレイン電極側(図の右側)にLDDを形成する低濃度注入領域3aが、ソース電極側(図の左側)にはLDD長よりも距離の短い低濃度注入領域3bが形成されている。この低濃度注入領域3a、3bは、深さ方向で濃度分布が少なく、かつ、高濃度注入領域4a、4bを覆うように深く形成されている。

【0028】このような非対称LDD構造のTFTの製造方法について、図4を参照して説明する。まず、図4(a)に示すように、ガラス基板1上に減圧CVD法等を用いて所定の膜厚の低温ポリシリコンを堆積し、公知のリソグラフィー技術及びドライエッチング技術を用いて、薄膜トランジスタ領域と蓄積容量領域とに半導体層2を形成する。この半導体層2は、膜厚が厚すぎると光吸収によるリーク電流が大きくなり誤動作の原因となっ

てしまい、また、薄すぎると後の工程で行う高濃度注入領域の活性化が困難になってしまうこと等を勘案して最適な膜厚に設定されるが、本実施例では60nm程度の膜厚としている。

【0029】そして、この半導体層2上にCVD法等を用いて犠牲層7となるシリコン酸化膜等を所定の膜厚で堆積する。この犠牲層は、後の工程で行う高濃度イオン注入において、半導体層2の表層のみに高濃度注入領域4a、4bが形成されるように薄く形成する必要があり、その膜厚はゲート絶縁膜5よりも薄く、例えば、10nm程度の膜厚で形成される。

【0030】次に、図4(b)に示すように、公知のリソグラフィー技術を用いて、ゲート電極6が形成される領域に、所定のマージンを見込んでゲート電極6よりも大きいフォトリソパターン8を形成し、このレジストパターン8をマスクとして、イオンドーピング装置によりソース/ドレイン部10に高濃度のイオン注入を行うと同時に、蓄積容量部11にも高濃度のイオン注入を行う。このようにTFTのソース/ドレイン領域形成のためのイオン注入と、蓄積容量形成のためのイオン注入とを同時に行うことによって工程を簡略化することができる。

【0031】なお、この高濃度のイオン注入は、半導体層2の全領域がアモルファス化されて活性化不良が発生するのを防止するため、できるだけ浅く打ち込むことが好ましく、例えば、本実施例ではその深さは20~30nm程度としている。その場合のイオン注入条件としては、例えば、不純物原料ガスとして水素希釈 $\text{PH}_3/(\text{H}_2 + \text{PH}_3) = 0.05 \sim 0.15$ を用い、加速電圧10~30keV程度、ドーズ量 $1.0 \times 10^{15} \sim 2.0 \times 10^{15} / \text{cm}^2$ で行うことが好ましい。

【0032】また、この工程で形成するレジストパターン8は、ドレイン側ではLDD構造を形成するために、後に形成されるゲート電極6に対してLDD長だけ大きく、また、ソース側ではゲート電極6とソース側の高濃度注入領域4bとがオーバーラップしないように、リソグラフィーの精度ばらつきを吸収できるだけのオフセット長を持つようにマージンを見込んで形成する。

【0033】例えば、図1に示すように、ソース/ドレイン部10の高濃度注入領域4a、4bの端部とゲート電極6の端部との距離を、ソース側で L_s 、ドレイン側で L_D とし、露光の光源としてi線を用いる場合には、レジストパターン8のドレイン側マージンは $1.5 \mu\text{m}$ 、ソース側マージンは $0.5 \mu\text{m}$ 程度に設定することが好ましく、その場合、 L_s 、 L_D はリソグラフィーの精度誤差分($\pm 0.5 \mu\text{m}$)だけ変動するため、 $L_s = 0 \sim 1.0 \mu\text{m}$ 、 $L_D = 1.0 \mu\text{m} \sim 2.0 \mu\text{m}$ 程度となる。

【0034】そして、高濃度のイオン注入後、レジストパターン8をウェット又はドライエッチングにより除去

し、犠牲層 7 として用いたシリコン酸化膜を BHF 等を用いてエッチングした後、図 4 (c) に示すように、CVD 法等を用いてゲート絶縁膜 5 となるシリコン酸化膜等を 90 nm 程度の膜厚で堆積する。その後、減圧 CVD 法等を用いて微結晶シリコン 6a とタングステンシリサイド 6b とを各々 70 nm、110 nm 程度の膜厚で堆積し、所定の形状にエッチングしてゲート電極 6 及び対電極 6c を形成する。

【0035】次に、図 4 (d) に示すように、薄膜トランジスタ領域にゲート電極 6 をマスクとして自己整合的に低濃度のイオン注入を行う。この低濃度イオン注入は、例えば、不純物原料ガスとして水素希釈 $\text{PH}_3 / (\text{H}_2 + \text{PH}_3) = 0.15$ を用い、加速電圧 80 ~ 90 keV 程度、ドーズ量 $1.0 \times 10^{13} \sim 1.5 \times 10^{13} / \text{cm}^2$ の条件で行うことが好ましい。なお、蓄積容量部 11 上には対電極 6c が半導体層 2 と略同じ幅で形成されているため、蓄積容量部 11 には低濃度のイオン注入は行われない。

【0036】ここで、この低濃度のイオン注入は前の工程で行った高濃度イオン注入よりも高いエネルギーの条件で行うことが重要であり、これにより高濃度注入領域 4a、4b の下部にも低濃度注入領域 3a、3b が分布し、また、注入される不純物の深さ方向の分布がブロード化することにより、ソース側の低濃度注入領域 3b 領域及び LDD 領域の特性ばらつきを抑えることができ、トランジスタの信頼性を向上させることができる。

【0037】以上の工程により、高濃度注入領域 4a、4b を覆うように低濃度注入領域 3a、3b が形成され、ゲート電極 6 の両端で非対称な長さの低濃度注入領域 3a、3b を有する TFT が完成する。ここで、各々の不純物領域の濃度を一例として記載すると、半導体層 2 の膜厚が 60 nm、ゲート絶縁膜 5 の膜厚が 90 nm の構成を持つ TFT において、図 5 に示すように、高濃度注入領域 4 は、ゲート絶縁膜 5 と半導体層 2 界面において、 $5.0 \times 10^{20} / \text{cm}^2 \sim 1.0 \times 10^{21} / \text{cm}^2$ 程度、界面から 30 nm 下層で、 $1.0 \times 10^{17} / \text{cm}^2$ 程度の不純物濃度となる。一方、低濃度注入領域 3 は、ゲート絶縁膜 5 と半導体層 2 界面において、 $6.0 \times 10^{17} / \text{cm}^2 \sim 9.0 \times 10^{17} / \text{cm}^2$ 程度、ガラス基板 1 との界面において、 $5.0 \times 10^{17} / \text{cm}^2$ 程度の不純物濃度になる。

【0038】このように本実施例の液晶表示装置のアクティブマトリクス基板における TFT の製造方法によれば、TFT の高濃度イオン注入と蓄積容量の高濃度イオン注入とを同時に行うために、製造工程を増加させることなく TFT の LDD 形成と蓄積容量の形成を行うことができる。

【0039】また、ソース側に低濃度注入領域 3b を形成する際に、意図的にオフセットを設けない場合には、ゲート電極 6 と高濃度注入領域 4b とがオーバーラップ

するためにゲート電極 6 のソース側で電界の集中が起き、これが酸化膜へのキャリアの注入など TFT 特性の劣化の原因となり、一方、ソース側を単純にオフセットとした場合には、ON 時抵抗が増大し、やはりトランジスタの性能が低下してしまう。しかしながら、本実施例では、リソグラフィーの精度誤差を見込んで最小限の長さの低濃度注入領域 3b が設けられているため、トランジスタの ON 時抵抗の増大を最小限に抑え、かつ、電界を緩和してトランジスタ特性の劣化を抑えることができる。

【0040】更に、本実施例では、低濃度イオン注入は高濃度イオン注入よりも高いエネルギーで行っているために、低濃度注入領域 3a、3b とともに深さ方向での不純物濃度分布のばらつきを小さくすることができ、トランジスタの特性ばらつきを抑制することができる。

【0041】なお、本実施例では、液晶表示装置のアクティブマトリクス基板における画素部 TFT の製造方法を例として説明したが、本発明は上記実施例に限定されるものではなく、高濃度注入領域 4 が浅く、低濃度注入領域 3 が深く、かつ濃度勾配が小さく形成され、ソース側においてゲート電極 6 と高濃度注入領域 4b とが重ならず最小限のオフセットが形成される任意の MOS トランジスタ、例えば、図 3 (b) に示すような蓄積容量部 11 が接続されない回路部 TFT や、半導体基板に形成される MOS トランジスタにも適用できることは明らかである。また、犠牲層 7 及びゲート絶縁膜 5 の材料は、シリコン酸化膜に限定されるものではなく、通常用いられるシリコン窒化膜等の他の材料を用いることもできる。

【0042】

【発明の効果】以上説明したように、本発明の液晶表示用基板及びその製造方法によれば下記記載の効果を奏する。

【0043】本発明の第 1 の効果は、TFT の LDD 構造形成に際し、高濃度イオン注入を先に行い、かつ、TFT の高濃度イオン注入と蓄積容量部形成のイオン注入とを同時に行うことにより、製造工程を増加させることなく、TFT の非対称 LDD 構造と蓄積容量部とを形成することができるということである。

【0044】本発明の第 2 の効果は、フォトリソグラフィーにより高濃度注入用マスクを形成する段階で、あらかじめリソグラフィーの精度誤差を吸収できるだけのオフセットを設けておくことにより、ゲート電極のソース端と高濃度注入領域とのオーバーラップを完全に防止することができるため、ソース領域におけるホットキャリア注入を抑制することができ、かつ、ゲート電極をマスクとして自己整合的にオフセット部分にも低濃度イオン注入を行うことにより、低濃度注入領域によるトランジスタ性能の低下を最低限に抑え、信頼性を向上させることができるということである。

【0045】また、本発明の第3の効果は、高エネルギー条件で低濃度イオン注入を行うことにより、注入される不純物の分布をブロード化することができ、オフセット領域の特性ばらつきを抑制することができるということである。

【図面の簡単な説明】

【図1】本発明の一実施例に係る液晶表示装置のアクティブマトリクス基板におけるTFT及び蓄積容量の構造を示す断面図である。

【図2】本発明の一実施例に係る液晶表示装置のアクティブマトリクス基板におけるTFT及び蓄積容量のレイアウトを示す全体図である。

【図3】本発明の一実施例に係る液晶表示装置のアクティブマトリクス基板におけるTFT及び蓄積容量のレイアウトを示す部分拡大図である。

【図4】本発明の一実施例に係る液晶表示装置のアクティブマトリクス基板におけるTFTの製造方法を模式的に示す工程断面図である。

【図5】本発明の一実施例に係るTFTのLDD領域における深さ方向の不純物濃度を示す図である。

【図6】従来の対称型LDD構造を有するMOSFETの構造を示す図である。

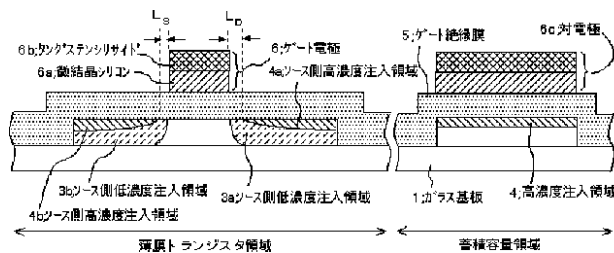
【図7】従来の非対称型LDD構造を有するMOSFETの構造を示す図である。

【図8】従来の液晶表示装置のアクティブマトリクス基板における対称型LDD構造を有するTFTの構造を示す図である。

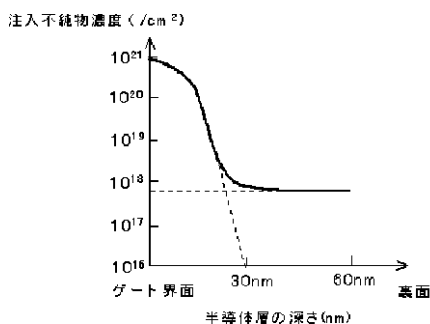
*【符号の説明】

- 1 ガラス基板
- 2 半導体層
- 3 低濃度注入領域
- 3a ドレイン側低濃度注入領域
- 3b ソース側低濃度注入領域
- 4 高濃度注入領域
- 4a ドレイン側高濃度注入領域
- 4b ソース側高濃度注入領域
- 5 ゲート絶縁膜
- 6 ゲート電極
- 6a 微結晶シリコン
- 6b タングステンシリサイド
- 6c 対電極
- 7 犠牲層
- 8 レジストパターン
- 9 ゲート線
- 10 ソース/ドレイン部
- 11 蓄積容量部
- 12 チャンネル部
- 13 Si基板
- 14 分離酸化膜
- 15 サイドウォール酸化膜
- 15a ドレイン側サイドウォール酸化膜
- 15b ソース側サイドウォール酸化膜
- 16 シリサイド膜

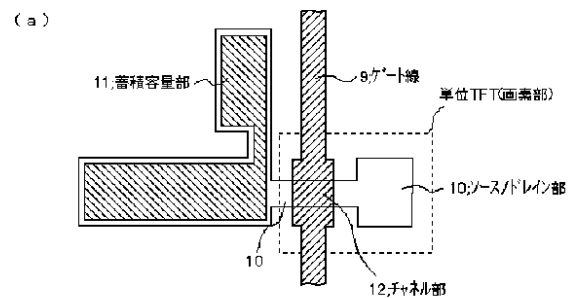
【図1】



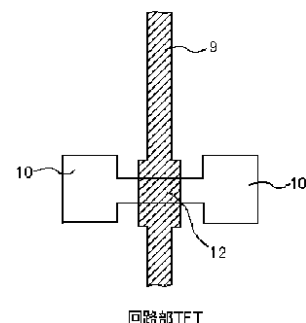
【図5】



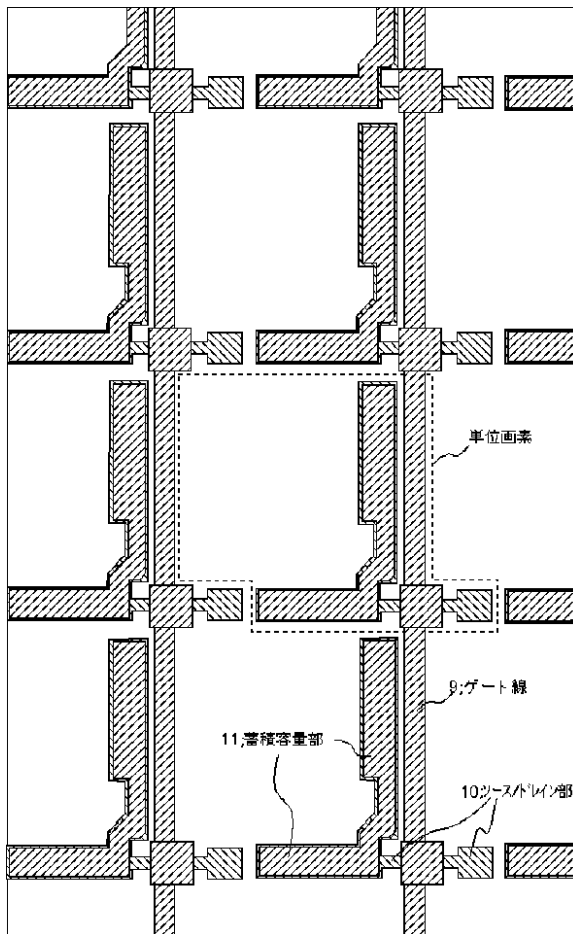
【図3】



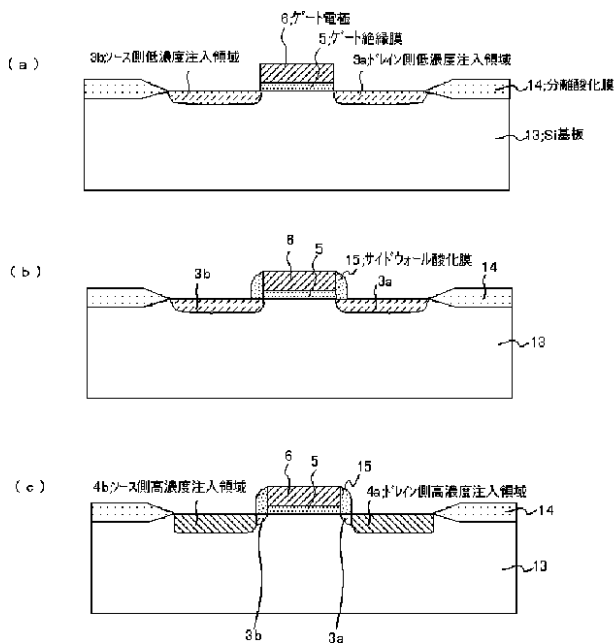
(b)



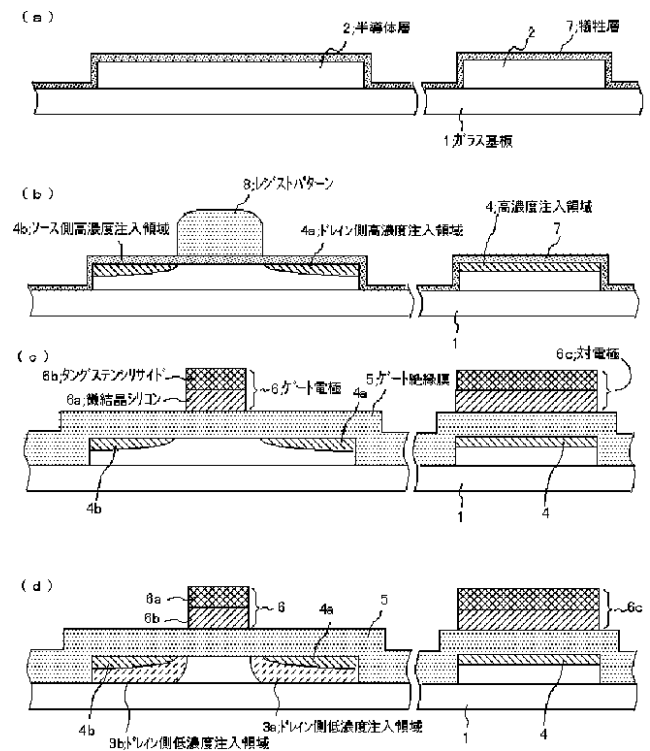
【図2】



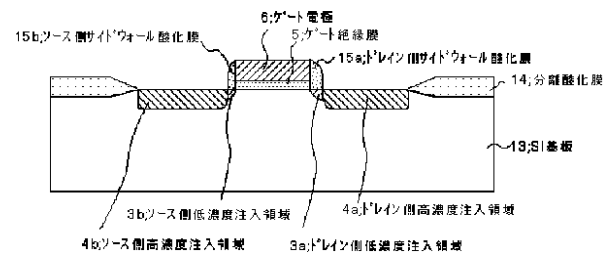
【図6】



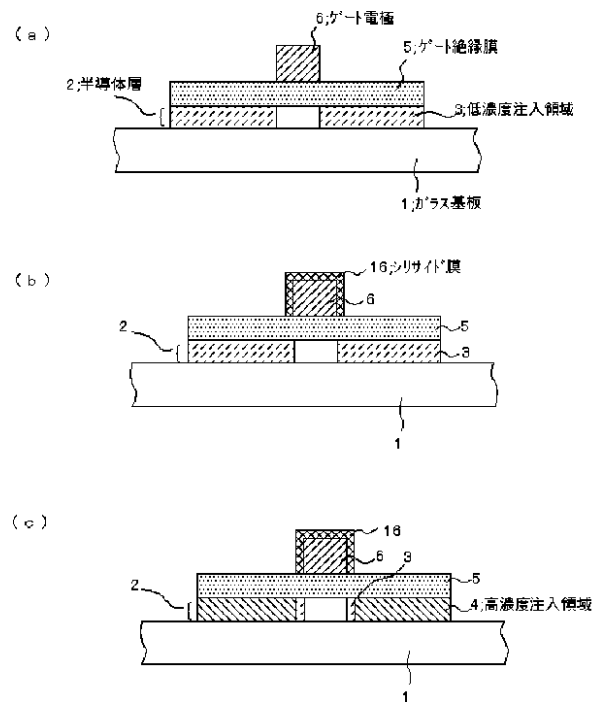
【図4】



【図7】



【図8】



フロントページの続き

F ターム(参考) 2H092 JA25 JA33 JA35 JA39 JA40
 JB24 JB68 KA04 KA12 KA19
 MA07 MA15 MA27 MA29 MA30
 MA37 MA41 NA24 NA27
 5C094 AA31 AA42 AA43 BA03 BA43
 CA19 EA03 EA04 EA07 EA10
 FB14 FB19 GB01
 5F110 AA16 BB01 CC02 DD02 EE05
 EE08 EE14 EE45 FF02 GG02
 GG13 GG25 GG47 HJ01 HJ04
 HJ13 HM15 NN73 PP01 PP03
 QQ11

专利名称(译)	用于液晶显示器的基板及其制造方法		
公开(公告)号	JP2002124677A	公开(公告)日	2002-04-26
申请号	JP2000312812	申请日	2000-10-13
申请(专利权)人(译)	NEC公司		
[标]发明人	伊賀大輔		
发明人	伊賀 大輔		
IPC分类号	G02F1/136 G02F1/1368 G09F9/30 H01L21/336 H01L29/786		
FI分类号	G09F9/30.338 H01L29/78.612.D G02F1/136.500 H01L29/78.616.A H01L29/78.617.L G02F1/1368		
F-TERM分类号	2H092/JA25 2H092/JA33 2H092/JA35 2H092/JA39 2H092/JA40 2H092/JB24 2H092/JB68 2H092/KA04 2H092/KA12 2H092/KA19 2H092/MA07 2H092/MA15 2H092/MA27 2H092/MA29 2H092/MA30 2H092/MA37 2H092/MA41 2H092/NA24 2H092/NA27 5C094/AA31 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA03 5C094/EA04 5C094/EA07 5C094/EA10 5C094/FB14 5C094/FB19 5C094/GB01 5F110/AA16 5F110/BB01 5F110/CC02 5F110/DD02 5F110/EE05 5F110/EE08 5F110/EE14 5F110/EE45 5F110/FF02 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG47 5F110/HJ01 5F110/HJ04 5F110/HJ13 5F110/HM15 5F110/NN73 5F110/PP01 5F110/PP03 5F110/QQ11 2H192/AA24 2H192/CB02 2H192/CB53 2H192/CC32 2H192/DA23 2H192/DA44 2H192/HA84		
代理人(译)	宫本敬		
其他公开文献	JP4982918B2		
外部链接	Espacenet		

摘要(译)

提供的是包含一个TFT，并且在同一基板上的存储电容器的液晶显示装置被形成时，无需增加额外的离子注入工艺形成用于存储电容，并且，在可靠性由于载流子在源极区注入本发明提供一种具有能够防止减少的非对称LDD结构TFT的液晶显示装置及其制造方法。设置在玻璃基板1和存储电容器区域上的薄膜晶体管区域中，后设置在由低温多晶硅制成的半导体层2的牺牲层7在其上，所述TFT区域的所述栅极电极沉积所述形成单元，以形成在预期预定余量蚀刻剂图案8至源极/与薄膜晶体管区域和存储电容器区域同时漏极栅极电极的两个端部，作为掩模，将高浓度离子注入之后中，栅极绝缘膜5，一个栅电极6上形成，一个栅电极6作为掩模，通过进行在高加速电压注入到薄膜晶体管区域中，离子注入工艺以在存储电容器区域中的离子以自对准的方式低浓度形成具有不对称LDD结构的TFT而不单独添加它。

