

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2000 - 310767

(P2000 - 310767A)

(43)公開日 平成12年11月7日(2000.11.7)

(51) Int. Cl ⁷	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	550		G 0 2 F 1/133	550
G 0 9 F 9/30			G 0 9 F 9/30	A
	9/40	301		9/40 301
G 0 9 G 3/20	622		G 0 9 G 3/20	622 L
	3/36			3/36

審査請求 未請求 請求項の数 20 O L (全 49数)

(21)出願番号 特願2000 - 48362(P2000 - 48362)

(22)出願日 平成12年2月24日(2000.2.24)

(31)優先権主張番号 1999P6086

(32)優先日 平成11年2月24日(1999.2.24)

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 パク, ウォン - ヨン

大韓民国, キュンギ - ド, スォン - シティ, パ

ルダル - ク, ウォーマン - ドン, 203 - 602, ジ

ュコン 2 - カ アパートメント

(72)発明者 パーク, ヘン - オン

大韓民国, ソウル, ソンパ - ク, カムシル1 -

ドン, 71 - 302, ジュコン アパートメント

(74)代理人 100094145

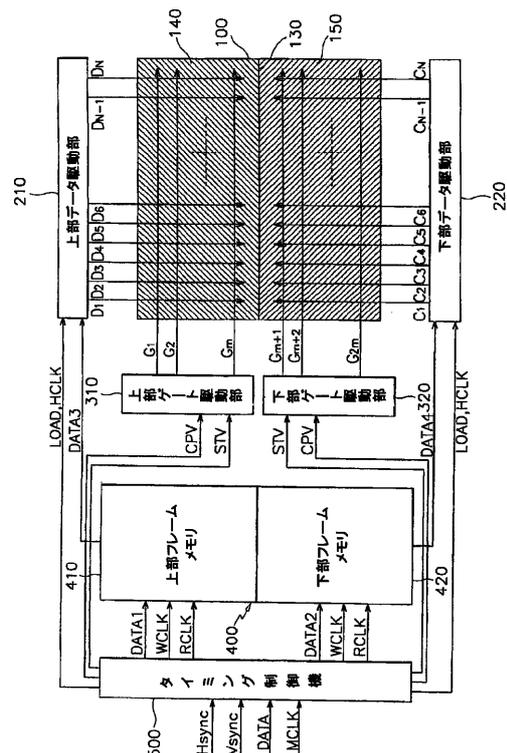
弁理士 小野 由己男 (外1名)

(54)【発明の名称】 液晶表示装置及びその駆動方法

(57)【要約】 (修正有)

【解決手段】 液晶表示装置パネルは上部及び下部パネルに分割され、上部パネルのゲート線の走査方向は下部パネルのゲート線の走査方向と反対である。上部パネルは水平方向に形成され走査信号を伝送する第1ゲート線を有する上部ゲート線ブロックと、第1ゲート線と交差し画像信号を伝送する上部データ線とを含む。下部パネルは第2ゲート線を有する下部ゲート線ブロックと、第2ゲート線と交差し上部データ線と分離される下部データ線とを含む。上部及び下部ゲート線ブロックのゲート線に走査信号を印加する上部及び下部ゲート駆動部がそれぞれ上部及び下部パネルの側面に設けられる。上部及び下部ゲート駆動部は互いに反対方向にゲート線に走査信号を順次に印加する。

【効果】 上部パネルのゲート線の走査方向を下部パネルのゲート線の走査方向と反対にすることによって輝度不均一現象を防止することができる。



【特許請求の範囲】

【請求項 1】走査信号を伝送する多数の第 1 ゲート線を含み、第 1 方向に走査する第 1 ゲート線ブロックと、走査信号を伝送する多数の第 2 ゲート線を含み、第 2 方向に走査する第 2 ゲート線ブロックと、画像信号を伝送し、前記第 1 ゲート線ブロックの第 1 ゲート線と交差する多数の第 1 データ線と、画像信号を伝送し、前記第 2 ゲート線ブロックの第 2 ゲート線と交差する多数の第 2 データ線と、前記ゲート線及びデータ線によって形成されマトリックスパターンに配列され、前記ゲート線及びデータ線に連結されるスイッチング素子を含む多数の画素とからなり、前記第 1 方向は前記第 2 方向と反対方向であり、前記第 1 データ線と前記第 2 データ線とは分離される液晶表示装置。

【請求項 2】前記第 1 ゲート線の本数は前記第 2 ゲート線の本数と同一である請求項 1 に記載の液晶表示装置。

【請求項 3】前記第 1 ゲート線及び第 2 ゲート線は同時に走査される請求項 2 に記載の液晶表示装置。

【請求項 4】多数の第 1 ゲート線を有する第 1 ゲート線ブロックと、前記第 1 ゲート線ブロックの下に形成され、多数の第 2 ゲート線を有する第 2 ゲート線ブロックと、前記第 1 ゲート線ブロックの第 1 ゲート線から分離され交差する多数の第 1 データ線と、前記第 2 ゲート線ブロックの第 2 ゲート線から分離され交差する多数の第 2 データ線と、前記ゲート線及びデータ線によって形成される領域によって形成され、マトリックスパターンに配列され、前記ゲート線及びデータ線に連結されるスイッチング素子と共通電圧が印加される共通電極とを有する多数の画素とを含む液晶表示装置パネルと；前記第 1 データ線に画像信号を含む階調電圧を印加する第 1 データ駆動部と；前記第 2 データ線に画像信号を含む階調電圧を印加する第 2 データ駆動部と；前記第 1 ゲート線ブロックのゲート線に走査信号を印加する第 1 ゲート駆動部と；前記第 1 ゲート駆動部と反対の走査方向に前記第 2 ゲート線ブロックのゲート線に走査信号を印加する第 2 ゲート駆動部と；外部から画像信号の入力を受けて書込みクロック信号に同期して記録し、前記画像信号を読み取りクロック信号に同期して前記第 1 データ駆動部に出力する第 1 フレームメモリと；外部から画像信号の入力を受けて書込みクロック信号に同期して記録し、前記画像信号を読み取りクロック信号に同期して前記第 2 データ駆動部に出力する第 2 フレームメモリとからなる液晶表示装置。

【請求項 5】前記第 1 ゲート線の本数は前記第 2 ゲート線の本数と同一である請求項 4 に記載の液晶表示装置。

【請求項 6】前記第 1 及び第 2 ゲート駆動部は同時に走査される請求項 5 に記載の液晶表示装置。

【請求項 7】前記第 1 ゲート線ブロックの隣接するゲ

ト線に連結された画素に印加される階調電圧の前記共通電圧に対する極性は互いに反対であり、前記第 2 ゲート線ブロックの隣接するゲート線に連結された画素に印加される階調電圧の前記共通電圧に対する極性は互いに反対である請求項 5 に記載の液晶表示装置。

【請求項 8】前記第 1 ゲート駆動部は前記第 1 ゲート線ブロックの最後のゲート線から一番目のゲート線の方向に前記ゲート線に走査信号を順次に印加し、前記第 2 ゲート駆動部は前記第 2 ゲート線ブロックの一番目のゲート線から最後のゲート線にゲート線に走査信号を順次に印加する請求項 7 に記載の液晶表示装置。

【請求項 9】前記第 1 フレームメモリは画像信号が記録される順序と反対の順序に画像信号を前記第 1 データ駆動部に出力し、前記第 2 フレームメモリは画像信号が記録される順序と同一の順序に画像信号を前記第 2 データ駆動部に出力する請求項 8 に記載の液晶表示装置。

【請求項 10】同一の画素列で前記第 1 ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第 2 ゲート線ブロックの一番目のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性と反対である請求項 9 に記載の液晶表示装置。

【請求項 11】同一の画素列で前記第 1 ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第 2 ゲート線ブロックの一番目のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性と同一である請求項 9 に記載の液晶表示装置。

【請求項 12】前記第 1 ゲート駆動部は前記第 1 ゲート線ブロックの一番目のゲート線から最後のゲート線の方向に走査信号をゲート線に順次に印加し、前記第 2 ゲート駆動部は前記第 2 ゲート線ブロックの最後のゲート線から一番目のゲート線の方向に走査信号をゲート線に順次に印加する請求項 7 に記載の液晶表示装置。

【請求項 13】前記第 1 フレームメモリは画像信号が記録される順序と同一の順序に画像信号を前記第 1 データ駆動部に出力し、前記第 2 フレームメモリは画像信号が記録される順序と反対の順序に記録された画像信号を前記第 2 データ駆動部に出力する請求項 12 に記載の液晶表示装置。

【請求項 14】同一の画素列で前記第 1 ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第 2 ゲート線ブロックの一番目のゲート線に連結される画素に印加される階調電圧に対する共通電圧の極性と反対である請求項 13 に記載の液晶表示装置。

【請求項 15】同一の画素列で前記第 1 ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第 2 ゲート線ブロックの一番目のゲート線に連結された画素に印加される

階調電圧に対する共通電圧の極性と同一である請求項 1 3 に記載の液晶表示装置パネル。

【請求項 1 6】多数の第 1 ゲート線を有する第 1 ゲート線ブロック、前記第 1 ゲート線ブロックの下に形成され多数の第 2 ゲート線を有する第 2 ゲート線ブロック、前記第 1 ゲート線ブロックの第 1 ゲート線と交差し分離されている多数の第 1 データ線、前記第 2 ゲート線ブロックの第 2 ゲート線と交差し分離されている多数の第 2 データ線を含む液晶表示装置の駆動方法において、前記第 1 ゲート線ブロックの第 1 ゲート線に走査信号を順次に印加する段階と、前記第 1 ゲート線ブロックと反対の走査方向に前記第 2 ゲート線ブロックの第 2 ゲート線に走査信号を順次に印加する段階と、前記第 1 及び第 2 データ線に画像信号を含む階調電圧を印加して前記走査信号が印加される前記ゲート線に連結された画素に前記階調電圧を印加する段階とを含む液晶表示装置の駆動方法。

【請求項 1 7】前記走査信号は最後のゲート線から一番目のゲート線の方向に前記第 1 ゲート線ブロックに順次に印加され、一番目のゲート線から最後のゲート線の方向に前記第 2 ゲート線ブロックに順次に印加される請求項 1 6 に記載の液晶表示装置の駆動方法。

【請求項 1 8】外部から入力される画像信号のうちの前記第 1 データ線に印加される画像信号を第 1 フレームメモリに記録する段階と、

外部から入力される画像信号のうちの前記第 2 データ線に印加される画像信号を第 2 フレームメモリに記録する段階、

前記第 1 フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第 1 データ線に出力する段階と、

前記第 2 フレームメモリに画像信号が記録される順序と同一の順序に前記画像信号を前記第 2 データ線に出力する段階とをさらに含む請求項 1 7 に記載の液晶表示装置の駆動方法。

【請求項 1 9】前記走査信号は一番目のゲート線から最後のゲート線の方向に前記第 1 ゲート線ブロックに順次に印加され、最後のゲート線から一番目のゲート線の方向に前記第 2 ゲート線ブロックに順次に印加される請求項 1 6 に記載の液晶表示装置の駆動方法。

【請求項 2 0】外部から入力される画像信号のうちの前記第 1 データ線に印加される画像信号を第 1 フレームメモリに記録する段階と、

外部から入力される画像信号のうちの前記第 2 データ線に印加される画像信号を第 2 フレームメモリに記録する段階と、

前記第 1 フレームメモリに画像信号が記録される順序と同一の順序に前記画像信号を前記第 1 データ線に出力する段階と、

前記第 2 フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第 2 データ線に出力する段階とをさらに含む請求項 1 9 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置及びその駆動方法に関する。より詳しくは、本発明は 2 部分に分割されてそれぞれ駆動する画面を有する液晶表示装置及びその駆動方法に関する。

【0002】

【従来の技術】パーソナルコンピュータやテレビが軽量化及び薄形化することによって、ディスプレイ装置も軽量化及び薄形化が要求されている。従って、LCD のような平板表示装置が陰極線管 (CRT) の代わりとして増加している。所望の画像信号を得るために、LCD は 2 枚の基板の間に注入されている異方性誘電率を有する液晶物質に電界 (electric field) を印加し、電界の強さによって基板を通して透過する光の量を調節する。LCD は最も一般的に使用される携帯用平板表示装置の 1 つである。

【0003】特に、薄膜トランジスタ (thin film transistor; TFT) をスイッチング素子として採用した TFT-LCD が広く使用される。前記 LCD は走査信号を伝達する多数のゲート線を含む。前記ゲート線に交差する多数のデータ線が画像データを伝達する。前記ゲート線及びデータ線によって形成される領域で形成される多数の画素はゲート線、データ線、スイッチング素子を通して相互に連結される。

【0004】以下、このような LCD において各画素に画像データを印加する方法を説明する。ゲートをオンにする走査信号 (又はゲートオン信号) がゲート線に順次に印加される時、前記ゲート線に連結されるスイッチング素子は順次にオンになる。前記ゲート線に対応する画素行に印加される画像信号 (即ち、階調電圧 (data voltage)) は同時に各データ線に印加される。前記データ線に印加された画像信号はその後にターンオンされているスイッチング素子を通して各画素に印加される。この時、1 フレーム周期の間に全てのゲート線に順次にゲートオン信号が印加されることによって画像信号は全ての画素行に印加され、1 フレームの画像が表示される。

【0005】最近に開発された高解像度 LCD はより多くのゲート線が要求される。しかし、1 フレームを走査するのにかかる時間は 1/60 秒に制限されているため、各ゲート線に印加されるゲートオン信号の時間間隔 (time interval) が短くなる。このため、スイッチング素子を通じて前記画像行に十分な画像信号 (階調電圧) を印加することが難しく、画質を低下させる。

【0006】従って、最近では十分なゲートオン時間を確保するために、表示画面を 2 部分 (上部及び下部) に

分割して液晶表示装置を駆動する方式が提案されている。このような駆動方式を‘デュアルスキャン方式’という。図1はデュアルスキャン方式を採用した液晶表示装置を示す。図1に示されているように、デュアルスキャン方式を使用する液晶表示装置は液晶表示装置パネル10、上部データ駆動部21、下部データ駆動部22、上部ゲート駆動部31、下部ゲート駆動部32からなる。

【0007】液晶表示装置パネル10はゲートオン信号を伝達するための多数のゲート線(G1、G2、...、Gm、Gm+1、...、G2m)と、階調電圧(即ち、画像信号)を伝達するための多数のデータ線(D1、D2、...、Dn、C1、C2、...、Cn)を含む。ゲート線とデータ線との交差によって形成される領域は画素を形成する。各画素はゲート電極がゲート線に連結されソース電極がデータ線に連結される薄膜トランジスタ12、薄膜トランジスタ12のドレーン電極に連結される画素電極14、共通電圧が印加される共通電極(図示されていない)を含む。前記多数のゲート線はそれぞれm個のゲート線(G1、G2、...、Gm)、(Gm+1、...、G2m)からなる上部及び下部ゲート線ブロックに分割される。上部ゲート線ブロックのゲート線(G1、G2、...、Gm)に対応する画素に連結されたデータ線(D1、D2、...、Dn)は下部ゲート線ブロックのゲート線(Gm+1、...、G2m)に対応する画素に連結されたデータ線(C1、C2、...、Cn)から分離されている。例えば、第1列の上部画素はデータ線D1に連結され、第1列の下部画素はデータ線C1と連結される。

【0008】それぞれ上部及び下部ゲート線ブロックに連結される上部及び下部ゲート駆動部31、32はそれぞれ上部及び下部ゲート線ブロックのゲート線に順次にゲートオン電圧を印加する。この時、ゲートオン電圧は一番目のゲート線から最後のゲート線の順にゲート線に印加される。それぞれ液晶表示装置パネルの上部及び下部に形成される上部及び下部データ駆動部21、22はそれぞれ上部データ線(D1、D2、...、Dn)及び下部データ線(C1、C2、...、Cn)に階調電圧を印加する。

【0009】以下、前記液晶表示装置の動作を説明する。第1ゲート線から始まって順次に上部及び下部ゲート線ブロックのゲート線から薄膜トランジスタ12に、さらにそれにつづくゲート線にゲートオン信号が印加される。これと同時に、上部及び下部データ線に階調電圧(即ち、画像信号)が印加される。前記ゲートオン信号によって薄膜トランジスタ12がターンオンされ、データ線に印加された階調電圧はターンオンされた薄膜トランジスタ12を通じて画素電極に印加される。画素電圧(即ち、画素電極に印加された電圧)と共通電極の共通

電圧との差によって生じる電界が液晶物質に印加される。液晶物質の配列は電界の強さ(電界の強さは階調電圧の強さに応じて変動する)に応じて変わるので、液晶物質を透過する光の量が変わるようになる。従って、所望の画像が液晶表示装置に表示される。

【0010】前記ゲートオン信号が前記上部及び下部ゲート線ブロックのゲート線に同時に印加されるため、前述のデュアルスキャン方式の液晶表示装置は従来のシングルスキャン液晶表示装置よりゲートオン時間が2倍長いという長所を有する。液晶物質に連続して同一方向の電界が印加されると、液晶物質が劣化する。従って、階調電圧が駆動される時、階調電圧の極性は交互に正及び負になる。このような駆動方式を反転駆動方式という。

【0011】反転駆動方式の類型にはフレーム単位に極性を反転させるフレーム反転駆動方式、ライン単位に極性を反転させるライン反転駆動方式、画素単位に極性を反転させるドット反転駆動方式がある。前記ライン反転及びドット反転駆動方式が最も一般的に使用される。しかし、ライン反転駆動方式又はドット反転駆動方式は、従来のデュアルスキャン方式の液晶表示装置に適用される時、以下に説明されるような問題点が発生する。

【0012】図1の液晶表示装置の画素が、正(+)と負(-)で示されているように、ドット反転駆動方式によって駆動されると仮定する。ここで陽(+)極は共通電圧に対する画素電圧の極性が正であることを示し、陰(-)極は共通電圧に対する画素電圧の極性が負であることを示す。前記上部ゲート線ブロックのゲート線Gm及びデータ線D1に電氣的に連結される画素電極に印加される電圧の波形と、前記下部ゲート線ブロックのゲート線Gm+1及びデータ線C1に電氣的に連結される画素電極に印加される電圧の波形は図2に示されている。

【0013】図2に示されているように、理想的な状態では、上部ゲート線ブロックの最後のゲート線Gmに連結される第1画素列の画素電極に共通電圧Vcomより低い電圧Vpuが1フレーム周期の間一定に印加される。しかし、実際の液晶表示装置では、画素電極とデータ線との間で寄生キャパシタンスが生成するため、実際の画素電極に印加される画素電圧はデータ線に印加される電圧から影響を受ける。即ち、図2(a)に示されているように、第1データ線D1に共通電圧Vcomについての極性が周期的に反復される階調電圧Vd1が印加されるため、画素電極に印加される実際の電圧Vaは図2(b)のような波形を有するようになる。説明の便宜のために、階調電圧が共通電圧Vcomについて対称的であると仮定する。

【0014】より詳しくは、図2(a)及び(b)に示されているように、負の極性を有する画素電圧Vpuが印加されデータ線に正の極性を有する階調電圧Vdが印加される場合、実際の画素電圧Vaは、理想的な画素電圧Vpuとは異なり、寄生キャパシタンスの影響によ

て V だけ共通電圧の方に引っ張られる。これと反対に、負の極性を有する階調電圧がデータ線に印加される場合には、実際の画素電圧 V_a が V だけ共通電圧と反対の方に引っ張られる。

【0015】図2(c)に示されているように、理想的な場合、下部ゲート線ブロックの第1ゲート線 G_{m+1} に連結される第1画素列の画素電極には共通電圧 V_{com} より高い定電圧 V_{pd} が1フレーム周期の間に印加される。また、第1データ線 C_1 にはデータ線 D_1 に印加される階調電圧の極性と同一の極性を有する階調電圧が印加される。これは上部ゲート線ブロック及び下部ゲート線ブロックのそれぞれの第1ゲート線から走査が始まり、上部ゲート線ブロック及び下部ゲート線ブロックの第1ゲート線に連結された画素電圧の極性が同一であるためである。

【0016】従って、寄生キャパシタンスの影響によって、実際に画素電極に印加される電圧は図2(d)のような波形を有する。即ち、図2(c)及び(d)に示されているように、正の極性を有する画素電圧 V_{pd} が印加され正の極性を有する階調電圧がデータ線に印加される場合、寄生キャパシタンスの影響により実際の画素電圧 V_b は、理想的な画素電圧 V_{pu} と異なり、 V だけ共通電圧と反対の方に引っ張られる。また、負の極性を有する階調電圧がデータ線に印加される場合には、実際の画素電圧 V_b が V だけ共通電圧の方に引っ張られる。

【0017】その結果、境界面の2つの画素行の画素にはデータ線に印加される電圧が反対方向に影響を及ぼすので、画素に印加される電圧と共通電圧との実際の差は図2(b)及び(d)に斜線で示した部分になる。従って、上部ブロックと下部ブロックとの境界部分の画素において液晶物質を透過する光の量の差が大きくなり、これによって境界部分で輝度不均一が発生する。結局、上部ブロックと下部ブロックとの境界部分に望ましくない線が現われる。

発明の概要

本発明の目的は、表示画面を2つのパネルに分割して駆動し2つのパネルの境界部分の輝度不均一現象を防止する液晶表示装置及びその駆動方法を提供することである。

【0018】このような目的を達成するために、本発明の液晶表示パネルは上部パネル及び下部パネルの2つのパネルに分割される。ゲート線に走査信号を印加する時、上部パネルの走査方向が下部パネルの走査方向と反対であるのでパネルの境界部分の輝度の不均一が防止される。本発明による液晶表示装置は、走査信号を伝送する多数の第1ゲート線を含む第1ゲート線ブロックと、走査信号を伝送する多数の第2ゲート線を含む第2ゲート線ブロックと、画像信号を伝送し前記第1ゲート線ブロックの第1ゲート線と交差する多数の第1データ線

と、前記第1データ線から分離され前記第2ゲート線ブロックの第2ゲート線と交差する多数の第2データ線と、前記ゲート線及びデータ線によって囲まれた領域に形成され行列形態に配列されて前記ゲート線及びデータ線に連結されるスイッチング素子を有する多数の画素とからなり、前記第1ゲート線の走査方向は前記第2ゲート線の走査方向と反対である。

【0019】前記第1ゲート線の数と前記第2ゲート線の数と同一である。前記第1ゲート線及び第2ゲート線は同時に走査される。本発明の液晶表示装置の他の特徴は、多数の第1ゲート線を有する第1ゲート線ブロックと、前記第1ゲート線ブロックの下に形成され多数の第2ゲート線を有する第2ゲート線ブロックと、前記第1ゲート線ブロックの第1ゲート線と交差し分離される多数の第1データ線と、前記第2ゲート線ブロックの第2ゲート線と交差し分離されている多数の第2データ線と、前記ゲート線及びデータ線に囲まれた領域によって形成され前記ゲート線及びデータ線に連結されるスイッチング素子と共通電圧が印加される共通電極とを有する行列形態に配列された多数の画素とを含む液晶表示装置パネルを含む。また、液晶表示装置は画像信号を有する階調電圧を前記第1データ線に印加する第1データ駆動部と、画像信号を有する階調電圧を前記第2データ線に印加する第2データ駆動部と、前記第1ゲート線ブロックのゲート線に走査信号を印加する第1ゲート駆動部と、前記第2ゲート線ブロックのゲート線に走査信号を前記第1ゲート駆動部の走査方向と反対方向に印加する第2ゲート駆動部と、外部から画像信号の入力を受けて書き取りクロック信号に同期して記録し読取りクロック信号に同期して前記画像信号を前記第1データ駆動部に出力する第1フレームメモリと、外部から画像信号の入力を受けて書き取りクロック信号に同期して記録し読取りクロック信号に同期して前記画像信号を前記第2データ駆動部に出力する第2フレームメモリとを含む。

【0020】前記第1ゲート線の数と前記第2ゲート線の数と同一である。前記第1ゲート駆動部及び第2ゲート駆動部は同時に走査される。前記第1ゲート線ブロックの隣接するゲート線に連結された画素に印加される階調電圧の前記共通電圧に対する極性は互いに反対であり、前記第2ゲート線ブロックの隣接するゲート線に連結された画素に印加される階調電圧の前記共通電圧に対する極性は互いに反対である。前記第1ゲート駆動部は前記第1ゲート線ブロックの最後のゲート線から一番目のゲート線の方向に走査信号をゲート線に順次に印加し、前記第2ゲート駆動部は前記第2ゲート線ブロックの一番目のゲート線から最後のゲート線の方向に走査信号をゲート線に順次に印加する。前記第1フレームメモリは前記第1データ線に印加される画像信号と反対の順序に記録された画像信号を前記第1データ駆動部に出力し、前記第2フレームメモリは前記第2データ線に印加

される画像信号と同一の順序に記録された画像信号を前記第2データ駆動部に出力する。

【0021】同一の画素列で前記第1ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する前記共通電圧の極性は、前記第2ゲート線ブロックの一番目のゲート線に連結される画素に印加される階調電圧に対する共通電圧の極性と反対である。前記第1ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第2ゲート線ブロックの一番目のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性と同一である。前記第1ゲート駆動部は前記第1ゲート線ブロックの一番目のゲート線から最後のゲート線の方向に前記ゲート線に走査信号を順次に印加し、前記第2ゲート駆動部は第2ゲート線ブロックの最後のゲート線から一番目のゲート線の方向に前記ゲート線に走査信号を順次に印加する。前記第1フレームメモリは前記第1データ線に画像信号が印加される順序と同一の順序に記録された画像信号を第1データ駆動部に出力し、前記第2フレームメモリは前記第2データ線に画像信号が印加される順序と反対の順序に記録された画像信号を第2データ駆動部に出力する。同一の画素列で前記第1ゲート線ブロックの最後のゲート線に連結されている画素に印加される階調電圧に対する共通電圧の極性は、前記第2ゲート線ブロックの一番目のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性と反対である。同一の画素列で前記第1ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第2ゲート線ブロックの一番目のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性と同一である。

【0022】本発明の液晶表示装置の駆動方法のその他の特徴としては、水平方向に形成される多数の第1ゲート線を有する第1ゲート線ブロック、前記第1ゲート線ブロックの下に形成され多数の第2ゲート線を有する第2ゲート線ブロック、前記第1ゲート線ブロックの第1ゲート線と交差し分離されている多数の第1データ線、前記第2ゲート線ブロックの第2ゲート線と交差し分離されている多数の第2データ線を含む液晶表示装置の駆動方法であって、前記第1ゲート線ブロックの第1ゲート線に走査信号を順次に印加する段階と、前記第1ゲート線と反対の走査方向に前記第2ゲート線ブロックの第2ゲート線に走査信号を順次に印加する段階と、前記第1及び第2データ線に画像信号を含む階調電圧を印加して前記走査信号が印加される前記ゲート線に連結された画素に階調電圧を印加する段階とを含む。

【0023】前記走査信号は最後のゲート線から一番目のゲート線の方向に前記第1ゲート線ブロックに順次に印加され、一番目のゲート線から最後のゲート線の方向に前記第2ゲート線ブロックに順次に印加される。この

ような方法は、外部から入力される画像信号のうちの前記第1データ線に印加される画像信号を第1フレームメモリに記録する段階と、外部から入力される画像信号のうちの前記第2データ線に印加される画像信号を第2フレームメモリに記録する段階と、前記第1フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第1データ線に出力する段階と、前記第2フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第2データ線に出力する段階とをさらに含む。前記走査信号は一番目のゲート線から最後のゲート線の方向に前記第1ゲート線ブロックに順次に印加され、最後のゲート線から一番目のゲート線の方向に前記第2ゲート線ブロックに順次に印加される。また、外部から入力される画像信号のうちの前記第1データ線に印加される画像信号を第1フレームメモリに記録する段階と、外部から入力される画像信号のうちの前記第2データ線に印加される画像信号を第2フレームメモリに記録する段階と、前記第1フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第1データ線に出力する段階と、前記第2フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第2データ線に出力する段階とをさらに含む。

【0024】

【発明の実施の形態】以下に、発明者が発明を実施することに伴って予測される最も好ましい形態の図面に基いて、本発明の好ましい実施例だけが示されて説明される。本発明は発明の範囲内で多様な変形が可能である。従って、図面及び実施の形態は実施例に過ぎず、発明を限定するものではない。

【0025】図3は本発明の好ましい実施例による液晶表示装置を示す。液晶表示装置は液晶表示装置パネル100と、上部データ駆動部210と、下部データ駆動部220と、上部ゲート駆動部310と、下部ゲート駆動部320と、上部フレームメモリ410及び下部フレームメモリ420を含むフレームメモリユニット400と、タイミング制御機500からなる。

【0026】液晶表示装置パネル100はゲートオン信号を伝達するための2m個のゲート線(G1、G2、・・・、G_{m+1}、・・・、G_{2m})と、画像信号を表示する階調電圧を伝達するためのデータ線(D1、D2、・・・、D_mとC1、C2、・・・、C_n)とを含む。ゲート線とデータ線とによって囲まれた領域は画素を形成し、各画素は、図5に示されているように、薄膜トランジスタ110と、ゲート電極に連結されるゲート線と、ソース電極に連結されるデータ線と、前記薄膜トランジスタ110のドレイン電極に連結される画素電極120と、共通電圧が印可される共通電極(図示していない)とを含む。2m個のゲート線はm個のゲート線(G1、G2、・・・、G_m)を含む上部ゲート線ブロック

と、 m 個のゲート線 (G_{m+1} 、 G_{m+2} 、 \dots 、 G_{2m}) を有する下部ゲート線ブロックとに分離されている。上部ゲート線ブロックのゲート線 (G_1 、 G_2 、 \dots 、 G_m) に対応する画素に連結された上部データ線 (D_1 、 D_2 、 \dots 、 D_n) は下部ゲート線ブロックのゲート線 (G_{m+1} 、 G_{m+2} 、 \dots 、 G_{2m}) に対応する画素に連結された下部データ線 (C_1 、 C_2 、 \dots 、 C_n) と分離されている。即ち、本発明の実施例による液晶表示装置パネルは上部パネル140及び下部パネル150からなる。前記上部パネル140は上部ゲート線ブロックと上部データ線 (D_1 、 D_2 、 \dots 、 D_n) を含み、下部パネル150は下部ゲート線ブロックと下部データ線 (C_1 、 C_2 、 \dots 、 C_n) を含む。

【0027】上部及び下部ゲート駆動部310、320は、それぞれ上部及び下部ゲート線ブロックに連結され、反対の走査方向にゲート線ブロックのゲート線に順次にゲートオン電圧を印加する。例えば、上部ゲート駆動部310が上部ゲート線ブロックの一番目のゲート線 G_1 から m 番目のゲート線 G_m の方向 (即ち、上から下の方向) にゲートオン電圧を駆動する時、下部ゲート駆動部320は下部ゲート線ブロックの最後のゲート線 G_{2m} から一番目のゲート線 G_{m+1} の方向 (即ち、下から上の方向) にゲートオン電圧を駆動する。前述のように、上部ゲート駆動部310が下から上の方向にゲートオン電圧をゲート線に順次に印加する時、下部ゲート駆動部320は上から下の方向にゲートオン電圧をゲート線に印加する。

【0028】上部データ駆動部210及び下部データ駆動部220はそれぞれ、液晶表示装置パネルの上部及び下部に形成され、上部フレームメモリ410及び下部フレームメモリ420に連結される。これらはそれぞれ上部データ線 (D_1 、 D_2 、 \dots 、 D_n) 及び下部データ線 (C_1 、 C_2 、 \dots 、 C_n) に画像信号を表示する階調電圧を印加する。

【0029】タイミング制御機500は画像データ信号 $DATA$ 、メインクロック $MCLK$ 、水平同期信号 $Hsync$ 、垂直同期信号 $Vsync$ の入力を受けて、タイミング信号をフレームメモリユニット400、上部ゲート駆動部310、下部ゲート駆動部320、上部データ駆動部210、下部データ駆動部220に印加する。上部フレームメモリ410及び下部フレームメモリ420は、書込みクロック信号 $WCLK$ と読取りクロック信号 $RCLK$ (これの周波数はタイミング制御機500から印加される書込みクロック信号 $WCLK$ の $1/2$ である) と同期して、上部データ駆動部210及び下部データ駆動部220に印加される画像データ信号の書込み及び読取りを行う。

【0030】以下、本発明の第1実施例による液晶表示装置の操作を説明する。図4(a)及び(b)は書込みクロック信号 $WCLK$ と読取りクロック信号 $RCLK$

($RCLK = WCLK / 2$) に同期してフレームメモリにデータが入力され出力されるデータタイミング図である。外部から画像データ信号 $DATA$ 、メインクロック $MCLK$ 、垂直同期信号 $Vsync$ (即ち、フレーム同期信号)、水平同期信号 $Hsync$ (即ち、水平ライン又は走査ラインの同期信号) がタイミング制御機500に入力される。

【0031】図4(a)に示されているように、フレームメモリはタイミング制御機500から印加される書込みクロック信号 $WCLK$ に同期してデータを記録する。即ち、データは一番目の画素行に印加される画像データ d_1 から始まる順序に書込みクロック信号 $WCLK$ に同期して上部フレームメモリ410に記録される。この時、一番目の画素行から m 番目の画素行 (即ち、上部ゲート線ブロックのゲート線に対応する画素行) に印加される画像データ (d_1 、 d_2 、 \dots 、 d_m) が上部フレームメモリ410に記録される。これに反して、下部ゲート線ブロックの一番目のゲート線 G_{m+1} に対応する画素行に印加される画像データ d_{m+1} に始まる画像データ (d_{m+2} 、 \dots 、 d_{2m}) は順に書込みクロック信号 $WCLK$ に同期して下部フレームメモリ420に記録される。

【0032】上部フレームメモリ410及び下部フレームメモリ420に各画素行に印加される画像データの全てが記録されると、図4(b)に示されているように、読取りクロック信号 $RCLK$ に同期した画像データが上部データ駆動部210又は下部データ駆動部220に伝送される。この時、本発明の第1実施例によると、上部データ駆動部210のための画像データは上部フレームメモリ410に記録される順序と反対の順序 (即ち、 d_m 、 d_{m-1} 、 d_{m-2} 、 \dots 、 d_2 、 d_1) に上部データ駆動部210に伝送される。下部データ駆動部220のための画像データは下部フレームメモリ420に記録される順序と同一の順序に下部データ駆動部220に伝送される。従って、本発明によると、フレームメモリとしては、記録される順序と反対の順序にアドレッシングされ得るメモリを使用しなければならない。

【0033】クロック信号 $HCLK$ に同期された画像データが上部データ駆動部210及び下部データ駆動部220に伝送されると、画像データは対応する階調電圧に変換され、タイミング制御機500から出力されるロード信号 $LOAD$ によって上部データ線 D_1 、 D_2 、 \dots 、 D_n 及び下部データ線 C_1 、 C_2 、 \dots 、 C_n の各線に印加される。

【0034】上部ゲート駆動部310及び下部ゲート駆動部320はタイミング制御機500から出力される開始信号 STV 及びゲートクロック CPV に同期されて上部ゲート線ブロックのゲート線にゲートオン電圧 (即ち、走査信号) を印加し、同時に下部ゲート線ブロックのゲート線にもゲートオン電圧を印加する。この時、本

発明の第1実施例によると、上部ゲート駆動部310は上部ゲート線ブロックの最後のゲート線G_mから上部ゲート線ブロックの一番目のゲート線G₁の方向(即ち、下から上の方向)にゲートオン電圧を順次に印加する。また、下部ゲート駆動部320は下部ゲート線ブロックの一番目のゲート線G_{m+1}から下部ゲート線ブロックの最後のゲート線G_{2m}の方向(即ち、上から下の方向)にゲートオン電圧を順次に印加する。

【0035】ゲートオン電圧が印加されたゲート線に連結された薄膜トランジスタはターンオンされ、これに伴って、データ線に印加された階調電圧がターンオンされた薄膜トランジスタを通じて画素電極に伝達されて、所望の画像が表示される。このような本発明の実施例はドット反転又はライン反転方式を使用してデュアルスキャンLCDを駆動する時に画面の中央に縞模様が発生することを防止することができる。

【0036】図5は本発明の第1実施例による上部ゲート駆動部310及び下部ゲート駆動部320の走査方向と極性とを示す図面である。図6(a)、(b)、(c)、(d)は本発明の第1実施例による信号の波形を示す図面である。図5に示されているように、(+)は共通電圧に対する画素電圧の極性が正であることを示し、(-)は共通電圧に対する画素電圧の極性が負であることを示す。

【0037】以下、第1画素列の隣接する2つの画素を例として説明する。図6(a)に示されているように、理想の場合、上部ゲート線ブロックの最後のゲート線G_nに連結される第1画素列の画素電極には共通電圧V_{com}より低い電圧V_{pu}が1フレーム周期の間に一定に印加される。しかし、画素電極とデータ線との間に発生する寄生キャパシタンスのため、画素電極に印加される実際の画素電圧はデータ線に印加される電圧の影響を受ける。即ち、一番目の上部データ線D₁に共通電圧に対する極性が周期的に反復される階調電圧が印加されるため、画素電極に印加される実際の電圧V_aは図6(b)のようになる。この時、ゲート線が下から上の方向に走査され第1画素列の最後のゲート線G_mに対応する画素電極の極性が負であるため、データ線D₁に印加される階調電圧は図6(a)に示されているように負と正とが連続して反復される。

【0038】より詳しくは、図6(a)及び(b)に示されているように、陰(-)の極性を有する画素電圧V_{pu}が印加され、陰(-)の極性を有する階調電圧がデータ線に印加される場合、実際の画素電圧V_aは寄生キャパシタンスC_pの影響によって理想的な画素電圧V_{pu}に比べてVだけ共通電圧の反対方向に引っ張られる。これに反して、陽(+)の極性を有する階調電圧がデータ線に印加される場合、実際の画素電圧V_aは、Vだけ共通電圧の方向に引っ張られる。

【0039】図6(c)に示されているように、理想的

な場合、下部ゲート線ブロックの一番目のゲート線G_{m+1}に連結される第1画素列の画素電極には共通電圧V_{com}より高い電圧V_{pd}が1フレーム周期の間に一定に印加される。一番目の下部データ線C₁にはデータ線D₁に印加される階調電圧と異なる極性を有する階調電圧が印加される。これは、図5に示されているように、上部ゲート線ブロックは下から上の方向に走査され、下部ゲート線ブロックは上から下の方向に走査され、上部ゲート線ブロックの最後のゲート線G_mに連結される画素電圧V_{pu}は下部ゲート線ブロックの一番目のゲート線G_{m+1}に連結された画素電圧と異なるためである。従って、寄生キャパシタンスC_pの影響で画素電極に印加される実際の電圧は図6(d)に示されているような波形を有する。即ち、即ち、図6(c)及び(d)に示されているように、(+)の極性を有する画素電圧V_{pd}が印加され、(+)の極性を有する階調電圧がデータ線に供給される場合には、実際の画素電圧V_bは、寄生キャパシタンスC_pの影響により、理想的な画素電圧V_{pd}に比べてVだけ共通電圧の反対方向に引っ張られる。(+)の極性を有する階調電圧がデータ線に印加される場合には、実際の画素電圧V_bがVだけ共通電圧の方向に引っ張られる。

【0040】前述のように、本発明の第1実施例によると、データ線に印加される電圧が境界面に存在する2つの画素行の画素に同一方向に影響を及ぼすため、実際の画素に印加される電圧と共通電圧との差は図6(b)及び(d)に斜線で示されている通りである。従って、境界部分の画素にある液晶物質を透過する光の量の差が小さいので、境界部分における輝度がほとんど均一になる。従って、従来のデュアルスキャンLCD駆動方式において上側パネルと下側パネルとの境界部分で発生していた縞模様が発生しない。

【0041】以下、本発明の第2実施例による液晶表示装置の操作を説明する。図7は本発明の第2実施例による液晶表示装置の上部及び下部ゲート駆動部の走査方向と極性を示す回路図である。図8は本発明の第2実施例による各種の信号の波形を示している。図7に示されているように、境界部分の隣接する2つの画素の極性は互いに同一であり、境界部分のその他の画素の極性は反転する。以下、第1画素列の隣接する2つの画素を例として説明する。

【0042】図8(a)に示されているように、理想の場合、共通電圧V_{com}より高い画素電圧V_{pu}が、上部ゲート線ブロックの最後のゲート線G_mに連結される第1画素列の画素電極に1フレーム周期の間に一定に印加される。しかし、画素電極とデータ線との間に生じる寄生キャパシタンスC_pのため、画素電極に印加される実際の画素電圧はデータ線に印加される電圧の影響を受ける。

【0043】即ち、共通電圧に対する極性が周期的に反

復される階調電圧が一番目の上部データ線D1に印加されるため、実際の画素電極に印加される電圧 V_a は図8(b)に示されているようになる。この時、ゲート線が下から上の方向に走査され第1画素列の最後のゲート線G_mに対応する画素電極の極性が正であるため、データ線D1に印加される階調電圧は図8(a)に示されているように正、負、正、負、・・・の順に反転される。

【0044】より詳しくは、図8(a)及び(b)に示されているように、正の極性を有する画素電圧 V_{pu} が印加され、正の極性を有する階調電圧がデータ線に印加される時、寄生キャパシタンスの影響によって実際の画素電圧 V_a は理想的な画素電圧 V_{pu} と比較すると V だけ共通電圧の反対方向に引っ張られる。一方、負の極性を有する階調電圧がデータ線に印加されると、前記画素電圧 V_a は V だけ共通電圧の方向に引っ張られる。

【0045】図8(c)に示されているように、理想的な場合、共通電圧 V_{com} より高い画素電圧 V_{pd} が、下部ゲート線ブロックの一番目のゲート線G_{m+1}に連結される第1画素列の画素電極に1フレーム周期の間に印加される。データ線D1に印加される階調電圧と同一の極性を有する階調電圧が一番目の下部データ線C1に印加される。これは、図7に示されているように、上部ゲート線ブロックが下から上の方向に走査され、下部ゲート線ブロックが上から下の方向に走査され、上部ゲート線ブロックの最後のゲート線G_mに連結される画素電圧の極性が下部ゲート線ブロックの一番目のゲート線G_{m+1}に連結される画素電圧の極性と同一であるためである。従って、実際の画素電極に印加される電圧は図8(d)のような波形を有する。

【0046】図8に示されているように、本発明の第2実施例によると、データ線に印加される電圧が境界面にある2つの画素行の画素に同一方向に影響を及ぼすため、画素に印加される実際の電圧と共通電圧との差は図8(b)及び(d)に斜線で示したようになる。従って、境界部分の画素にある液晶物質を透過する光の量の差が小さいので、境界部分の輝度がほとんど均一になる。従って、従来の上側パネルと下側パネルとの境界部分に発生していた縞模様が現われない。

【0047】前述の本発明の実施例では、上部ゲート駆動部に連結されたゲート線は下から上の方向に走査され、下部ゲート駆動部に連結されたゲート線は上から下の方向に走査される。しかし、本発明による液晶表示装置の駆動方法は、図9(a)及び(b)に示されているように、上部ゲート駆動部に連結されたゲート線は上から下に走査され、下部ゲート駆動部に連結されたゲート線は下から上の方向に走査される場合も含む。

【0048】以下、図9(a)及び(b)に基づいて、本発明の第3及び第4実施例による液晶表示装置の駆動方法を説明する。上部及び下部液晶表示装置パネルの端からパネルの境界部分の方向にゲート線が走査される。*50

*即ち、図9(a)に示されているように本発明の第3実施例によると、上部及び下部液晶表示装置パネルの端からパネルの境界部分の方向にゲート線が走査され、境界部分に隣接した2つの画素には互いに異なる極性を有する画素電圧が印加される。図9(b)に示されているように本発明の第4実施例によると、上部及び下部液晶表示装置パネルの端からパネルの境界部分の方向にゲート線が走査され、境界部分に隣接した2つの画素には同一の極性を有する画素電圧が印加される。

【0049】本発明の第3及び第4実施例の方法を使用してゲート線を駆動するために、図3において上部フレームメモリ410は画像データの記録順序と同一の順序に画像データを上部データ駆動部210に伝送し、下部フレームメモリ420は画像データの記録順序と反対の順序に画像データを下部データ駆動部220に伝送する。上部ゲート駆動部310及び下部ゲート駆動部320はそれぞれ上部ゲート線ブロックの一番目のゲート線G1及び下部ゲート線ブロックの最後のゲート線G_{2m}からゲートオン信号を順次に出力する。第3及び第4実施例におけるこれ以外の駆動方法は図3に基づいて前述したものと同一である。

【0050】本発明の第3及び第4実施例によって液晶表示装置を駆動する場合、境界面にある2つの画素行の画素はデータ線に印加される電圧によって同一の方向に影響を受ける。従って、境界部分の画素にある液晶物質を透過する光の量の差が小さいので、境界部分の輝度がほとんど均一になる。その結果、従来の上側パネルと下側パネルとの境界部分に発生する縞模様が現われない。

【0051】以上の説明のように、本発明によると、上部パネルのゲート線の走査方向を下部パネルのゲート線の走査方向と反対の方向にすることによって輝度不均一現象を防止することができる。本発明は以上のように最も実用的で好ましい実施例に基づいて説明されているが、このような実施例に限定されるものでなく、請求範囲及び思想に含まれる同価の構造及び多様な変形を全て含む。

【図面の簡単な説明】

【図1】デュアルスキャン方式を利用した液晶表示装置を示す図面である。

【図2】従来の液晶表示装置の駆動方法による信号波形を示す図面である。

【図3】本発明の好ましい実施例による液晶表示装置を示す概略図である。

【図4】書込みクロック信号と読取りクロック信号に同期して各々のフレームに入出力されるデータのタイミングを示す図面である。

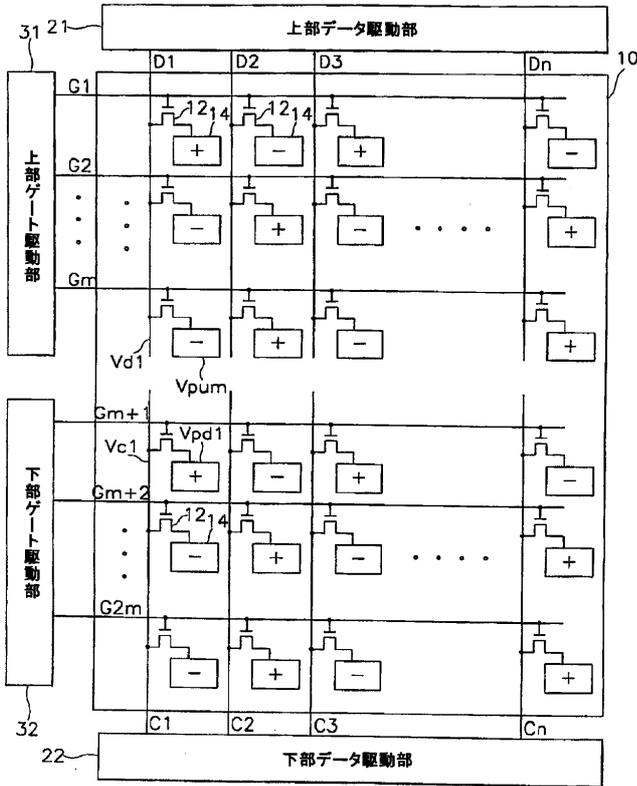
【図5】本発明の第1実施例による図3に示されている液晶表示装置の極性及び走査方向を示す回路図である。

【図6】本発明の第1実施例による信号の波形を示す図面である。

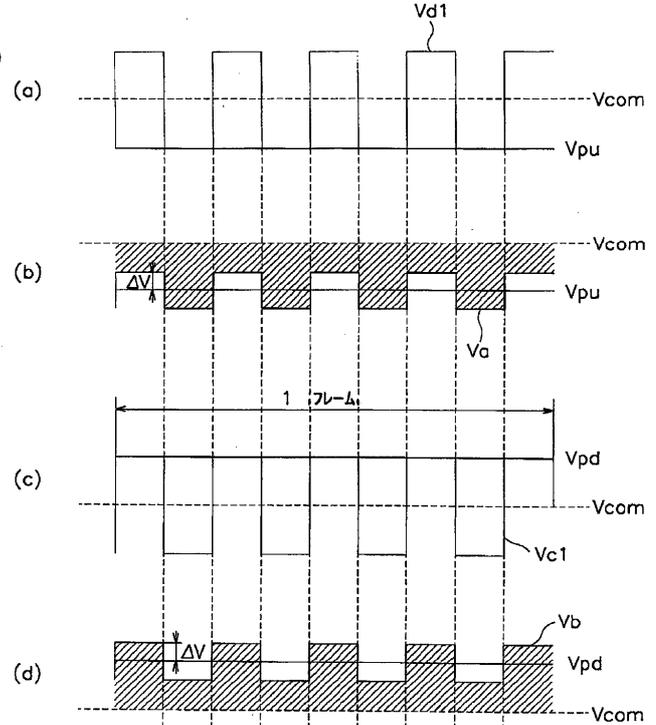
【図7】本発明の第2実施例による図3に示した液晶表示装置の極性と走査方向を示す回路図である。
 【図8】本発明の第2実施例による信号の波形を示す図面である。

*【図9】はそれぞれ第3実施例及び第4実施例による図3に示した液晶表示装置の極性と走査方向を示す回路図である。

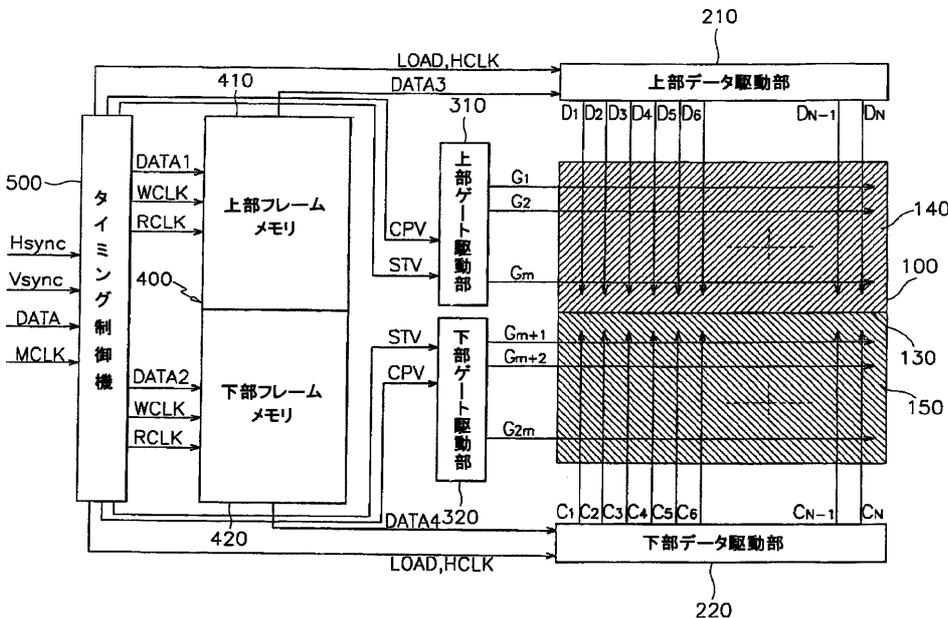
【図1】



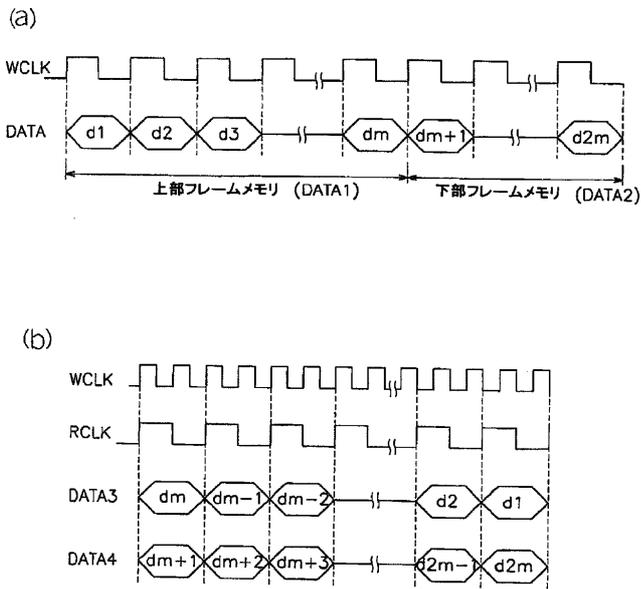
【図2】



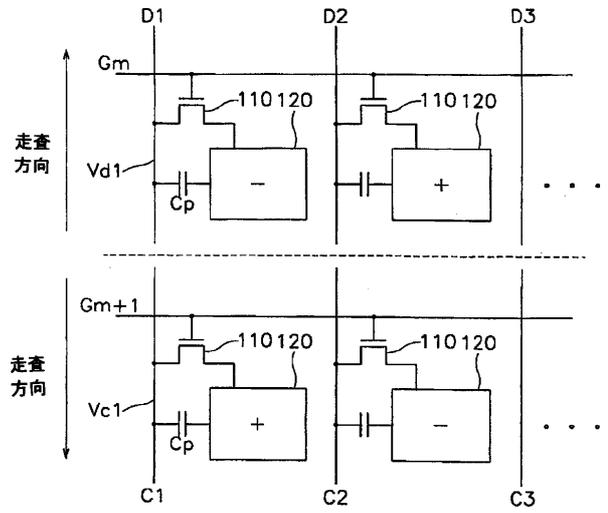
【図3】



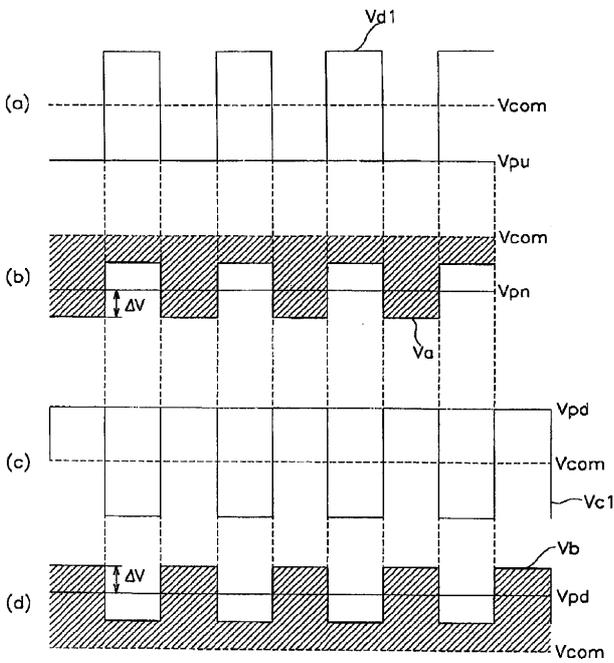
【図4】



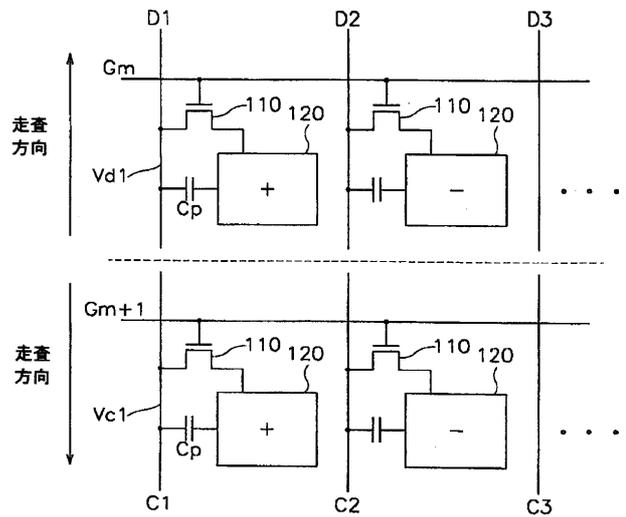
【図5】



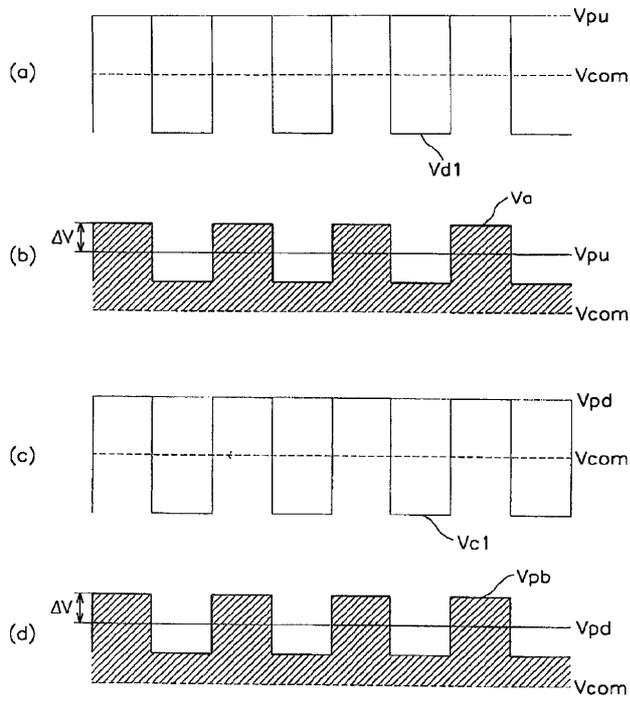
【図6】



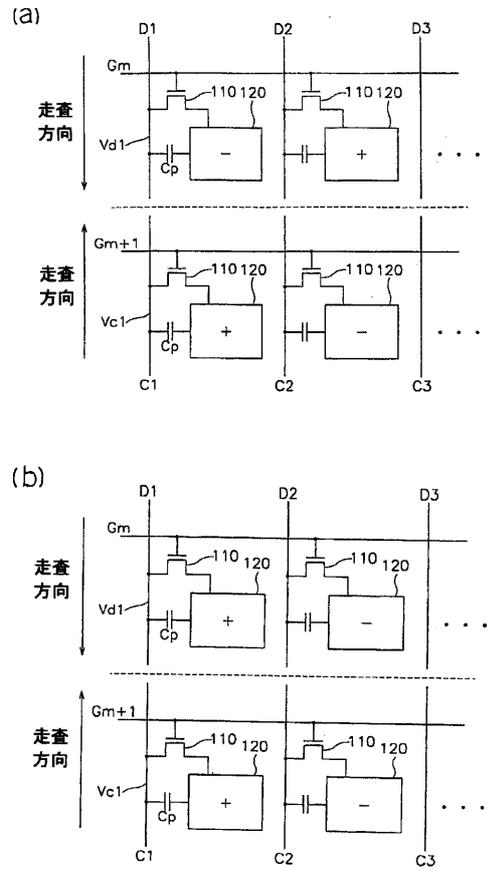
【図7】



【図 8】



【図 9】



【外国語明細書】

1. Title of invention

A LIQUID CRYSTAL DISPLAY AND A METHOD FOR DRIVING THE SAME

2. Claims

WHAT IS CLAIMED IS

1. A liquid crystal display (LCD), comprising:

a first gate line block including a plurality of first gate lines transmitting scanning signals, said first gate line block scanning in a first direction;

a second gate line block including a plurality of second gate lines transmitting scanning signals, said second gate line block scanning in a second direction;

a plurality of first data lines transmitting image signals and crossing the first gate lines of the first gate line block;

a plurality of second data lines transmitting image signals and crossing the second gate lines of the second gate line block; and

a plurality of pixels configured in a matrix pattern and defined by the gate lines and data lines, said pixels including switching elements coupled to the gate lines and the data lines,

wherein the first direction is opposite to the second direction and the first data lines are separated from the second data lines.

2. The LCD of claim 1, wherein the number of the first gate lines is equal to the number of the second gate lines.

3. The LCD of claim 2, wherein the first gate lines and the second gate lines are simultaneously scanned.

4. A liquid crystal display (LCD), comprising:

an LCD panel including:

a first gate line block having a plurality of first gate lines;

a second gate line block having a plurality of second gate lines.

said second gate line block formed beneath the first gate line block;

a plurality of first data lines crossing and separated from the first gate lines of the first gate line block;

a plurality of second data lines crossing and separated from the second gate lines of the second gate line block; and

a plurality of pixels formed by areas defined by the gate lines and data lines, and arrayed in a matrix pattern, the pixels having switching elements coupled to the gate lines and the data lines, and common electrodes to which common voltage is supplied;

a first data driver supplying data voltages, which contain image signals, to the first data lines;

a second data driver supplying data voltages, which contain image signals, to the second data lines;

a first gate driver supplying scanning signals to the gate lines of the first gate line block;

a second gate driver supplying scanning signals to the gate lines of the second gate line block in a scanning direction opposite to the first gate driver;

a first frame memory that receives and writes external image signals in synchronization with the write clock signals and outputs the image signals to the first data driver in synchronization with the read clock signals; and

a second frame memory that receives and writes external image signals in synchronization with the write clock signals and outputs the image signals to the second data driver in synchronization with the read clock signals.

5. The LCD of claim 4, wherein the number of the first gate lines is equal to the number of the second gate lines.

6. The LCD of claim 5, wherein the first gate driver and the second

gate driver are simultaneously scanned.

7. The LCD of claim 5, wherein polarities of the data voltages supplied to the pixels coupled to adjacent gate lines of the first gate line block are opposite to each other with respect to the common voltage, and the polarities of the data voltages supplied to the pixels coupled to the neighboring gate lines of the second gate line block are opposite to each other with respect to the common voltage.

8. The LCD of claim 7, wherein the first gate driver sequentially supplies the scanning signals to the gate lines from the last gate line to the first gate line of the first gate line block, and the second gate driver sequentially supplies the scanning signals to the gate lines from the first gate line to the last gate line of the second gate line block.

9. The LCD of claim 8, wherein the first frame memory outputs to the first data driver the image signals in a reverse order to which the image signals are written in, and the second frame memory outputs to the second data driver in the same order as image signals are written in.

10. The LCD of claim 9, wherein the polarity of the common voltage, with respect to the data voltage supplied to the pixels coupled to the last gate line of the first gate line block, is opposite to that of the common voltage, with respect to the data voltage supplied to the pixels coupled to the first gate line of the second gate line block on the identical pixel column.

11. The LCD of claim 9, wherein the polarity of the common voltage, with respect to the data voltage supplied to the pixels coupled to the last gate line of the first gate line block, is identical to that of the common voltage, with respect to the data voltage supplied to the pixels coupled to the first gate line of the second gate line block on the identical pixel column.

12. The LCD of claim 7, wherein the first gate driver sequentially s

supplies the scanning signals to the gate lines from the first gate line to the last gate line of the first gate line block, and the second gate driver sequentially supplies the scanning signals to the gate lines from the last gate line to the first gate line of the second gate line block.

13. The LCD of claim 12, wherein the first frame memory outputs to the first data driver, the image signals, in the same order as the image signals are written, and the second frame memory outputs to the second data driver the image signals, which are written in a reverse order as the image signals are written..

14. The LCD of claim 13, wherein the polarity of the common voltage, with respect to the data voltage supplied to the pixels coupled to the last gate line of the first gate line block, is opposite to that of the common voltage, with respect to the data voltage supplied to the pixels coupled to the first gate line of the second gate line block on the identical pixel column.

15. The LCD of claim 13, wherein the polarity of the common voltage with respect to the data voltage supplied to the pixels coupled to the last gate line of the first gate line block, is identical to that of the common voltage, with respect to the data voltage supplied to the pixels coupled to the first gate line of the second gate line block on the identical pixel column.

16. A method for driving a liquid crystal display (LCD) including a first gate line block having a plurality of first gate lines a second gate line block formed beneath the first gate line block and having a plurality of second gate lines; a plurality of first data lines crossing and separated from the first gate lines of the first gate line block;

and a plurality of second data lines crossing and separated from the second gate lines of the second gate line block, comprising the steps o

f:

providing sequentially scanning signals to the first gate line of the first gate line block;

providing sequentially scanning signals to the second gate line of the second gate line block in a scanning direction opposite to that of the first gate line block; and

supplying data voltages, which contain image signals, to the first and second data lines so that the data voltages are supplied to the pixels coupled to the gate lines to which the scanning signals are provided.

17. The method of claim 16, wherein the scanning signals are sequentially provided to the first gate line block from the last gate line to the first gate line, and to the second gate line block from the first gate line to the last gate line.

18. The method of claim 17, wherein the method further comprises the steps of:

writing the image signals to be provided to the first data line to the first frame memory, the image signals received externally;

writing the image signals to be provided to the second data line to the second frame memory, the image signals received externally;

outputting the image signals to the first data lines in a reverse order as the image signals are written to the first frame memory; and

outputting the image signals to the second data lines in the same order as the image signals are written to the second frame memory.

19. The method of claim 16, wherein the scanning signals are sequentially provided to the first gate line block from the first gate line to the last gate line, and to the second gate line block from the last gate line to the first gate line.

20. The method of claim 19, wherein the method further comprises the

steps of:

writing the image signals to be provided to the first data line to the first frame memory, the image signals received externally;

writing the image signals to be provided to the second data line to the second frame memory, the image signals received externally;

outputting the image signals to the first data lines in the same order as the image signals are written to the first frame memory; and

outputting the image signals to the second data lines in a reverse opposite order as the image signals are written to the second frame memory.

3. Detailed Explanation of the Invention

BACKGROUND OF THE INVENTION

(a) Field of the Invention

The present invention relates to a liquid crystal display (LCD) and a method for driving the same. More specifically, the present invention relates to an LCD having its screen divided into two sections and driven individually, and a method for driving the same.

(b) Description of the Related Art

As personal computers and televisions become lighter in weight and thinner in profile, display devices must also become lighter in weight and thinner in profile. Accordingly, flat panel display devices such as LCDs are increasingly replacing the cathode ray tube (CRT).

In order to obtain desired image signals, the LCD applies an electric field to liquid crystal material having anisotropic dielectricity that is injected between two substrates, and controls the light amount permeating through the substrates by the intensity of the electric field. An LCD is one of the most commonly used portable flat panel display devices.

In particular, a thin film transistor liquid crystal display (TFT-LCD), employing the TFT as a switching element, is widely used.

The LCD comprises a plurality of gate lines that transmit scanning signals. A plurality of data lines crossing the gate lines transmit image data. And a plurality of pixels formed by regions defined by the gate lines and data lines are interconnected through the gate lines, data lines and switching elements.

A method for applying the image data to each pixel in such an LCD will now be described.

When the scanning signals to turn on the gates (or gate-ON signals) are sequentially provided to the gate lines, the switching elements coupled to the gate lines are sequentially turned on. Image signals (i.e., data voltages) to be provided to pixel rows corresponding to the gate lines are concurrently provided to the respective data lines. The image signals provided to the data lines are then applied to the respective pixels through the switching elements that have been turned on. At this time, by sequentially applying the gate-ON signals to all the gate lines during one frame period such that the image signals are applied to all the pixel rows, one frame of image is displayed.

The higher-resolution LCD developed in recent times requires more gate lines in it. However, since the time to scan a frame is limited to $1/60$ of a second, the time interval of the gate-ON signal to be provided to the respective gate lines becomes shorter. Hence, it is difficult to provide sufficient image signals (i.e., the data voltages) to the image rows through the switching elements, which degrades the picture or image quality.

Therefore, a method has been disclosed recently to drive an LCD by dividing the display screen into two parts (an upper part and a lower part) in order to obtain a sufficient gate-ON time. Such a drive method is called a 'dual scan method'.

FIG. 1 shows an LCD adopting a dual scan method.

As shown in the drawing, the LCD using the dual scan method comprises a liquid crystal display (LCD) panel 10, an upper data driver 21, a lower data driver 22, an upper gate driver 31 and a lower gate driver 32.

The LCD panel 10 comprises a plurality of gate lines G1, G2, ..., G_m, G_m+1, ..., G_{2m} to transmit the gate-ON signals and a plurality of data lines D1, D2, ..., D_n, C1, C2, ..., C_n to transmit the data voltages (i.e., image signals). Regions defined by the crossing of the data lines and gate lines form pixels. Each pixel comprises a TFT 12, a gate electrode of which is coupled to a gate line and a source electrode of which is coupled to a data line, a pixel electrode 14 coupled to a drain electrode of the TFT 12 and a common electrode (not illustrated) to which a common voltage is supplied. The plurality of gate lines are divided into an upper gate line block and a lower gate line block, each comprised of m gate lines, respectively G1, G2, ..., G_m and then, G_m+1, ..., G_{2m}. The data lines D1, D2, ..., D_n coupled to the pixels corresponding to the gate lines G1, G2, ..., G_m of the upper gate line block are separated from the data lines C1, C2, ..., C_n coupled to the pixels corresponding to the gate lines G_m+1, ..., G_{2m} of the lower gate line block. For example, an upper pixel of a first column is coupled to the data line D1 and a lower pixel of the first column is coupled to the data line C1.

The upper and lower gate drivers 31 and 32, coupled respectively to the upper and lower gate line blocks, sequentially provide gate-ON voltages to the gate lines of the upper and lower gate line blocks, respectively. At this time, the gate-ON voltages are provided to the gate lines from the first gate line and to the last gate line. The upper and lower data drivers 21 and 22, located respectively in the upper part and lower part of the LCD panel, supply the data voltages to the upper data lines D1, D2, ..., D_n and the lower data lines C1, C2, ..., C_n, respectively.

The operation of the LCD will be described hereinafter.

The gate-ON signals are sequentially provided to the TFTs 12 from the gate lines of the upper and lower gate line blocks starting from the first gate line then to subsequent gate lines. Concurrently, the data voltages (i.e., image signals) are provided to the upper and lower data lines. The TFTs 12 are turned on by the gate-ON signals, and the data voltages supplied to the data lines are provided to pixel electrodes through the TFTs 12 that are turned on. Electric fields generated by differences between the pixel voltages (i.e., the voltages supplied to the pixel electrodes) and the common voltages of the common electrodes are applied to the liquid crystal material. Since the arrangement of the liquid crystal material changes depending upon the intensity of the electric field (the intensity of the electric field varies according to the intensity of the data voltage), the amount of light permeating the liquid crystal material varies. Therefore, desired images are displayed on the LCD.

Since the gate-ON signals are concurrently supplied to the gate lines in the upper and lower gate line blocks, the above described dual scan type LCD has the advantage of a twice longer gate-ON time than the conventional single scan LCDs.

The electric field applied to the liquid crystal material continuously in the same direction deteriorates the liquid crystal material. Accordingly, when the data voltages are driven, the polarities of the data voltages are alternated between positive and negative values. Such a drive method is referred to as an inversion drive method.

Among different types of inversion drive methods are a frame inversion drive method that alternates the polarities every frame; a line inversion drive method that alternates the polarities every line; and a dot inversion drive method that alternates the polarities every pixel. The line inversion and dot inversion drive methods are most commonly used. However, the line inversion drive method or dot inversion drive method, when

applied to the conventional dual scan type LCD, causes various drawbacks as described below.

It is assumed that the pixel of the LCD in FIG. 1 are driven by the dot inversion drive method, as shown by the positive (+) and negative (-) indications. The positive (+) polarity indicates that the polarity of the pixel voltage with respect to the common voltage is positive, and the negative (-) polarity indicates that the polarity of the pixel voltage with respect to the common voltage is negative.

A waveform of a voltage applied to the pixel electrode electrically coupled to the gate line G_m of the upper gate line block and to the data line D_1 , and a waveform of a voltage applied to the pixel electrode electrically coupled to the gate line G_{m-1} of the lower gate line block and to the data line C_1 are shown in FIG. 2.

As shown in FIG. 2 (a), in an ideal state, a voltage V_{pu} lower than the common voltage V_{com} is uniformly applied during a period of one frame to the pixel electrode of the first pixel row coupled to the last gate line G_m in the upper gate line block. However, in the actual LCD, since a parasitic capacitance is generated between the pixel electrode and data line, the pixel voltage provided to the actual pixel electrode is affected by the voltage provided to the data line. That is, since the data voltages V_{d1} , the polarities of which with respect to the common voltage V_{com} are periodically alternated are provided to the first data line D_1 as shown in FIG. 2 (a), the actual voltage V_a provided to the pixel electrode becomes the waveform as shown in FIG. 2 (b). For ease of explanation, the data voltages are assumed to be symmetrical with respect to the common voltage V_{com} .

In more detail, as illustrated in FIGs. 2 (a) and (b), in the case where a pixel voltage V_{pu} with a negative polarity is provided and then a data voltage V_d with a positive polarity is provided to the data lines, t

he actual pixel voltage V_a , unlike the ideal pixel voltage V_{pu} , is pulled in the direction of the common voltage by as much as ΔV due to the parasitic capacitance. On the other hand, if a data voltage with a negative polarity is provided to the data lines, the actual pixel voltage V_a is pulled in the opposite direction of the common voltage by as much as ΔV .

As shown in FIG. 2 (c), in the ideal case, a constant voltage V_{pd} , higher than the common voltage V_{cm} , is provided to a pixel electrode of a first pixel row coupled to the first gate line G_{m-1} in the lower gate line block during one frame interval. Further, a data voltage with a polarity identical to that of the data voltage provided to the data line D_i is supplied to a first data line C_1 . This is because the scanning process begins from the first gate line of each of the upper gate line block and the lower gate line block and the polarity of the pixel voltages coupled to the first gate line in the upper gate line block and lower gate line block are identical.

Therefore, because of the influence of the parasitic capacitance, the actual voltage provided to the pixel electrode has a waveform as shown in FIG. 2 (d). That is, as shown in FIGs. 2 (c) and (d), when the voltage V_{pd} with a positive polarity is provided and then the data voltage with a positive polarity is provided to the data lines, the actual pixel voltage V_b , unlike the ideal pixel voltage V_{pu} , is pulled in the opposite direction of the common voltage by as much as ΔV due to parasitic capacitance. Also, if a data voltage with a negative polarity is provided to the data lines, the actual pixel voltage V_b is pulled in the direction of the common voltage by as much as ΔV .

As a result, since the voltages provided to the data lines influence the pixels of the two pixel rows on the boundaries in the opposite directions, the actual difference between the voltage provided to the pixels a

and the common voltage becomes the area marked by oblique lines in FIGs. 2 (b) and (d). This makes a big difference in the amounts of the light permeating the liquid crystal material in the pixels at the boundaries of the upper block and the lower block, which results in the inconsistent brightness on the boundaries. Eventually, this appears as undesired lines at the boundaries between the upper block and the lower block.

SUMMARY OF THE INVENTION

It is an object of the present invention to provide a liquid crystal display (LCD) and a method for driving the same that drives it by dividing the screen into two panels and eliminates non-uniform luminance phenomena at the boundaries of the two panels.

In order to achieve this object, the LCD panel is divided into two panels - an upper panel and a lower panel. When providing scanning signals to gate lines, the scanning direction for the upper panel is opposite to that for the lower panel to prevent the non-uniformity of the luminance at the boundaries of the panels.

According to the present invention, a liquid crystal display (LCD) comprises a first gate line block including a plurality of first gate lines transmitting scanning signals, a second gate line block including a plurality of second gate lines transmitting scanning signals, scanning directions of the first gate lines being opposite to scanning directions of the second gate lines, a plurality of first data lines transmitting image signals and crossing the first gate lines of the first gate line block, a plurality of second data lines separated from the first data lines and crossing the second gate lines of the second gate line block, a plurality of pixels configured in a matrix pattern and defined by the gate lines and data lines, and including switching elements coupled to the gate lines and the data lines.

The number of the first gate lines is equal to the number of the second gate lines. The first gate lines and the second gate lines are simultaneously scanned.

According to the other aspect of the present invention, a liquid crystal display (LCD) comprises an LCD panel that includes a first gate line block having a plurality of first gate lines, a second gate line block formed beneath the first gate line block and having a plurality of second gate lines, a plurality of first data lines crossing and separated from the first gate lines of the first gate line block, a plurality of second data lines crossing and separated from the second gate lines of the second gate line block, and a plurality of pixels formed by areas defined by the gate lines and data lines, and arrayed in a matrix pattern, the pixels having switching elements coupled to the gate lines and the data lines, and common electrodes to which common voltage is supplied. The LCD further comprises a first data driver supplying data voltages, which contain image signals, to the first data lines, a second data driver supplying data voltages, which contain image signals, to the second data lines, a first gate driver supplying scanning signals to the gate lines of the first gate line block, a second gate driver supplying scanning signals to the gate lines of the second gate line block in an opposite scanning direction as the first gate driver, a first frame memory receiving and writing external image signals in synchronization with the image signals with write clock signals, and outputting the image signals, in synchronization with read clock signals, to the first data driver after synchronization with read clock signals, and a second frame memory receiving and writing external image signals in synchronization with the write clock signals, and outputting the image signals to the second data driver in synchronization with the read clock signals.

The number of the first gate lines is equal to the number of the second

d gate lines. The first gate driver and the second gate driver are simultaneously scanned. Polarities of the data voltages supplied to the pixels coupled to adjacent gate lines of the first gate line block are opposite to each other with respect to the common voltage, and the polarities of the data voltages supplied to the pixels coupled to the neighboring gate lines of the second gate line block are opposite to each other with respect to the common voltage. The first gate driver sequentially supplies the scanning signals to the gate lines in the direction from the last gate line of the first gate line block to the first gate line, and the second gate driver sequentially supplies the scanning signals to the gate lines in the direction from the first gate line of the second gate line block to the last gate line. The first frame memory outputs the image signals, which are written in a reverse order from the image signals to be provided to the first data lines, to the first data driver, and the second frame memory outputs the image signals, which are written in the same order from the image signals to be provided to the second data lines, to the second data driver. The polarity of the common voltage, with respect to the data voltage supplied to the pixels coupled to the last gate line of the first gate line block, is opposite to that of the common voltage, with respect to the data voltage supplied to the pixels coupled to the first gate line of the second gate line block on the identical pixel row. The polarity of the common voltage, with respect to the data voltage supplied to the pixels coupled to the last gate line of the first gate line block, is identical to that of the common voltage, with respect to the data voltage supplied to the pixels coupled to the first gate line of the second gate line block on the identical pixel row. The first gate driver sequentially supplies the scanning signals to the gate lines in the direction from the first gate line of the first gate line block to the last gate line, and the second gate driver sequentially supplies

the scanning signals to the gate lines in the direction from the last gate line of the second gate line block to the first gate line. The first frame memory outputs the image signals, which are written in an order identical to the image signals to be provided to the first data lines, to the first data driver, and the second frame memory outputs the image signals, which are written in an order opposite to the image signals to be provided to the second data lines, to the second data driver. The polarity of the common voltage, with respect to the data voltage supplied to the pixels coupled to the last gate line of the first gate line block, is opposite to that of the common voltage, with respect to the data voltage supplied to the pixels coupled to the first gate line of the second gate line block on the identical pixel row. The polarity of the common voltage with respect to the data voltage supplied to the pixels coupled to the last gate line of the first gate line block, is identical with that of the common voltage, with respect to the data voltage supplied to the pixels coupled to the first gate line of the second gate line block on the identical pixel row.

In another aspect of the present invention, a method for driving a liquid crystal display (LCD) including a first gate line block having a plurality of first gate lines formed in a horizontal direction, a second gate line block formed beneath the first gate line block and having a plurality of second gate lines, a plurality of first data lines crossing and separated from the first gate lines of the first gate line block, and a plurality of second data lines crossing and separated from the second gate lines of the second gate line block, comprises the steps of providing sequentially scanning signals to the first gate line of the first gate line block, providing sequentially scanning signals to the second gate line of the second gate line block in an opposite scanning direction to the first gate line, and supplying data voltages, which contain image si

signals, to the first and second data lines so that the data voltages are supplied to the pixels coupled to the gate lines to which the scanning signals are provided.

The scanning signals are sequentially provided to the first gate line block in the direction from the last gate line to the first gate line and to the second gate line block in the direction from the first gate line to the last gate line. The method further comprises the steps of writing the externally received image signals to be provided to the first data line to the first frame memory, writing the externally received image signals to be provided to the second data line to the second frame memory, outputting the image signals to the first data lines in an opposite order as the image signals to be written to the first frame memory and outputting the image signals to the second data lines in an opposite order as the image signals to be written to the second frame memory. The scanning signals are sequentially provided to the first gate line block in the direction from the first gate line to the last gate line, and to the second gate line block in the direction from the last gate line to the first gate line. The method further comprises the steps of writing the externally received image signals to be provided to the first data line to the first frame memory, writing the externally received image signals to be provided to the second data line to the second frame memory, outputting the image signals to the first data lines in an opposite order as the image signals to be written to the first frame memory, and outputting the image signals to the second data lines in an opposite order as the image signals to be written to the second frame memory.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

In the following detailed description, only the preferred embodiment of the invention has been shown and described, simply by way of illustrat

ion of the best mode contemplated by the inventor(s) of carrying out the invention. As will be realized, the invention is capable of modification in various obvious respects, all without departing from the invention. Accordingly, the drawings and description are to be regarded as illustrative in nature, and not restrictive.

FIG. 3 shows an LCD according to a preferred embodiment of the present invention.

The LCD comprises an LCD panel 100, an upper data driver 210, a lower data driver 220, an upper gate driver 310, a lower gate driver 320, a frame memory unit 400 including an upper frame memory 410 and a lower frame memory 420, and a timing controller 500.

The LCD panel 100 comprises $2m$ gate lines $G1, G2, \dots, G_{m-1}, \dots, G_{2m}$ to transmit gate-ON signals, and data lines $D1, D2, \dots, D_m$ and $C1, C2, \dots, C_n$ to transmit the data voltages displaying image signals. Areas defined by the gate lines and data lines form pixels, and each pixel comprises, as shown in FIG. 5, a TFT 110, a gate line that is coupled to a gate electrode and a data line that is coupled to a source electrode, a pixel electrode 120 coupled to a drain electrode of the TFT 110, and a common electrode (not illustrated) to which a common voltage is supplied. The $2m$ gate lines are divided into an upper gate line block comprising m gate lines of $G1, G2, \dots, G_m$ and a lower gate line block comprising m gate lines of $G_{m+1}, G_{m+2}, \dots, G_{2m}$. The upper data lines $D1, D2, \dots, D_n$ are coupled to pixels corresponding to the gate lines $G1, G2, \dots, G_m$ of the upper gate line block and are divided from the lower data lines $C1, C2, \dots, C_n$ coupled to the pixels corresponding to the gate lines $G_{m+1}, G_{m+2}, \dots, G_{2m}$ of the lower gate line block. That is, the LCD panel according to the embodiment of the present invention comprises an upper panel 140 and a lower panel 150. The upper panel 140 comprises the upper gate line block and upper data lines $D1, D2, \dots, D_n$, and the lower panel 150 comprises the

lower gate line block and the lower data lines C1, C2, ..., Cn.

The upper and lower gate drivers 310 and 320, each coupled to the upper and lower gate line blocks, sequentially supply gate-ON voltages to the gate lines of the gate line blocks in the opposite scanning directions. For example, when the upper gate driver 310 drives gate-ON voltages in the direction from the first gate line G1 of the upper gate line block to the m^{th} gate line Gm (i.e., from the top to the bottom), the lower gate driver 320 drives the gate-ON voltages in the direction from the last gate line G2m of the lower gate line block to the first gate line Gm-1 (i.e., from the bottom to the top). As mentioned above, when the upper gate driver 310 sequentially supplies the gate-ON voltages to the gate lines in the direction from the bottom to the top, the lower gate driver 320 supplies the gate-ON voltages to the gate lines in the direction from the top to the bottom.

The upper data driver 210 and the lower data driver 220, located on the upper side and lower side of the LCD panel are coupled to the upper frame memory 410 and the lower frame memory 420. They respectively supply the data voltages displaying the image signals to the upper data lines D1, D2, ..., Dn and the lower data lines C1, C2, ..., Cn.

The timing controller 500 receives image data signals DATA, main clock signals MCLK, horizontal synchronization signals Hsync, and vertical synchronization signals Vsync, and provides timing signals to the frame memory unit 400, upper gate driver 310, lower gate driver 320, upper data driver 210, and lower data driver 220. The upper frame memory 410 and the lower frame memory 420, synchronized with write clock signals WCLK and read clock signals RCLK (the frequency of which is half the write clock signals WCLK provided from the timing controller 500), write and read the image data signals to be provided to the upper data driver 210 and the lower data driver 220.

The operation of the LCD according to the first embodiment of the present invention will be described hereinafter. FIGs. 4 (a) and (b) are data timing diagrams illustrating that the data synchronized with the write clock signals WCLK and read clock signals RCLK ($RCLK = WCLK/2$) are input and output to and from the frame memories.

The external image data signals DATA, main clocks MCLK, vertical synchronization signals Vsync (i.e., frame synchronization signals), and horizontal synchronization signals Hsync (i.e., synchronization signals of the horizontal lines or the scanning lines) are provided to the timing controller 500.

Referring to FIG. 4 (a), the frame memories are synchronized with the write clock signals WCLK provided from the timing controller 500 and write data. That is, data synchronized with the write clock signals WCLK are written to the upper frame memory 410 in order starting from the image data d_1 to be provided to the first pixel row. In this case, the image data d_1, d_2, \dots, d_m to be provided to the pixel rows from the first pixel row to the m^{th} pixel row (i.e., the pixel rows corresponding to the gate lines of the upper gate line block) are written on the upper frame memory 410. On the other hand, the image data, synchronized with the write clock signals WCLK, starting from the image data d_{m+1} , to be provided to the pixel row corresponding to the first gate line G_{m+1} of the lower gate line block, to all subsequent image data d_{m+2}, \dots, d_{2m} are sequentially written on the lower frame memory 420.

When all the image data to be provided to each pixel row are written on the upper frame memory 410 and the lower frame memory 420, the image data synchronized with the read clock signals RCLK are transmitted to the upper data driver 210 or lower data driver 220 as shown in FIG. 4 (b). At this time, according to the first embodiment of the present invention, the image data for the upper data driver 210 are transmitted to the up

per data driver 210 in an order opposite that in which the upper frame memory 410 is written (i.e., $d_m, d_{m-1}, d_{m-2}, \dots, d_2, d_1$). The image data for the lower data driver 220 are transmitted to the lower data driver 220 in an order identical to that in which the lower frame memory 420 is written. Therefore, according to the present invention, frame memories that can be addressed in a reverse order of writing should be used.

When the image data synchronized with the clock signal HCLK are transmitted to the upper data driver 210 and the lower data driver 220, the image data are transformed into corresponding data voltages and provided to each line of the upper data lines D_1, D_2, \dots, D_n and lower data lines C_1, C_2, \dots, C_n according to load signals LOAD output from the timing controller 500.

The upper gate driver 310 and the lower gate driver 320 supply gate-ON signals (i.e., scanning signals), synchronized with start signals STV and gate clocks CPV output from the timing controller 500, to the gate lines of the upper gate line block and concurrently to the gate lines of the lower gate line block. At this time, according to the first embodiment of the present invention, the upper gate driver 310 sequentially provides the gate-ON voltages from the last gate line G_m of the upper gate line block to the first gate line G_2 of the upper gate line block (i.e., from the bottom to the top). And the lower gate driver 320 sequentially provides the gate-ON voltages to the first gate line G_{m+1} of the lower gate line block the last gate line G_{2m} of the lower gate line block (i.e., from the top to the bottom).

The TFTs coupled to the gate lines to which the gate-ON voltages are provided are turned on, and therefore, the data voltages provided to the data lines are transmitted to the pixel electrodes through the TFTs that are turned on, displaying desired images.

The above-described embodiment of the present invention can prevent li

nes appearing at the center of the screen when driving the dual-scan LCD using the dot inversion or line inversion methods.

FIG. 5 is a circuit diagram illustrating polarities and scanning directions of the upper gate driver 310 and the lower gate driver 320 according to the first embodiment of the present invention. FIGs. 6 (a), (b), (c) and (d) are signal waveforms according to the first embodiment of the present invention.

Referring to FIG. 5, (+) indicates that the polarity of a pixel voltage for the common voltage is positive, and (-) indicates that the polarity of a pixel voltage for the common voltage is negative. Two adjacent pixels in the first pixel row will be described as an example hereinafter.

Referring to FIG. 6 (a), in an ideal case, the voltage V_{pu} lower than the common voltage V_{com} is uniformly provided to a pixel electrode of the first pixel row coupled to the last gate line G_n of the upper gate line block during one frame. However, because of the parasitic capacitance generated between the pixel electrode and the data line, the actual pixel voltage provided to the pixel electrode is affected by the voltage provided to the data line. That is, since the data voltages, the polarities of which are periodically alternated with reference to the common voltage, are provided to the first upper data line $D1$, the actual voltage V_{ap} provided to the pixel electrode is as shown in FIG. 6 (b). At this time, since the gate line is scanned from the bottom to the top and the polarity of the pixel electrode corresponding to the last gate line G_n of the first pixel row is negative, the data voltages provided to the data line $D1$ are continuously alternated between positive and negative as shown in FIG. 6 (a).

In more detail, referring to FIGs. 6 (a) and (b), when the pixel voltage V_{pu} with a negative (-) polarity is supplied, and the data voltage with a negative (-) polarity is supplied to the data line, the actual pixel

l voltage V_a is, due to the influence of parasitic capacitance C_p , drawn to the opposite direction of the common voltage by as much as ΔV , compared to the ideal pixel voltage V_{pu} . On the other hand, when the data voltage of a positive (+) polarity is supplied to the data line, the actual pixel voltage V_a is drawn to the direction of the common voltage by as much as ΔV .

Referring to FIG. 6 (c), in an ideal case, a voltage V_{pd} higher than the common voltage V_{com} is uniformly supplied to the pixel electrode of the first pixel row coupled to the first gate line G_{m+1} of the lower gate line block during one frame period. Another data voltage with a polarity different from the data voltage supplied to the data line $D1$ is supplied to the first lower data line $C1$, because, as shown by FIG. 5, the upper gate line block is scanned from bottom to top, the lower gate line block is scanned from top to bottom, and the pixel voltage V_{pu} coupled to the last gate line G_m of the upper gate line block is different from the first gate line G_{m+1} of the lower gate line block. Hence, the actual voltage supplied to the pixel electrode due to parasitic capacitance C_p has waveforms as shown in FIG. 6 (d). That is, referring to FIGs. 6 (c) and (d), when the pixel voltage V_{pd} with a positive (+) polarity is supplied, and the data voltage with a positive (+) polarity is supplied to the data line, the actual pixel voltage V_b is, due to the influence of parasitic capacitance C_p , drawn to the opposite direction of the common voltage by as much as ΔV compared to the ideal pixel voltage V_{pd} . When the data voltage of a negative (-) polarity is supplied to the data line, the actual pixel voltage V_b is drawn to the direction of the common voltage by as much as ΔV .

As described above, according to the first embodiment of the present invention, since the voltages provided to the data lines influence the pixels of the two pixel rows on the boundaries in the identical direction,

the difference between the voltage supplied to the actual pixels and the common voltage is as shown by the oblique lines in FIGs. 6 (b) and (d). Therefore, since a difference in the amount of light permeating the liquid crystal material on the pixels of the boundaries is small, the brightness on the boundaries becomes almost uniform. Consequently, the line patterns appearing on the boundaries of the upper and lower panels in the conventional method of driving the dual scan LCD disappears.

An operation of the LCD according to a second embodiment of the present invention will now be described.

FIG. 7 is a circuit diagram illustrating polarities and scanning directions of the upper and lower gate drivers of the LCD according to the second embodiment of the present invention. FIG. 8 shows various signal waveforms according to the second embodiment of the present invention.

Referring to FIG. 7, the polarities of two adjacent pixels on the boundaries are identical to each other, and the polarities of other pixels on the boundaries are alternated. Two adjacent pixels on the first pixel row will be described as an example hereinafter.

Referring to FIG. 8 (a), in an ideal case, a pixel voltage V_{pu} higher than the common voltage V_{com} is uniformly supplied to the pixel electrode of the first pixel row coupled to the last gate line G_m of the upper gate line block during one frame period. However, the actual pixel voltage supplied to the pixel electrode is influenced by the voltage supplied to the data line due to the parasitic capacitance C_p between the pixel electrode and data line.

That is, since the data voltages, the polarity of which is periodically alternated with respect to the common voltage, are supplied to the first upper data line $D1$, the voltage V_a supplied to the actual pixel electrode becomes as shown in FIG. 8 (b). At this time, since the gate lines are scanned from bottom to top and the polarity of the pixel electrode c

corresponding to the last gate line G_m of the first pixel row is positive, the data voltages supplied to the data line $D1$ are alternated between positive and negative as shown in FIG. 8 (a).

In more detail, as shown in FIGs. 8 (a) and (b), when the pixel voltage V_{pu} with a positive polarity is supplied and the data voltage with a positive polarity is supplied to the data line, the actual pixel voltage V_a is drawn to the opposite direction of the common voltage by as much as ΔV , compared to the ideal pixel voltage V_{pu} as a result of parasitic capacitance. On the other hand, when the data voltage with a negative polarity is supplied to the data line, the pixel voltage V_a is drawn to the direction of the common voltage by as much as ΔV .

Referring to FIG. 8 (c), in an ideal case, the pixel voltage V_{pd} higher than the common voltage V_{com} is supplied to the pixel electrode of the first pixel row coupled to the first gate line G_{m+1} of the lower gate line block during one frame period. The data voltage, which has an identical polarity with the data voltage supplied to the data line $D1$, is supplied to the first lower data line $C1$, because, as shown in FIG. 7, the upper gate line block is scanned from bottom to top, the lower gate line block is scanned from top to bottom, and the polarity of the pixel voltage coupled to the last gate line G_m of the upper gate line block is identical with the polarity of the pixel voltage coupled to the first gate line G_{m+1} of the lower gate line block. Therefore, the voltage supplied to the actual pixel electrode has waveforms as shown in FIG. 8 (d).

Referring to FIG. 8, according to the second embodiment of the present invention, since the voltages provided to the data lines influence the pixels of the two pixel rows on the boundaries in the identical direction, the difference between the actual voltage supplied to the pixels and the common voltage is as shown by the oblique lines in FIGs. 8 (b) and (d). Therefore, since the difference in the amount of light permeating th

the liquid crystal material on the pixels of the boundaries is small, the brightness on the boundaries becomes almost uniform. Consequently, the conventional line patterns generated at the boundaries of the upper panel and the lower panel do not appear.

In the above embodiment of the present invention, the gate line coupled to the upper gate driver is scanned from bottom to top, and the gate line coupled to the lower gate driver is scanned from top to bottom.

However, the driving method for the LCD according to the present invention also includes an embodiment where the gate line coupled to the upper gate driver is scanned from top to bottom, and the gate line coupled to the lower gate driver is scanned from bottom to top as shown in FIGs. 9 (a) and (b).

Referring to FIGs. 9 (a) and (b), LCD driving methods will be described according to third and fourth embodiments of the present invention.

The gate lines are scanned in the direction from the edges of the panels of the upper and lower LCDs to the boundaries of the panels. That is, according to the third embodiment of the present invention as shown in FIG. 9 (a), the gate lines are scanned from the edges of the upper and lower LCD panels to the boundaries of the panels, and pixel voltages with different polarities are supplied to the two pixels adjacent to the boundaries. According to the fourth embodiment of the present invention as shown in FIG. 9 (b), the gate lines are scanned from the edges of the upper LCD panel and the lower LCD panel to the boundaries of the panels, and pixel voltages with identical polarities are supplied to the two pixels adjacent to the boundaries.

In order to drive the gate lines using the methods of the third and fourth embodiments of the present invention, the upper frame memory 410 in FIG. 3 transmits the image data to the upper data driver 210 in the same sequence as written, and the lower frame memory 420 transmits the image

e data to the lower data driver 220 in a reverse sequence of the order in which the image data are written. The upper gate driver 310 and the lower gate driver 320 respectively output gate-ON signals in sequence from the first gate line G1 of the upper gate line block and from the last gate line G2n of the lower gate line block. Other driving procedures in the methods of the third and fourth embodiments are identical to those described with reference to FIG. 3.

When driving the LCD according to the third and fourth embodiments of the present invention, the pixels of the two pixel rows at the boundaries are affected in the same direction by the voltage provided to the data lines. Therefore, since a difference in the amount of light permeating the liquid crystal material on the pixels of the boundaries is small, the brightness on the boundaries becomes almost uniform. Consequently, the conventional line patterns generated on the boundaries of the upper panel and the lower panel do not appear.

As noted above, according to the present invention, the non-uniform brightness phenomenon can be prevented by making the scanning direction of the gate lines of the upper panel opposite to that of the gate lines of the lower panel.

While this invention has been described in connection with what is presently considered to be the most practical and preferred embodiment, it is to be understood that the invention is not limited to the disclosed embodiments, but, on the contrary, is intended to cover various modifications and equivalent arrangements included within the spirit and scope of the appended claims.

4. Brief Explanation of the Drawings

BRIEF DESCRIPTION OF THE DRAWINGS

The accompanying drawings, which are incorporated in and constitute a

part of the specification, illustrate an embodiment of the invention, and, together with the description, serve to explain the principles of the invention.

FIG. 1 is an LCD configured for a dual scan method.

FIGs. 2 (a), (b), (c), and (d) are waveforms according to a conventional LCD driving method;

FIG. 3 is a schematic diagram of an LCD according to a preferred embodiment of the present invention;

FIGs. 4 (a) and (b) are timing diagrams of data input and output to and from a frame synchronized with writing and reading clock signals;

FIG. 5 is a circuit diagram illustrating polarities and scanning directions of the LCD shown in FIG. 3 according to a first embodiment of the present invention;

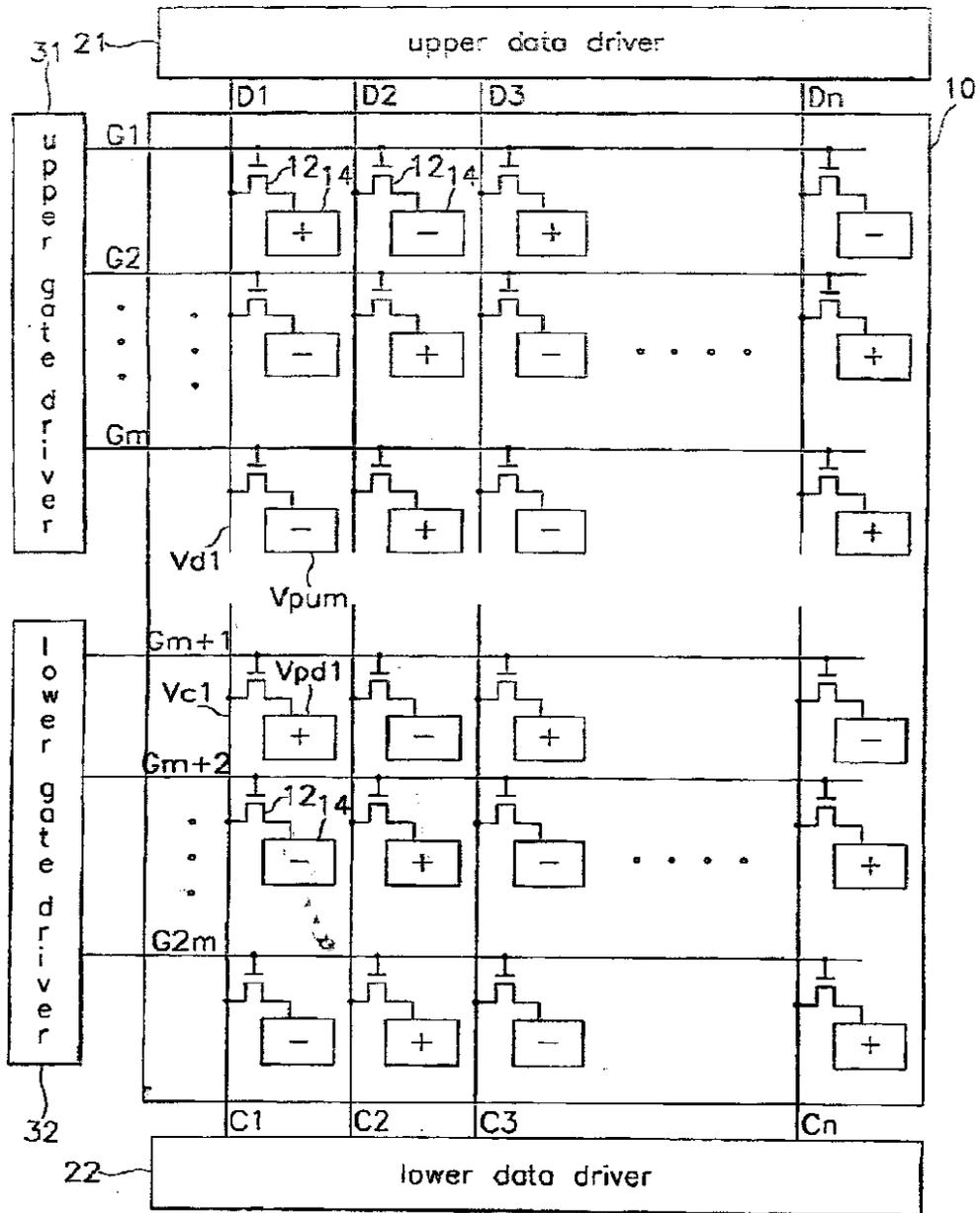
FIGs. 6 (a), (b), (c), and (d) are signal waveforms according to the first embodiment of the present invention;

FIG. 7 is a circuit diagram illustrating polarities and scanning directions of the LCD shown in FIG. 3 according to a second embodiment of the present invention;

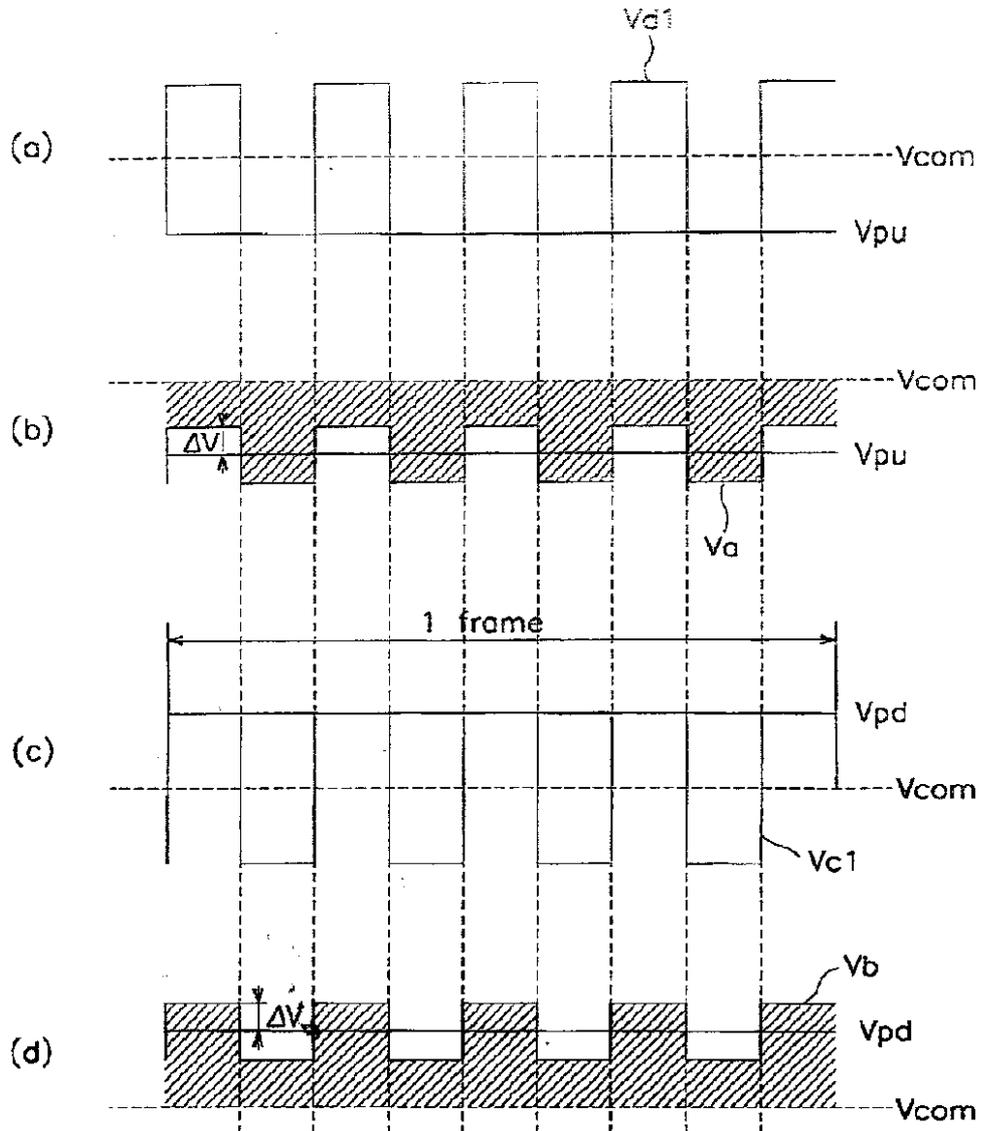
FIGs. 8 (a), (b), (c), and (d) are signal waveforms according to the second embodiment of the present invention; and

FIGs. 9 (a) and (b) are circuit diagrams illustrating polarities and scanning directions of the LCD shown in FIG. 3 respectively according to third and fourth embodiments of the present invention.

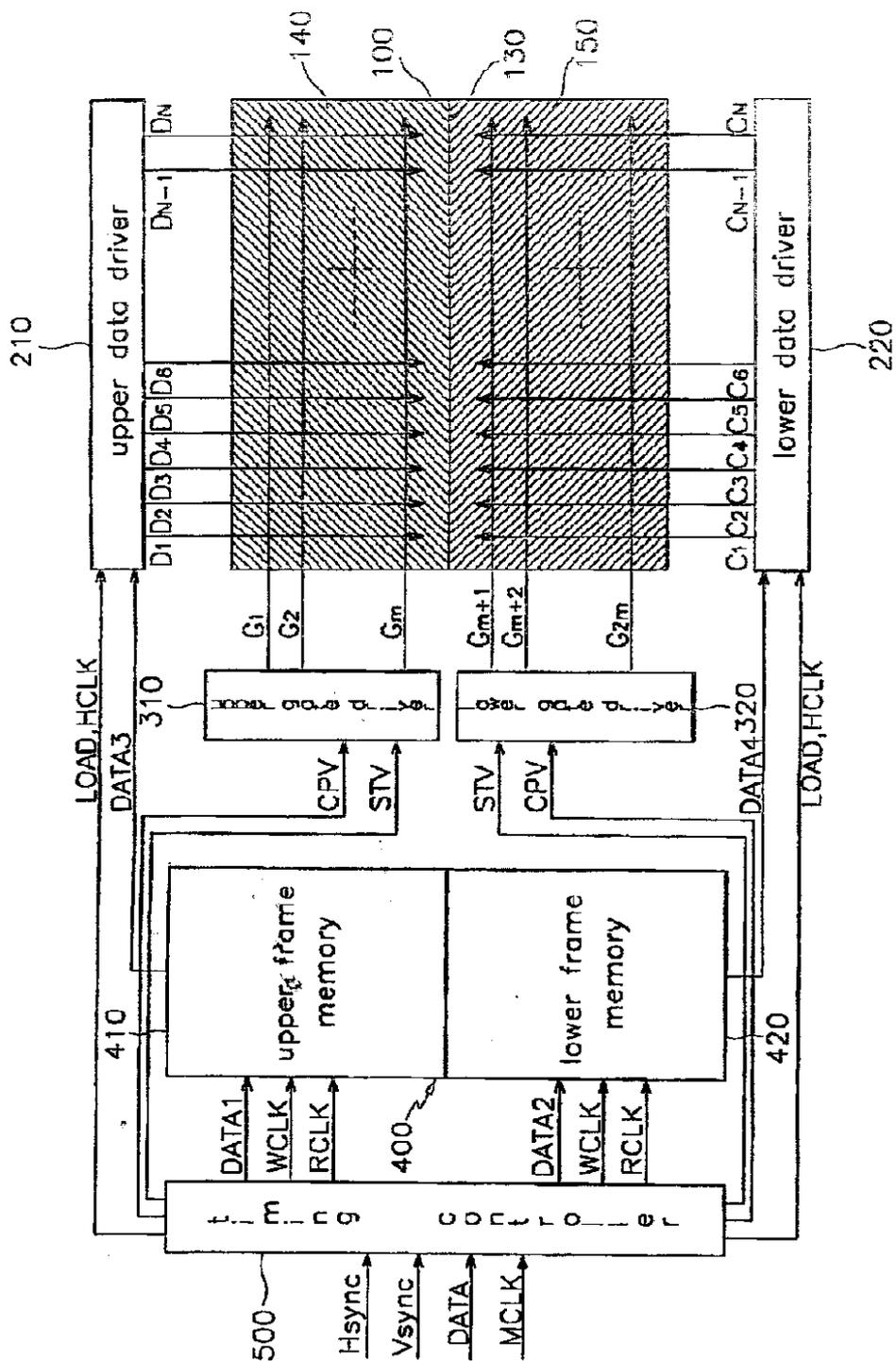
【図1】



【図2】

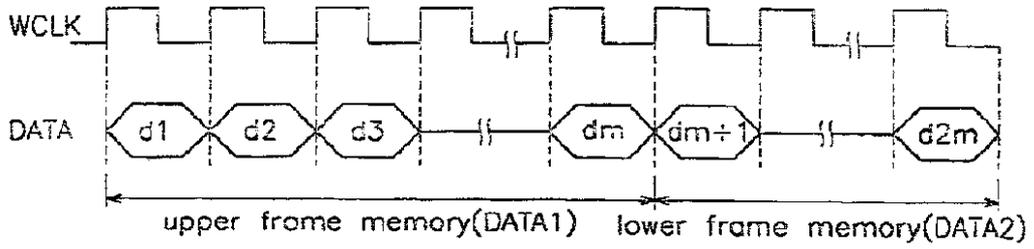


【図3】

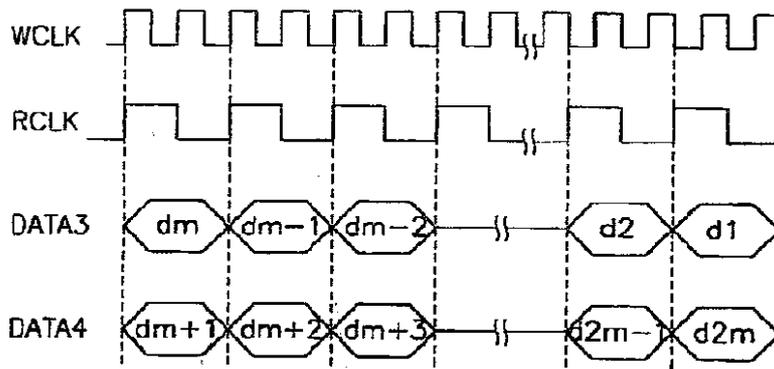


【図4】

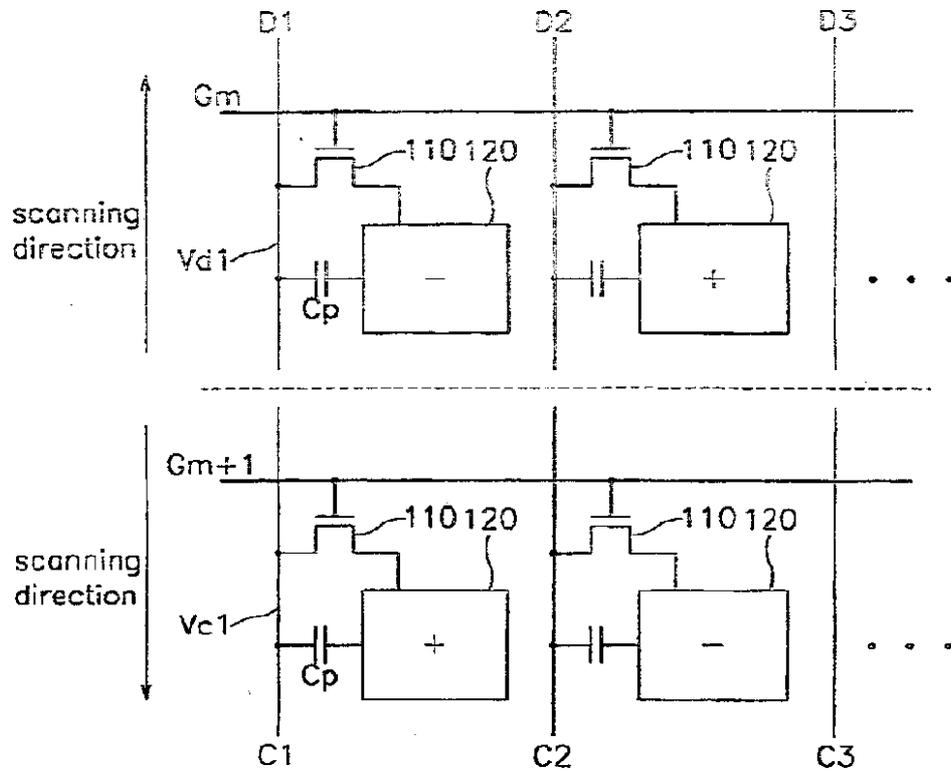
(a)



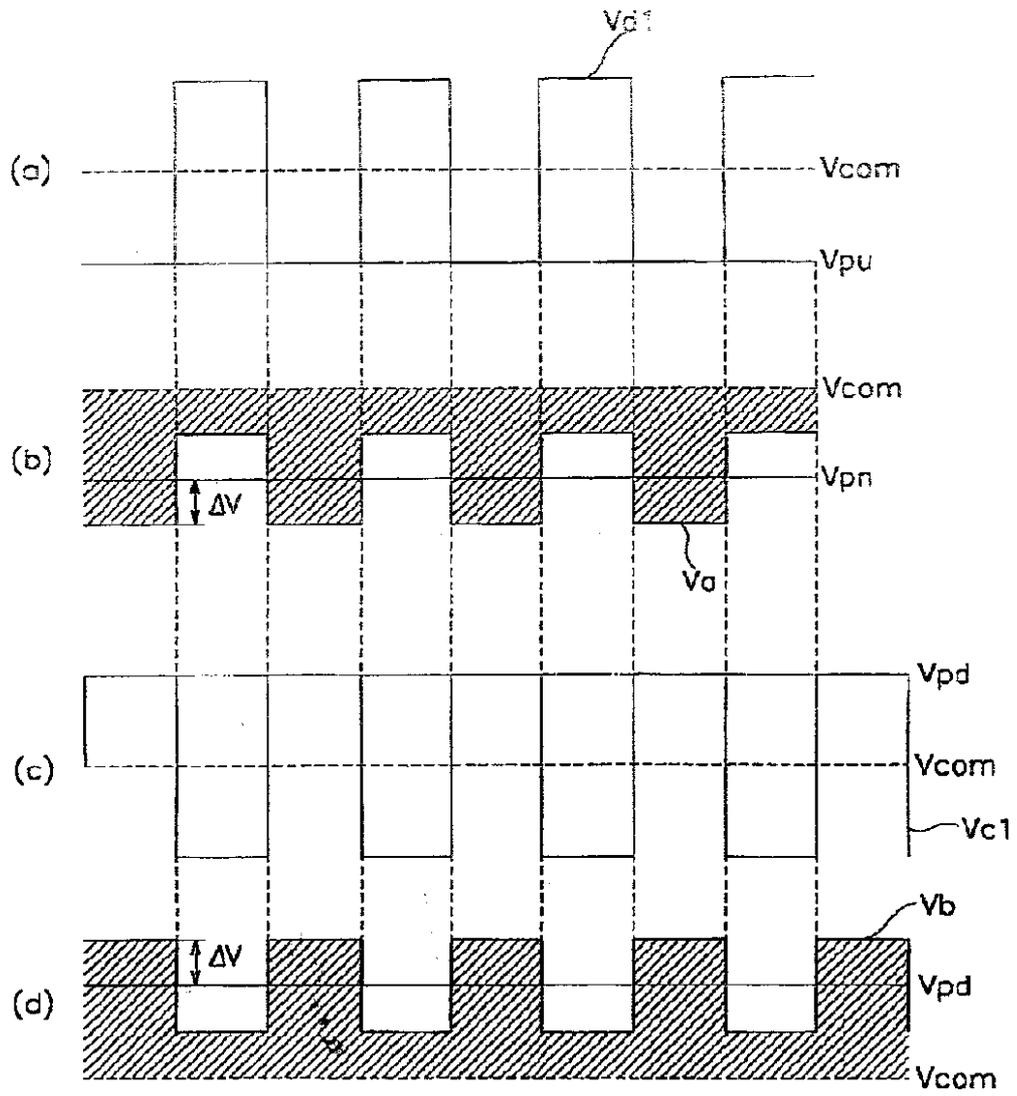
(b)



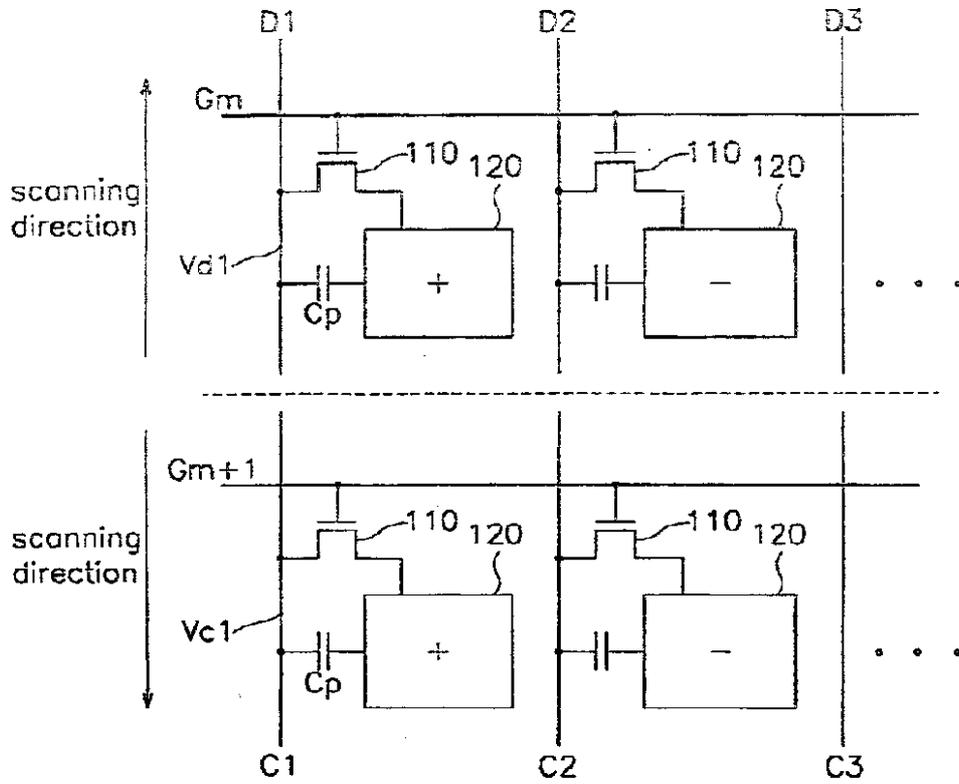
【図5】



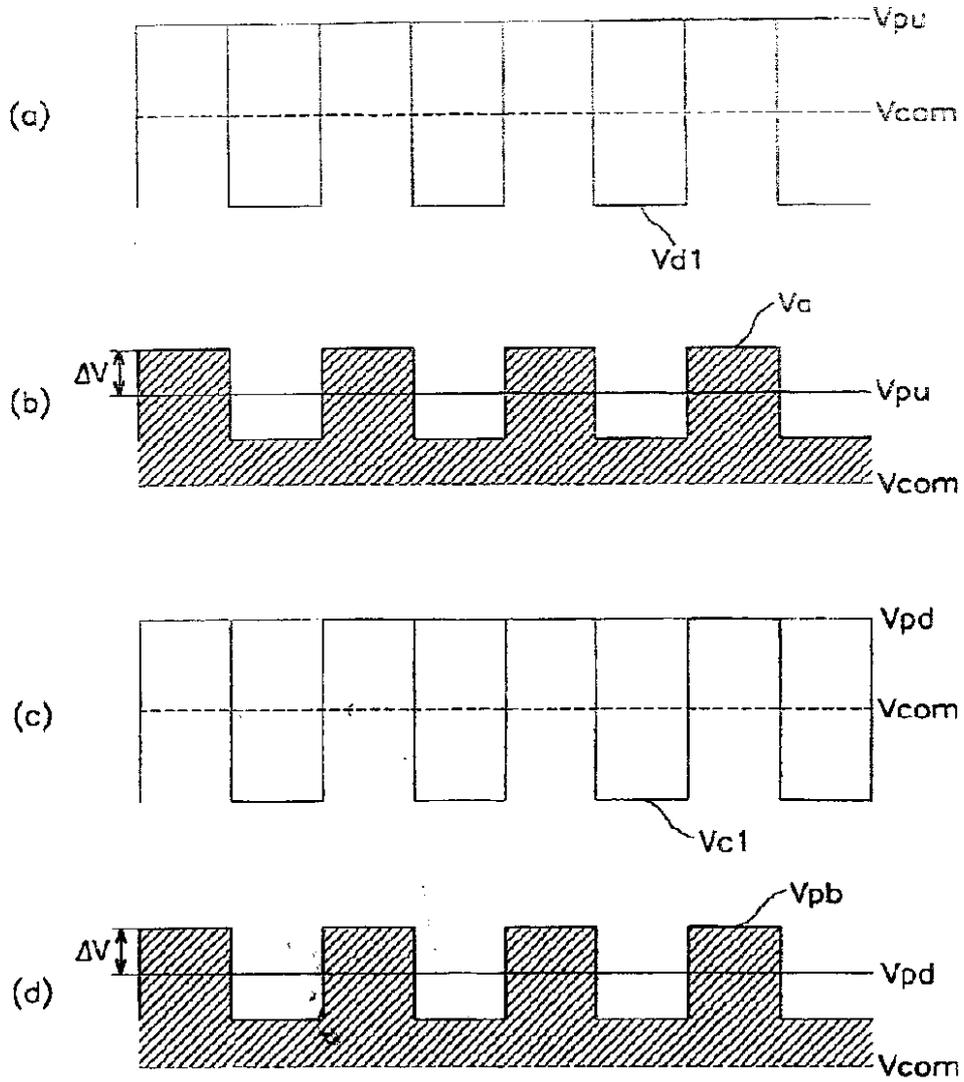
[図 6]



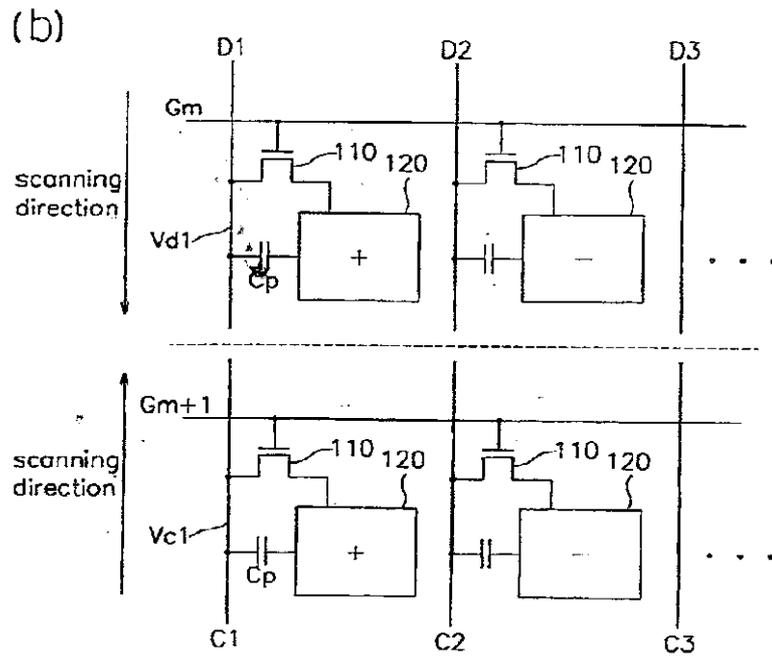
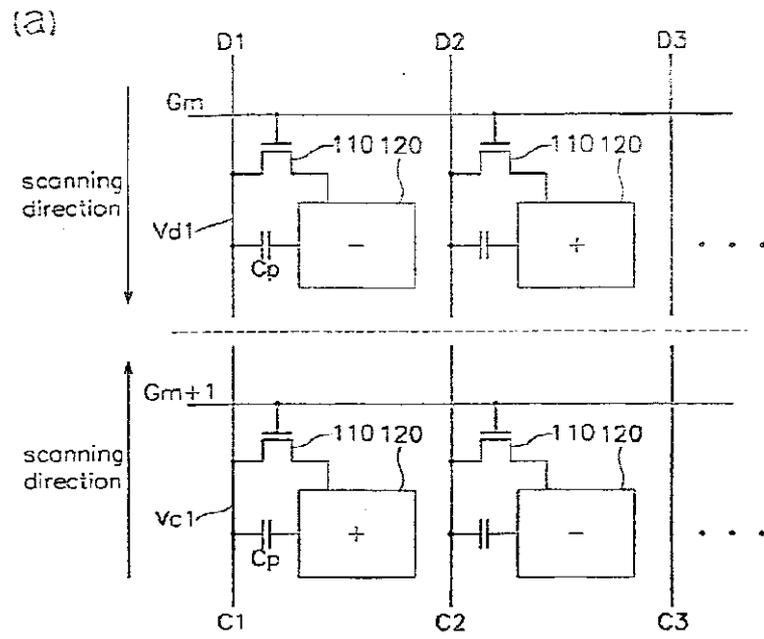
【図7】



【図8】



[図 9]



1. Abstract

ABSTRACT OF THE DISCLOSURE

Disclosed is a liquid crystal display (LCD). An LCD panel is divided into upper and lower panels, and a scanning direction of gate lines of the upper panel is opposite to that of gate lines of the lower panel. The upper panel includes an upper gate line block having a first gate line formed in the horizontal direction and transmits scanning signals, and upper data lines that cross the first gate line and transmit image signals. And the lower panel includes a lower gate line block having a second gate line, and lower data lines that cross the second gate line and are separated from the upper data lines. Upper and lower gate drivers that provide scanning signals to the gate lines of the upper and lower gate line blocks are located on the sides of the upper and lower panels, respectively. The upper and lower gate drivers supply the scanning signals to the gate lines in sequentially opposite directions. According to the present invention, the non-uniform brightness phenomenon can be prevented by making the scanning direction of the gate lines of the upper panel opposite to that of the gate lines of the lower panel.

2. Representative Drawing

Fig. 3

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2000310767A	公开(公告)日	2000-11-07
申请号	JP2000048362	申请日	2000-02-24
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	パクウォンヨン パークヘンオン		
发明人	パク,ウォン-ヨン パーク,ヘン-オン		
IPC分类号	G02F1/133 G02F1/1345 G09F9/30 G09F9/40 G09G3/20 G09G3/36		
CPC分类号	G09G3/3666 G02F1/1345 G02F2001/133391 G09G3/3614 G09G2310/0205 G09G2320/0219 G09G2320/0233		
FI分类号	G02F1/133.550 G09F9/30.A G09F9/40.301 G09G3/20.622.L G09G3/36 G02F1/1368 G09F9/30		
F-TERM分类号	2H093/NA16 2H093/NA22 2H093/NA43 2H093/NA53 2H093/NC29 2H093/NC34 2H093/ND05 2H192/AA24 2H192/AA32 2H192/GD61 2H193/ZA04 2H193/ZA32 2H193/ZC13 2H193/ZD23 2H193/ZD34 2H193/ZF37 5C006/AA16 5C006/AC02 5C006/AC11 5C006/AC22 5C006/AF22 5C006/AF35 5C006/AF42 5C006/BB16 5C006/BC22 5C006/FA22 5C080/AA10 5C080/BB06 5C080/DD05 5C080/EE28 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA03 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA04 5C094/DA09 5C094/EA03 5C094/EA04 5C094/EA07 5C094/GA10		
优先权	1999P6086 1999-02-24 KR		
其他公开文献	JP4719330B2		
外部链接	Espacenet		

摘要(译)

(带更正) 液晶显示面板分为上面板和下面板, 并且上面板的栅极线的扫描方向与下面板的栅极线的扫描方向相反。上面板包括: 上栅极线块, 其具有在水平方向上形成的第一栅极线并传输扫描信号; 以及上数据线, 其与第一栅极线相交并传输图像信号。下部面板包括具有第二栅极线的下部栅极线块和与第二栅极线相交并与上部数据线分离的下部数据线。在上面板和下面板的侧面上分别设置有将扫描信号施加到上, 下栅极线块的栅极线的上, 下栅极驱动单元。上下栅极驱动器沿相反方向顺序将扫描信号施加到栅极线。[效果]通过使上面板的栅极线的扫描方向与下面板的栅极线的扫描方向相反, 可以防止亮度不均匀的现象。

