

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5536296号
(P5536296)

(45) 発行日 平成26年7月2日 (2014.7.2)

(24) 登録日 平成26年5月9日 (2014.5.9)

(51) Int.Cl.

F I

G O 9 G 3/36 (2006.01)

G O 2 F 1/133 (2006.01)

G O 9 G 3/20 (2006.01)

H O 3 F 3/45 (2006.01)

G O 9 G 3/36

G O 2 F 1/133 5 7 O

G O 9 G 3/20 6 2 1 B

G O 9 G 3/20 6 2 1 F

G O 9 G 3/20 6 2 3 B

請求項の数 24 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2004-274050 (P2004-274050)	(73) 特許権者	390019839
(22) 出願日	平成16年9月21日 (2004.9.21)		三星電子株式会社
(65) 公開番号	特開2005-115365 (P2005-115365A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成17年4月28日 (2005.4.28)		C o . , L t d .
審査請求日	平成19年8月31日 (2007.8.31)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	2003-069730		129, S a m s u n g - r o , Y e o n
(32) 優先日	平成15年10月7日 (2003.10.7)		g t o n g - g u , S u w o n - s i , G
(33) 優先権主張国	韓国 (KR)		y e o n g g i - d o , R e p u b l i c
			o f K o r e a
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
			最終頁に続く

(54) 【発明の名称】 液晶表示装置及び増幅回路、増幅装置

(57) 【特許請求の範囲】

【請求項1】

階調電圧の極性を指示する極性信号によって正極性信号を処理する区間でターンオンされる第1 O P アンプと、

前記極性信号によって負極性信号を処理する区間でターンオンされる第2 O P アンプと、

前記第1 O P アンプ及び第2 O P アンプの出力端に連結されたプルアップトランジスタと、

前記第1 O P アンプ及び第2 O P アンプの出力端に連結されたプルダウントランジスタと、

前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的にターンオンさせるコントロール回路と、を具備し、

前記コントロール回路は、

前記プルアップトランジスタのターンオン時間を決定する第1パルスが発生させて出力するロー信号生成部と、

前記プルダウントランジスタのターンオン時間を決定する第2パルスが発生させて出力するハイ信号生成部を具備し、

前記ロー信号生成部及び前記ハイ信号生成部それぞれは、

前記パルスそれぞれの出力を出力イネーブル信号より遅延させる少なくとも一つの遅延部を含み、

前記プルアップトランジスタのターンオン時間は前記第 1 O P アンプのターンオン時間より短く、

前記プルダウントランジスタのターンオン時間は前記第 2 O P アンプのターンオン時間より短く、

前記第 2 O P アンプターンオン時には前記プルアップトランジスタはターンオフされ、前記プルアップトランジスタが先にターンオフされてから前記第 1 O P アンプがターンオフされる

ことを特徴とする薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 2】

10

前記コントロール回路は、
出力イネーブル信号を入力されて、

極性信号周期の $1/2$ または出力イネーブル信号周期より短い時間に、前記出力イネーブル信号の制御を受けて、前記プルアップトランジスタ及び前記プルダウントランジスタを選択的にターンオンさせ、

前記極性信号は、前記 O P アンプの出力端から出力される出力信号の極性を指示する

ことを特徴とする請求項 1 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 3】

20

前記コントロール回路は、

前記極性信号周期の $1/20$ または前記出力イネーブル信号周期の $1/10$ より短い時間に、前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的にターンオンさせうる

ことを特徴とする請求項 2 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 4】

前記コントロール回路は、

前記極性信号周期の $1/200$ または前記出力イネーブル信号周期の $1/100$ より短い時間に、前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的にターンオンさせうる

30

ことを特徴とする請求項 3 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 5】

前記第 1 パルス及び前記第 2 パルスは、

出力イネーブル信号に対する関数によって決定される

ことを特徴とする請求項 1 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 6】

前記第 1 O P アンプは正極性信号増幅回路であり、前記第 2 O P アンプは負極性信号増幅回路である

40

ことを特徴とする請求項 1 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 7】

前記正極性信号増幅回路は、

多数のトランジスタを具備する電圧フォロワー形態を有する

ことを特徴とする請求項 6 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 8】

前記正極性信号増幅回路は、

少なくとも 1 つのコンデンサをさらに具備する

50

ことを特徴とする請求項 7 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 9】

前記負極性信号増幅回路は、

多数のトランジスタを具備する電圧フォロワー形態を有する

ことを特徴とする請求項 6 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 10】

前記負極性信号増幅回路は、

少なくとも 1 つのコンデンサをさらに具備する

ことを特徴とする請求項 9 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 11】

前記プルアップトランジスタは、

前記正極性信号増幅回路の出力端に連結され、前記プルダウントランジスタは、前記負極性信号増幅回路の出力端に連結される

ことを特徴とする請求項 6 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 12】

前記コントロール回路は、

出力イネーブル信号の制御を受けて前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的にコントロールできる

ことを特徴とする請求項 6 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅回路。

【請求項 13】

階調電圧の極性を指示する極性信号によって正極性信号を処理する区間でターンオンされる第 1 O P アンプ手段と、

前記極性信号によって負極性信号を処理する区間でターンオンされる第 2 O P アンプ手段と、

前記第 1 O P アンプ手段及び第 2 O P アンプ手段の出力端に連結されたプルアップ手段と、

前記第 1 O P アンプ手段及び第 2 O P アンプ手段の出力端に連結されたプルダウン手段と、

前記プルアップ手段及び前記プルダウン手段それぞれを選択的にオン / オフにするコントロール手段と、を具備し、

前記コントロール手段は、

前記プルアップ手段のターンオン時間を決定する第 1 パルスを提供するロー信号生成手段と、

前記プルダウン手段のターンオン時間を決定する第 2 パルスを提供するハイ信号生成手段と、を具備し、

前記ロー信号生成手段及び前記ハイ信号生成手段それぞれは、

前記パルスそれぞれの出力を前記出力イネーブル信号より遅延させる少なくとも 1 つの遅延手段を含み、

前記プルアップ手段のターンオン時間は前記第 1 O P アンプ手段のターンオン時間より短く、

前記プルダウン手段のターンオン時間は前記第 2 O P アンプ手段のターンオン時間より短く、

前記第 2 O P アンプ手段ターンオン時には前記プルアップ手段はターンオフされ、前記プルアップ手段が先にターンオフされてから前記第 1 O P アンプ手段がターンオフされる

ことを特徴とする薄膜トランジスタ液晶表示装置の駆動のためのハイスルーレート増幅

10

20

30

40

50

装置。

【請求項 14】

前記コントロール手段は、

極性信号周期の $1/2$ または出力イネーブル信号周期より短い時間に、前記プルアップ手段及び前記プルダウン手段それぞれを選択的にターンオンさせる

ことを特徴とする請求項 13 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスループート増幅装置。

【請求項 15】

前記コントロール手段は、

前記極性信号周期の $1/20$ または前記出力イネーブル信号周期の $1/10$ より短い時間に、前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的にターンオンにさせる

ことを特徴とする請求項 14 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスループート増幅装置。

【請求項 16】

前記コントロール手段は、

前記極性信号周期の $1/200$ または前記出力イネーブル信号周期の $1/100$ より短い時間に、前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的にターンオンにさせる

ことを特徴とする請求項 15 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスループート増幅装置。

【請求項 17】

前記第 1 パルス及び前記第 2 パルスは、

出力イネーブル信号の制御を受ける

ことを特徴とする請求項 13 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスループート増幅装置。

【請求項 18】

前記第 1 OP アンプ 手段は正極性信号増幅手段を具備するとともに、前記第 2 OP アンプ 手段は負極性信号増幅手段を具備し、

前記プルアップ手段は前記正極性信号増幅手段の出力端をプルアップさせ、前記プルダウン手段は前記負極性信号増幅手段の出力端をプルダウンさせる

ことを特徴とする請求項 13 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスループート増幅装置。

【請求項 19】

前記コントロール手段は、

出力イネーブル信号の制御を受けて前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的にコントロールできる

ことを特徴とする請求項 13 に記載の薄膜トランジスタ液晶表示装置の駆動のためのハイスループート増幅装置。

【請求項 20】

LCD パネルと、

前記 LCD パネルに連結された多数のソースドライバと、を具備し、

前記ソースドライバそれぞれは出力バッファを具備し、

前記出力バッファは、

階調電圧の極性を指示する極性信号によって正極性信号を処理する区間でターンオンされる第 1 OP アンプと、

前記極性信号によって負極性信号を処理する区間でターンオンされる第 2 OP アンプと

、

前記第 1 OP アンプ及び第 2 OP アンプの出力端に連結されたプルアップトランジスタと、

10

20

30

40

50

前記第 1 O P アンプ及び第 2 O P アンプの出力端に連結されたプルダウントランジスタと、

前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的にターンオンさせるコントロール回路と、を具備し、

前記コントロール回路は、

前記プルアップトランジスタのターンオン時間を決定する第 1 パルスを発生させて出力するロー信号生成部と、

前記プルダウントランジスタのターンオン時間を決定する第 2 パルスを発生させて出力するハイ信号生成部と、を具備し、

前記ロー信号生成部及び前記ハイ信号生成部それぞれは、

前記パルスそれぞれの出力を出力イネーブル信号より遅延させる少なくとも 1 つの遅延部を含み

前記プルアップトランジスタのターンオン時間は前記第 1 O P アンプのターンオン時間より短く、

前記プルダウントランジスタのターンオン時間は前記第 2 O P アンプのターンオン時間より短く、

前記第 2 O P アンプターンオン時には前記プルアップトランジスタはターンオフされ、前記プルアップトランジスタが先にターンオフされてから前記第 1 O P アンプがターンオフされる

ことを特徴とする液晶表示装置。

【請求項 2 1】

前記コントロール回路は、

極性信号周期の $1/2$ より短い時間と、

出力イネーブル信号周期より短い時間と、

極性信号周期の $1/20$ より短い時間と、

出力イネーブル信号周期の $1/10$ より短い時間と、

極性信号周期の $1/200$ より短い時間と、

出力イネーブル信号周期の $1/100$ より短い時間のうち何れか 1 つの時間に前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的にターンオンさせる

ことを特徴とする請求項 2 0 に記載の液晶表示装置。

【請求項 2 2】

前記ロー信号生成部及び前記ハイ信号生成部それぞれは、

前記第 1 パルス及び前記第 2 パルスは、出力イネーブル信号に対する関数によって決定される

ことを特徴とする請求項 2 0 に記載の液晶表示装置。

【請求項 2 3】

前記 O P アンプは、

正極性信号増幅回路及び負極性信号増幅回路を具備し、

前記プルアップトランジスタは前記正極性信号増幅回路の出力端に連結され、前記プルダウントランジスタは前記負極性信号増幅回路の出力端に連結される

ことを特徴とする請求項 2 1 に記載の液晶表示装置。

【請求項 2 4】

前記コントロール回路は、

出力イネーブル信号の制御を受けて前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的にコントロールできる

ことを特徴とする請求項 2 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は薄膜トランジスタ (Thin Film Transistor: TFT) - 液晶表示装置 (Liquid Crystal Display: LCD) に係り、特に、TFT-LCD に具備される LCD パネルのソースライン駆動回路に関する。

【背景技術】

【0002】

LCD は、現在最も広く使われている平板表示装置のうちの 1 つである。LCD パネルは電界を形成するための多数の電極を具備する上板及び下板で構成され、上板と下板間には液晶層が存在し、その外にも光を偏光させるために上板と下板とに付着される偏光板を具備する。LCD で光度は、液晶分子を再配列させるための電極に階調による電圧を印加することによって調節される。LCD パネルの下板には、階調電圧が電極に印加されるようにスイッチングするために、電極に連結された TFT のような多数のスイッチング素子が具備されている。

10

【0003】

LCD は、ソース駆動部とゲート駆動部とよりなった駆動回路部と、スイッチング素子を通じて電極に階調電圧を供給するために前記駆動回路部をコントロールするコントローラ部とを具備する。一般的に、前記コントローラ部は前記 LCD パネルの外部に配置され、前記駆動回路部は LCD パネル上に配置されるか、LCD パネルの外部に配置される。

【0004】

図 1 は、LCD パネルに印加される階調電圧をバッファリングする従来の出力バッファを示すブロック図である。図 1 で、出力バッファは N 個の R2R 増幅器 (rail-to-rail amplifiers) 102 を具備し、それぞれの増幅器は並列的にバッファリングされる N 個のソース電圧のうち何れか 1 つのソース電圧をバッファリングする。図 1 に示されたような増幅器 102 は良好なスルーレート出力特性を示すが、まだ解決せねばならない問題点がある。すなわち、電流消耗が大きく、ソース駆動回路の設計で大きいレイアウト面積を占める問題点がある。

20

【0005】

図 2 は、図 1 に具現された増幅器特性を改善するための他の従来の出力バッファを示すブロック図である。図 2 で、出力バッファは多数の増幅回路 202 と制御機 208 とを具備する。増幅回路 202 のそれぞれは、P 型トランジスタを使用して 1 つのソース電圧をバッファリングする P 型 OP アンプ (operational amplifier) 204、及び N 型トランジスタを使用して 1 つのソース電圧をバッファリングする N 型 OP アンプ 206 を具備する。

30

【0006】

周知の如く、LCD パネルに注入される液晶の物質特性が悪くなることを防止するために、出力バッファは共通電圧 V_{com} より大きい正極性電圧と共通電圧 V_{com} より小さな負極性電圧とに階調電圧を供給する。例えば、共通電圧 V_{com} は一定に $1/2 V_{DD}$ 電圧を有する場合もあり、またこの電圧は現在多様に応用されてフレーム単位に繰り返される電圧である場合もある。P 型 OP アンプ 204 は相互反転関係にある階調電圧のうち正極性電圧をバッファリングし、N 型 OP アンプ 206 は階調電圧のうち負極性電圧をバッファリングする。P 型 OP アンプ 204 及び N 型 OP アンプ 206 それぞれの出力端は相互連結されている。制御機 208 は P 型 OP アンプ 204 がオンになれば、N 型 OP アンプ 206 をオフにし、N 型 OP アンプ 206 がオンになれば、P 型 OP アンプ 204 をオフにする。

40

【0007】

制御機 208 は第 1 制御信号 CTL-H 及び第 2 制御信号 CTL-L を通じて OP アンプ 204、206 をオン/オフにする。タイミングコントローラ (図示せず) は出力バッファを通じて出力される階調電圧の極性を指示する極性信号 POL を発生させ、これによって制御機 208 は極性信号 POL の制御を受けて前記制御信号 CTL-H、CTL-L を発生させる。

【0008】

50

図3は、図2の出力バッファの動作説明のためのタイミング図である。図3Aは、前記タイミングコントローラによって生成される出力イネーブル信号を示す波形図である。図3Bは、極性信号POLを示す波形図である。図3C及びDそれぞれは制御機208から出力される第1制御信号CTL-H及び第2制御信号CTL-Lを示す波形図である。図3Eは、P型OPアンプ204の出力を示す波形図VH PARTである。図3Fは、N型OPアンプ206の出力を示す波形図VL PARTである。

【0009】

図3C及び図3Eに示されたように、P型OPアンプ204の出力波形VH PARTは第1制御信号CTL-Hの極性と同じであり、同様に、図3D及び図3Fに示されたように、N型OPアンプ206の出力波形VL PARTは第2制御信号CTL-Lの極性と同じである。しかし、参照番号302のように、P型OPアンプ204の出力波形VH PARTは上昇時間が長く、参照番号304のように、N型OPアンプ206の出力波形VL PARTは下降時間が長い。

10

【0010】

このように、従来の出力バッファの特性が遅い上昇時間及び下降時間を有するので、これを具備するLCDは動画を表示する時に残像を表す問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明が解決しようとする技術的な課題は、LCDを駆動するためにスルーレートの大きい増幅回路を提供するところにある。

20

【課題を解決するための手段】

【0012】

前記の技術的課題を達成するための本発明によるTF T-LCD駆動のためのハイスルーレート増幅回路は、OPアンプと、前記OPアンプの出力端に連結されたプルアップトランジスタと、前記OPアンプの出力端に連結されたプルダウントランジスタと、前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的に活性化させるコントロール回路と、を具備することを特徴とする。

【0013】

前記コントロール回路は、極性信号周期の1/2または出力イネーブル信号周期より短い時間に、前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的に活性化させることを特徴とする。前記コントロール回路は、前記極性信号周期の1/20または前記出力イネーブル信号周期の1/10より短い時間に、前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的に活性化させることを特徴とする。前記コントロール回路は、前記極性信号周期の1/200または前記出力イネーブル信号周期の1/100より短い時間に、前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的に活性化させることを特徴とする。

30

【0014】

前記コントロール回路は前記プルアップトランジスタの活性化時間を決定する第1パルスが発生させて出力するロー信号生成部と、前記プルダウントランジスタの活性化時間を決定する第2パルスが発生させて出力するハイ信号生成部と、を具備することを特徴とする。前記第1パルス及び前記第2パルスは、出力イネーブル信号に対する関数によって決定されることを特徴とする。前記ロー信号生成部及び前記ハイ信号生成部それぞれは、前記パルスそれぞれの出力を出力イネーブル信号より遅延させる少なくとも1つの遅延部を含むことを特徴とする。

40

【0015】

前記OPアンプは、正極性信号増幅回路及び負極性信号増幅回路を具備することを特徴とする。前記正極性信号増幅回路は、多数のトランジスタを具備する電圧フォロワー形態を有することを特徴とする。前記正極性信号増幅回路は、少なくとも1つのコンデンサをさらに具備することを特徴とする。前記負極性信号増幅回路は、多数のトランジスタを

50

具備する電圧フォロワー形態を有することを特徴とする。前記負極性信号増幅回路は、少なくとも1つのコンデンサをさらに具備することを特徴とする。

【0016】

前記プルアップトランジスタは、前記正極性信号増幅回路の出力端に連結され、前記プルダウントランジスタは、前記負極性信号増幅回路の出力端に連結されることを特徴とする。前記コントロール回路は、出力イネーブル信号の制御を受けて前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的にコントロールできることを特徴とする。

【0017】

前記の技術的課題を達成するための本発明によるLCDは、LCDパネルと、前記LCDパネルに連結された多数のソースドライバと、を具備し、前記ソースドライバそれぞれは出力バッファを具備し、前記出力バッファは、OPアンプと、前記OPアンプの出力端に連結されたプルアップトランジスタと、前記OPアンプの出力端に連結されたプルダウントランジスタと、前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的に活性化させるコントロール回路と、を具備することを特徴とする。

【0018】

前記コントロール回路は、極性信号周期の $1/2$ より短い時間と、出力イネーブル信号周期より短い時間と、極性信号周期の $1/20$ より短い時間と、出力イネーブル信号周期の $1/10$ より短い時間と、極性信号周期の $1/200$ より短い時間と、出力イネーブル信号周期の $1/100$ より短い時間のうち何れか1つの時間に、前記プルアップトランジスタ及び前記プルダウントランジスタそれぞれを選択的に活性化させうることを特徴とする。

【発明の効果】

【0019】

前述したような本発明による増幅回路はスルーレート特性を改善する。したがって、LCDのソースライン駆動のために出力バッファに使われる場合に負荷を迅速に充放電させるので、残像効果が除去できる効果がある。

【発明を実施するための最良の形態】

【0020】

本発明と本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施例を例示する図面及び図面に記載された内容を参照せねばならない。

【0021】

以下、図面を参照して本発明の望ましい実施例を説明することによって、本発明を詳細に説明する。各図面に提示された同じ参照符号は同じ部材を示す。

【0022】

本発明の一実施例による一部事項は、次のような点に基づいている。P型OPアンプ及びN型OPアンプの出力端に1つ以上のプルアップ/プルダウントランジスタを付加することは実質的に上昇/下降時間を改善させうる。しかし、もしプルアップ/プルダウントランジスタが前記OPアンプと類似した時間または実質的に同じ時間に動作されるならば、前記プルアップ/プルダウントランジスタはやはり出力バッファによって消耗される電流量を実質的に増加させる。もし、1つ以上のプルアップ/プルダウントランジスタが前記OPアンプより短い時間に動作されるならば、出力バッファによって消耗される電流量の増加なしに上昇/下降時間が相当改善されうる。

【0023】

図4は、本発明の一実施例によるLCD400を示すブロック図である。図4を参照すれば、前記LCD400はTF-T-LCD404、及び前記TF-T-LCD404にディスプレイデータを提供するグラフィックコントローラ402を具備する。本発明の一実施例による前記グラフィックコントローラ402は前記TF-T-LCD404に具備された信号受信部416に前記ディスプレイデータを伝送する信号伝送部406を具備する。多様

10

20

30

40

50

な信号処理技術、特に、低電圧差動信号化 (Low Voltage Differential Signaling: LVDS) 技術が前記信号伝送部 406 及び前記信号受信部 416 に適用されうる。

【0024】

図4を参照すれば、前記 TFT-LCD 404 はタイミングコントローラ 408、ゲート駆動部 412、ソース駆動部 414、及び TFT-LCD パネル 410 をさらに具備する。前記信号受信部 416 は、前記タイミングコントローラ 408 の一部であり、前記タイミングコントローラ 408 は信号送信部 418 を具備する。前記タイミングコントローラ 408 は前記信号受信部 416 から受信されるディスプレイデータを処理して前記処理されたデータを前記信号送信部 418 を通じてゲート駆動部 412、及びソース駆動部 414 に伝送する。前記信号送信部 418 は前記信号伝送部 406 及び前記信号受信部 416 のような信号処理技術、例えば LVDS 技術が使用できる。または、他の技術、例えばスイング幅縮小差動信号化 (Reduced Swing Differential Signaling: RSDS) 技術が使われうる。RSDS 技術は当業者によく知られている技術である。

10

【0025】

図5は、本発明の一実施例によるソース駆動部 414 を示すブロック図である。前記ソース駆動部 414 は、Nビットシフトレジスタ 502、データラッチ 504、デジタルアナログ変換器 506、及び出力バッファ 508 を具備する。このような構成要素は、データが前記タイミングコントローラ 408 から出力されて 502 ないし 508 を経て、前記 TFT-LCD パネル 410 に出力させるために、連続的に連結されている。デジタルアナログ変換器 506 は抵抗やコンデンサで具現されうる。

20

【0026】

図6は、本発明の一実施例による出力バッファ 600 を示すブロック図である。前記出力バッファ 600 は図5の出力バッファ 508 と同じ機能をする。

【0027】

図6の前記出力バッファ 600 は多数の増幅回路 602、第1コントローラ 608、及び第2コントローラ 616 を具備する。多数の増幅回路 602 それぞれは第1OPアンプ 604、第2OPアンプ 606、少なくとも1つのプルアップトランジスタ 612、及び少なくとも1つのプルダウントランジスタ 610 を具備する。本発明の一実施例によって、前記第1OPアンプ 604 はP型トランジスタで構成されたNビットOPアンプでもあり、前記第2OPアンプ 606 はN型トランジスタで構成されたNビットOPアンプでありうる。ここで、Nは正の整数であり、入力されるデータ数である。例えば、前記OPアンプ 604、606 それぞれは図10A及び図10Bに示された電圧フォロワー形態を有するOPアンプでありうる。前記プルアップトランジスタ 612 は親和性をさらに良くするために、前記第1OPアンプ 604 を構成するトランジスタのような不純物形態であるP型とすることが望ましい。同様に、前記プルダウントランジスタ 610 は前記第2OPアンプ 606 を構成するトランジスタのような不純物形態であるN型とすることが望ましい。

30

【0028】

図6の前記第1コントローラ 608 は前記第1OPアンプ 604、及び前記第2OPアンプ 606 それぞれを制御するためにコントロール信号 CTL-H、CTL-L を生成する。前記第1OPアンプ 604 は周期的に繰り返される入力信号の正極性信号を処理し、前記第2OPアンプ 606 は周期的に繰り返される入力信号の負極性信号を処理する。ここで、前記周期的に繰り返される入力信号は前記デジタルアナログ変換器 506 から出力される。前記第1OPアンプ 604 及び前記第2OPアンプ 606 の出力端は相互連結され、この出力端で出力バッファ 600 の出力信号が出力される。

40

【0029】

前記第1コントローラ 608 は前記第1OPアンプ 604 がターンオンまたは活性化されれば、前記第2OPアンプ 606 がターンオフになるように制御し、逆に、前記第2OP

50

Pアンプ606がターンオンまたは活性化されれば、前記第1OPアンプ604がターンオフになるように制御する。前記第1コントローラ608は第2コントロール信号CTL-Lを通じて前記第2OPアンプ606をターンオン/ターンオフにし、第1コントロール信号CTL-Hを通じて前記第1OPアンプ604をターンオン/ターンオフにする。前記タイミングコントローラ408は出力バッファ600を通じて出力されるデータの極性を指示する極性信号POLを発生させ、これによって前記第1コントローラ608は極性信号POLの制御を受けて前記コントロール信号CTL-H、CTL-Lを発生させる。

【0030】

前記第1OPアンプ604及び前記第2OPアンプ606の出力端は相互連結されているだけでなく、プルアップトランジスタ612を通じてシステムソース電圧VDDに連結でき、プルダウントランジスタ610を通じてシステム接地電圧VSSに連結されうる。

【0031】

図6の前記第2コントローラ616は第1パルス(Half Pull Up: HPU)及び第2パルス(Half Pull Down: HPD)それぞれを通じて前記プルアップトランジスタ612及び前記プルダウントランジスタ610を制御する。後述する前に、前記プルアップトランジスタ612及び前記プルダウントランジスタ610は、前記第1OPアンプ604及び前記第2OPアンプ606より短い時間動作され、これによって、出力バッファ600によって消耗される電流量の相当な増加なしに上昇/下降時間を相当改善させうる。前記プルアップトランジスタ612及び前記プルダウントランジスタ610それぞれは前記第2コントローラ616によって生成された前記第1パルスHPU及び前記第2パルスHPDを通じて動作される。

【0032】

図7は、本発明の一実施例による図6の第2コントローラ616を示すブロック図である。

【0033】

図6の前記第2コントローラ616は前記出力イネーブル信号OEの制御を受けて前記第1パルスHPU及び前記第2パルスHPDそれぞれを生成するロー信号生成部704及びハイ信号生成部702を含む。ここで、前記出力イネーブル信号OEは図4のタイミングコントローラ408によって生成されうる。

【0034】

図8Aは、本発明の一実施例による図7のハイ信号生成部702を示すブロック図である。前記ハイ信号生成部702は多数の非反転(または、バッファリングする)回路802(ここでは、例えば4個)、インバータ804、及びORゲート806を含む。前記多数の非反転回路802は前記出力イネーブル信号OEと前記インバータ804間に直列連結されている。前記インバータ804の出力端は前記ORゲート806の2つの入力端のうち1つに連結される。前記ORゲート806の他の入力端は直接前記出力イネーブル信号OEを受信する。前記ハイ信号生成部702は前記第1OPアンプ604のターンオン時点より前記プルアップトランジスタ612のターンオン時点を遅延させて、P型の前記第1OPアンプ604のターンオン時間より相対的に短い時間に前記プルアップトランジスタ612をターンオンにする。

【0035】

図8Bは、本発明の一実施例による図7のロー信号生成部704を示すブロック図である。前記ロー信号生成部704は多数の非反転(または、バッファリングする)回路808(ここでは、例えば4個)、インバータ810、及びANDゲート812を含む。前記多数の非反転回路808は前記出力イネーブル信号OEと前記インバータ810間に直列連結されている。前記インバータ810の出力端は前記ANDゲート812の2つの入力端のうち1つに連結される。前記ANDゲート812の他の入力端は直接前記出力イネーブル信号OEを受信する。前記ロー信号生成部704は前記第2OPアンプ606のターンオン時点より前記プルダウントランジスタ610のターンオン時点を遅延させて、N型

の前記第2 O P アンプ 6 0 6 のターンオン時間より相対的に短い時間に前記プルダウントランジスタ 6 1 0 をターンオンにする。

【 0 0 3 6 】

以下、前記プルアップトランジスタ 6 1 2 及び前記プルダウントランジスタ 6 1 0 のターンオン時間（または、動作時間）を数式的に説明する。前記極性信号 P O L 周期は約 8 0 μ s と仮定する。前記のように、前記第 1 O P アンプ 6 0 4 は前記極性信号 P O L の正極性期間に動作し、前記第 2 O P アンプ 6 0 6 は前記極性信号 P O L の負極性期間に動作する。この時、前記第 1 O P アンプ 6 0 4 及び前記第 2 O P アンプ 6 0 6 は約 4 0 μ s 間ターンオンになる。前記プルアップトランジスタ 6 1 2 及び前記プルダウントランジスタ 6 1 0 それぞれは前記極性信号 P O L が正極性から負極性に（または、負極性から正極性に）トランジションした後、0.5 μ s 程度の遅延時間後にターンオンになりうる。前記プルアップトランジスタ 6 1 2 及び前記プルダウントランジスタ 6 1 0 それぞれはターンオンになった状態を 0.1 μ s 間維持し、その後には前記極性信号 P O L の次にトランジション時までターンオフになりうる。

【 0 0 3 7 】

当業者であれば、前記出力バッファ 6 0 0 が適用された状況により、前記遅延時間やターンオン時間などが異なりうることを理解できる。前記ターンオン時間（または、活性化時間）は市場に発表された製品の返品を減らせる経済的目的に合わせて選択される。前記ターンオン時間が増加するほど、出力バッファ 6 0 0 によって消費される電流量が増加しながら、スルーレートはさらに改善される。したがって、消費電力の増加という短所とスルーレートの改善という長所間で適切に選択されねばならない。

【 0 0 3 8 】

前記プルアップトランジスタ 6 1 2 及び前記プルダウントランジスタ 6 1 0 それぞれは、極性信号周期 P O L の 1 / 2 0 より短い時間、または出力イネーブル信号 O E 周期の 1 / 1 0 より短い時間のうち何れか 1 つの時間に活性化される場合もある。また、前記プルアップトランジスタ 6 1 2 及び前記プルダウントランジスタ 6 1 0 それぞれは極性信号周期 P O L の 1 / 2 0 0 より短い時間、または出力イネーブル信号 O E 周期の 1 / 1 0 0 より短い時間のうち何れか 1 つの時間に活性化される場合もある。

【 0 0 3 9 】

図 9 は、本発明の一実施例による図 6 の出力バッファ 6 0 0 の動作説明のためのタイミング図である。図 9 A は、図 4 のタイミングコントローラ 4 0 8 によって生成されうる出力イネーブル信号 O E を示す波形図である。図 9 B は、極性信号 P O L を示す波形図である。図 9 C 及び D それぞれは図 6 の第 1 コントローラ 6 0 8 で生成される第 1 コントロール信号 C T L - H 及び第 2 コントロール信号 C T L - L を示す波形図である。図 9 E は、第 1 パルス H P U を示す波形図である。図 9 F は、第 2 パルス H P D を示す波形図である。図 9 G は、前記第 1 パルス H P U によって前記プルアップトランジスタ 6 1 2 によってプルアップされる時、第 1 O P アンプ 6 0 4 の出力信号を示す波形図（V H P A R T）である。図 9 H は、前記第 2 パルス H P D によって前記プルダウントランジスタ 6 1 0 によってプルダウンされる時、第 2 O P アンプ 6 0 6 の出力信号を示す波形図（V L P A R T）である。

【 0 0 4 0 】

図 9 C 及び G に示されたように、第 1 O P アンプ 6 0 4 の出力信号波形 V H P A R T は第 1 コントロール信号 C T L - H の極性と同じであり、同様に、図 9 D 及び図 9 H に示されたように、第 2 O P アンプ 6 0 6 の出力波形 V L P A R T は第 2 コントロール信号 C T L - L の極性と同じである。しかし、従来技術とは異なって、その追跡スルーレートはさらに良い。すなわち、参照番号 9 0 2 のように、第 1 O P アンプ 6 0 4 の出力信号波形 V H P A R T は上昇時間が速く、参照番号 9 0 4 のように、第 2 O P アンプ 6 0 6 の出力波形 V L P A R T は下降時間が速い。したがって、図 4 の L C D パネル 4 1 0 でソースラインの R C (R e s i s t i v e - C a p a c i t i v e) 負荷は極めて大きいので、図 2 の従来技術の出力バッファに比べて、図 6 の出力バッファ 6 0 0 はソースライン

負荷をさらに速く充放電できる。

【 0 0 4 1 】

図 1 0 A は、図 6 の第 1 O P アンプ 6 0 4 及びプルアップトランジスタ 6 1 0 の回路図を示す一例である。図 1 0 B は、図 6 の第 2 O P アンプ 6 0 6 及びプルダウントランジスタ 6 1 0 の回路図を示す一例である。

【 0 0 4 2 】

図 1 0 A で、第 1 O P アンプ 6 0 4 は多数のトランジスタ 1 0 0 2 ~ 1 0 1 6 を含む電圧フォロワー形態を有する。前記第 1 O P アンプ 6 0 4 は少なくとも 1 つのコンデンサ 1 0 1 8 をさらに含みうる。電圧フォロワーは当業者によく知られているので、詳細なる説明は省略する。図 1 0 A で、入力端に入力される入力信号 I N P U T は第 1 パルス H P U に応答して出力端を通じて出力信号 O U T P U T に変換される。

10

【 0 0 4 3 】

図 1 0 B で、第 2 O P アンプ 6 0 6 は多数のトランジスタ 1 0 2 2 ~ 1 0 3 6 を含む電圧フォロワー形態を有する。前記第 2 O P アンプ 6 0 6 は少なくとも 1 つのコンデンサ 1 0 3 8 をさらに含みうる。電圧フォロワーは当業者によく知られているので、詳細なる説明は省略する。図 1 0 B で、入力端に入力される入力信号 I N P U T は第 2 パルス H P D に応答して出力端を通じて出力信号 O U T P U T に変換される。

【 0 0 4 4 】

以上のように、図面と明細書で最適実施例が開示された。ここで、特定の用語が使われたが、これは単に本発明を説明するための目的で使われたものであり、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、本技術分野の当業者であれば、これより多様な変形及び均等な他の実施例が可能である点が理解できる。したがって、本発明の真の技術的保護範囲は特許請求の範囲の技術的思想により定められねばならない。

20

【産業上の利用可能性】

【 0 0 4 5 】

本発明によるスルーレート増幅回路は、T F T - L C D に具備される L C D パネルのソースライン駆動回路に利用可能である。

【図面の簡単な説明】

【 0 0 4 6 】

【図 1】従来の出力バッファを示すブロック図である。

【図 2】他の従来の出力バッファを示すブロック図である。

【図 3】図 2 の出力バッファの動作説明のためのタイミング図である。

【図 4】本発明の一実施例による L C D を示すブロック図である。

【図 5】本発明の一実施例によるソース駆動部を示すブロック図である。

【図 6】本発明の一実施例による出力バッファを示すブロック図である。

【図 7】本発明の一実施例による図 6 の第 2 コントローラを示すブロック図である。

【図 8 A】本発明の一実施例による図 7 のハイ信号生成部を示すブロック図である。

【図 8 B】本発明の一実施例による図 7 のロー信号生成部を示すブロック図である。

【図 9】本発明の一実施例による図 6 の出力バッファの動作説明のためのタイミング図である。

30

40

【図 1 0 A】図 6 の第 1 O P アンプ及びプルアップトランジスタの一例を示す回路図である。

【図 1 0 B】図 6 の第 2 O P アンプ及びプルダウントランジスタの一例を示す回路図である。

【符号の説明】

【 0 0 4 7 】

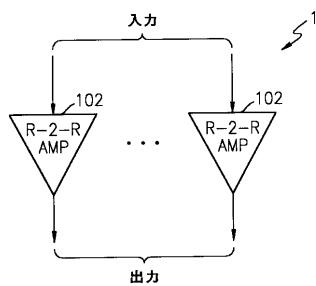
- 6 0 0 出力バッファ
- 6 0 2 増幅回路
- 6 0 4 第 1 O P アンプ

50

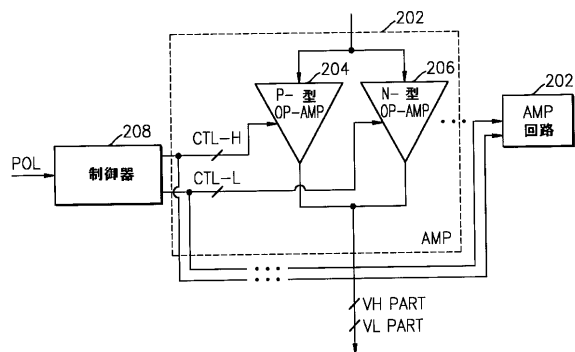
606 第2OPアンプ
 608 第1コントローラ
 610 プルダウントランジスタ
 612 プルアップトランジスタ
 616 第2コントローラ
 POL 極性信号
 OE 出力イネーブル信号
 CTL-L 第2制御信号
 CTL-H 第1制御信号
 HPD 第2パルス
 HPU 第1パルス
 VDD システムソース電圧
 VSS システム接地電圧

10

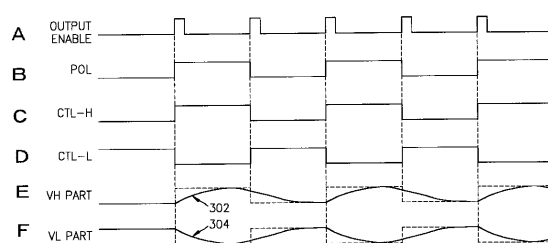
【図1】



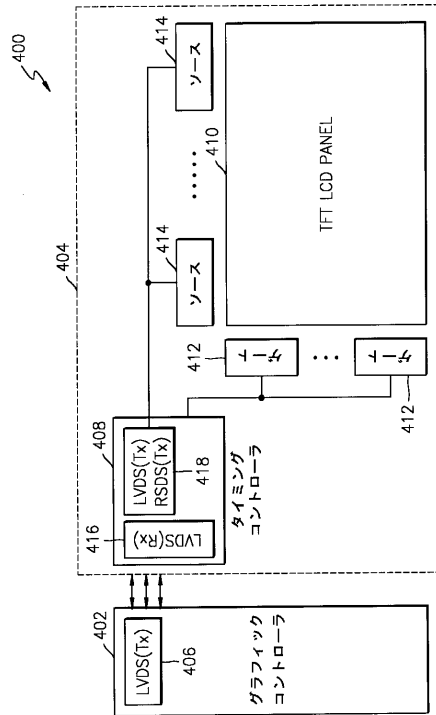
【図2】



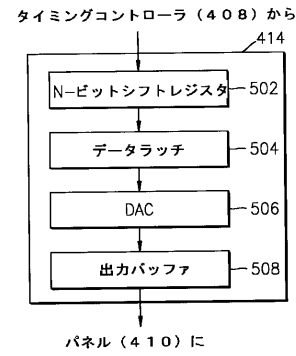
【図3】



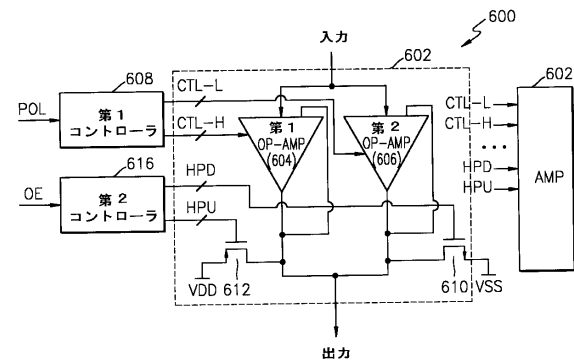
【図 4】



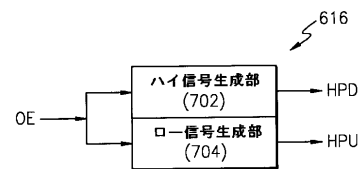
【図 5】



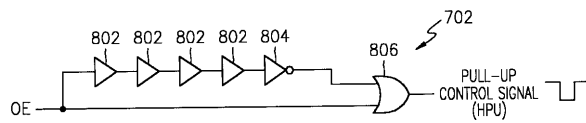
【図 6】



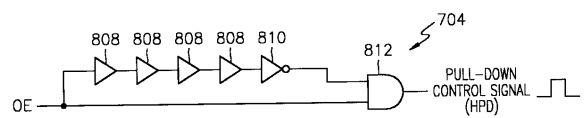
【図 7】



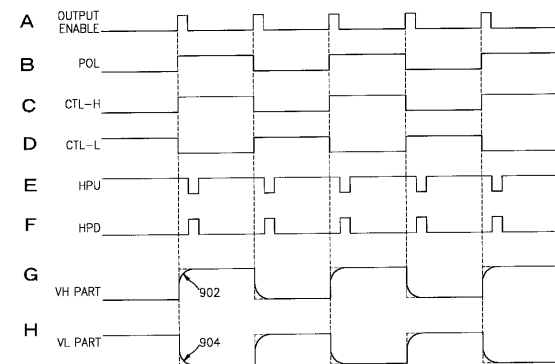
【図 8 A】



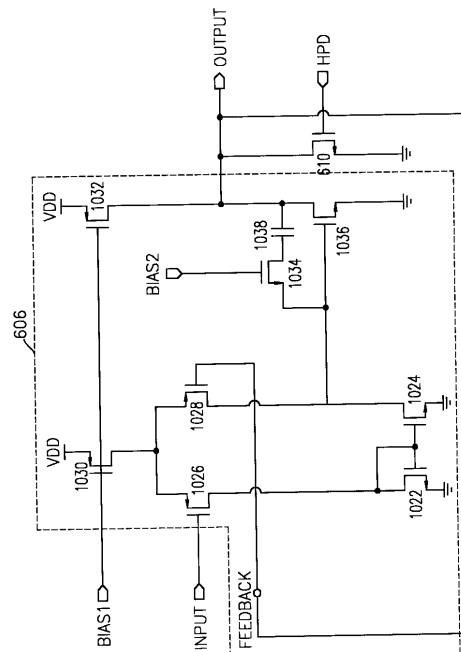
【図 8 B】



【図 9】



【 ㊦ 1 0 B 】



フロントページの続き

(51)Int.Cl. F I
H 0 3 F 3/45 B

- (72)発明者 崔 昌輝
大韓民国京畿道龍仁市器興邑書川里 7 0 0 番地 S K アパート 1 0 7 棟 2 0 2 號
- (72)発明者 金 度潤
大韓民国京畿道華城市台安邑餅店里 2 0 1 - 2 番地 新美洲アパート 1 0 5 棟 1 2 0 3 號
- (72)発明者 朴 貞泰
大韓民国京畿道龍仁市水枝邑豊徳川里 1 1 6 7 番地 三星 5 次アパート 5 1 5 棟 4 0 4 號
- (72)発明者 李 承貞
大韓民国ソウル特別市冠岳區新林 1 1 洞 1 5 6 7 - 4 番地

審査官 武田 悟

- (56)参考文献 特開 2 0 0 2 - 4 0 9 9 7 (J P , A)
特開 2 0 0 1 - 3 4 5 9 2 8 (J P , A)
特開平 8 - 3 2 1 7 6 8 (J P , A)
特開平 9 - 1 6 2 7 1 9 (J P , A)
特開 2 0 0 4 - 1 4 0 4 8 7 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3
H 0 3 F 3 / 4 5

专利名称(译)	液晶显示装置和放大电路，放大器装置		
公开(公告)号	JP5536296B2	公开(公告)日	2014-07-02
申请号	JP2004274050	申请日	2004-09-21
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	崔昌輝 金度潤 朴貞泰 李承貞		
发明人	崔 昌輝 金 度潤 朴 貞泰 李 承貞		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H03F3/45		
FI分类号	G09G3/36 G02F1/133.570 G09G3/20.621.B G09G3/20.621.F G09G3/20.623.B H03F3/45.B H03F3/45 H03F3/45.220		
F-TERM分类号	2H093/NA16 2H093/NC22 2H093/NC23 2H093/NC25 2H093/NC26 2H093/NC27 5C006/AA01 5C006/AC21 5C006/AC26 5C006/AF46 5C006/AF50 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BF24 5C006/BF25 5C006/BF34 5C006/FA29 5C006/FA41 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD05 5C080/DD06 5C080/DD08 5C080/EE19 5C080/FF11 5C080/JJ02 5C080/JJ03 5J500/AA01 5J500/AA47 5J500/AC65 5J500/AF00 5J500/AH17 5J500/AH29 5J500/AK00 5J500/AK01 5J500/AK09 5J500/AK47 5J500/AM11 5J500/AM21 5J500/AS00 5J500/AT01 5J500/AT06 5J500/DN12 5J500/DN22 5J500/DP01		
代理人(译)	渡边 隆		
审查员(译)	武田 悟		
优先权	1020030069730 2003-10-07 KR		
其他公开文献	JP2005115365A		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种具有大压摆率的放大器电路，用于驱动TFT-LCD。一种用于改善转换速率特性的放大器电路。结果，当用于驱动液晶显示装置的源极线的输出缓冲器时，负载可以快速充电和放电，从而可以消除余像效应。点域6

【 図 2 】

