

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5311447号
(P5311447)

(45) 発行日 平成25年10月9日 (2013. 10. 9)

(24) 登録日 平成25年7月12日 (2013. 7. 12)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 623B

G09G 3/20 641H

G09G 3/20 623G

G09G 3/20 641P

請求項の数 19 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2008-11418 (P2008-11418)
 (22) 出願日 平成20年1月22日 (2008. 1. 22)
 (65) 公開番号 特開2009-175237 (P2009-175237A)
 (43) 公開日 平成21年8月6日 (2009. 8. 6)
 審査請求日 平成22年5月17日 (2010. 5. 17)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 能勢 崇
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内
 (72) 発明者 降旗 弘史
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内
 (72) 発明者 堀 良彦
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置、表示パネルドライバ、及び表示パネル駆動方法

(57) 【特許請求の範囲】

【請求項 1】

表示パネルと、

前記表示パネルの信号線を駆動する表示パネルドライバ

とを具備し、

前記表示パネルドライバは、

減色処理回路と、

前記表示パネルの或る水平ラインに位置する第 1 画素と、前記或る水平ラインに位置し、且つ、前記第 1 画素に水平方向に隣接する第

2 画素とを駆動する動作を実行可能に構成された駆動部

とを具備し、

第 1 入力画像データが、第 1 フォーマットの画像として供給された場合、前記減色処理回路は、前記第 1 入力画像データから第 1 誤差値を用いて誤差拡散処理を行うことにより第 1 減色画像データを生成し、前記第 1 入力画像データから前記第 1 誤差値と別に用意された第 2 誤差値を用いて誤差拡散処理を行うことにより第 2 減色画像データを生成し、前記駆動部は、前記第 1 画素を前記第 1 減色画像データにตอบสนองして駆動するとともに前記第 2 画素を前記第 2 減色画像データにตอบสนองして駆動し、

前記第 1 画素に対応する第 2 入力画像データと前記第 2 画素に対応する第 3 入力画像データが、前記第 1 フォーマットと異なる第 2 フォーマットの画像として供給された場合、前記減色処理回路は、前記第 2 入力画像データに対して誤差拡散処理を行うことにより第

10

20

3 減色画像データを生成すると共に、前記第3入力画像データに対して誤差拡散処理を行うことにより第4減色画像データを生成し、前記駆動部は、前記第1画素を前記第3減色画像データに応答して駆動するとともに前記第2画素を前記第4減色画像データに応答して駆動し、

前記第2フォーマットの画像の前記水平方向の画素数は、前記第1フォーマットの画像の前記水平方向の画素数の2倍である

表示装置。

【請求項2】

請求項1に記載の表示装置であって、

前記減色処理回路は、

前記第1入力画像データから前記第1誤差値を用いて誤差拡散処理を行うことによって前記第1減色画像データと前記第2誤差値を生成するための第1回路部分と、

前記第1入力画像データから前記第2誤差値を用いて誤差拡散処理を行うことによって前記第2減色画像データを生成するための第2回路部分とを具備する

表示装置。

【請求項3】

請求項2に記載の表示装置であって、

前記第2回路部分は、前記第2誤差値を用いた前記誤差拡散処理によって、前記第2減色画像データに加えて第3誤差値を生成するように構成され、

前記減色処理回路は、更に、

前記第2誤差値と前記第3誤差値の一方を選択して出力する第1セレクタと、

前記第1セレクタから出力される誤差値をラッチするラッチと、

初期値を出力する初期値設定回路と、

前記ラッチから出力される誤差値と前記初期値との一方を、前記第1誤差値として選択する第2セレクタ

とを備え、

前記第1セレクタは、前記第1入力画像データが前記第1フォーマットの画像として供給された場合、前記第3誤差値を選択し、前記第2入力画像データ及び前記第3入力画像データが前記第2フォーマットの画像として供給された場合、前記第2誤差値を選択する

表示装置。

【請求項4】

請求項1乃至3のいずれかに記載の表示装置であって、

前記駆動部は、前記或る水平ラインに隣接する次水平ラインに位置し、且つ、前記第1画素に垂直方向に隣接する第3画素を、前記第2減色画像データに応答して駆動し、且つ、前記次水平ラインに位置し、且つ、前記第2画素に垂直方向に隣接する第4画素を、前記第1減色画像データに応答して駆動する動作を実行可能に構成されている

表示装置。

【請求項5】

請求項4に記載の表示装置であって、

前記駆動部は、

前記第1減色画像データをラッチする第1ラッチと、前記第2減色画像データをラッチする第2ラッチとを備えるラッチ回路と、

第1入力と第2入力とを有し、前記第1入力に供給されたデータに応答して前記第1画素に対応する第1信号線を駆動し、前記第2入力に供給されたデータに応答して前記第2画素に対応する第2信号線を駆動する信号線駆動回路と、

前記第1ラッチ及び前記第2ラッチと、前記信号線駆動回路の前記第1入力及び前記第2入力との間の接続関係を切り替え可能に構成されたデータ切り替え回路とを備える

表示装置。

【請求項 6】

請求項 1 乃至 3 のいずれかに記載の表示装置であって、

前記第 1 入力画像データが前記第 1 フォーマットの画像として供給された場合、前記駆動部は、前記或る水平ラインに隣接する次水平ラインに位置し、且つ、前記第 1 画素に垂直方向に隣接する第 3 画素を、前記第 2 減色画像データに応答して駆動し、且つ、前記次水平ラインに位置し、且つ、前記第 2 画素に垂直方向に隣接する第 4 画素を、前記第 1 減色画像データに応答して駆動する動作を実行し、

前記第 3 画素に対応する第 4 入力画像データ及び前記第 4 画素に対応する第 5 入力画像データが前記第 2 フォーマットの画像として供給された場合、前記減色処理回路は、前記第 4 入力画像データに対して誤差拡散処理を行うことにより第 5 減色画像データを生成すると共に、前記第 5 入力画像データに対して誤差拡散処理を行うことにより第 6 減色画像データを生成し、前記駆動部は、前記第 3 画素を前記第 5 減色画像データに応答して駆動するとともに前記第 4 画素を前記第 6 減色画像データに応答して駆動する

表示装置。

【請求項 7】

請求項 5 に記載の表示装置であって、

前記駆動部は、

ラッチ信号に応答して動作する第 1 及び第 2 ラッチを備えるラッチ回路と、

第 1 入力と第 2 入力とを有し、前記第 1 入力に供給されたデータに応答して前記第 1 画素及び前記第 3 画素に対応する第 1 信号線を駆動し、前記第 2 入力に供給されたデータに応答して前記第 2 画素及び前記第 4 画素に対応する第 2 信号線を駆動する信号線駆動回路と、

前記第 1 ラッチ及び前記第 2 ラッチと、前記信号線駆動回路の前記第 1 入力及び前記第 2 入力との間の接続関係を切り替え可能に構成されたデータ切り替え回路とを備え、

前記第 1 入力画像データが前記第 1 フォーマットの画像として供給されたとき、前記第 1 ラッチ及び前記第 2 ラッチは、それぞれ前記第 1 減色画像データ及び前記第 2 減色画像データを受け取り、前記データ切り替え回路は、前記或る水平ラインの画素の駆動の際には前記第 1 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 2 減色画像データを前記第 2 ラッチから前記第 2 入力に供給し、前記次水平ラインの画素の駆動の際には前記第 2 減色画像データを前記第 1 ラッチから前記第 2 入力に供給すると共に前記第 2 減色画像データを前記第 2 ラッチから前記第 1 入力に供給し、

前記第 2 乃至第 5 入力画像データが前記第 2 フォーマットの画像として供給されたとき、前記第 1 ラッチは、前記第 3 減色画像データ及び第 5 減色画像データを受け取り、前記第 2 ラッチは、前記第 4 減色画像データ及び第 6 減色画像データを受け取り、前記データ切り替え回路は、前記或る水平ラインの画素の駆動の際には前記第 3 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 4 減色画像データを前記第 2 ラッチから前記第 2 入力に供給し、前記次水平ラインの画素の駆動の際には前記第 5 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 6 減色画像データを前記第 2 ラッチから前記第 2 入力に供給する

表示装置。

【請求項 8】

請求項 6 又は 7 に記載の表示装置であって、

前記第 2 フォーマットの画像の垂直方向の画素数は、前記第 1 フォーマットの画像の前記垂直方向の画素数の 2 倍である

表示装置。

【請求項 9】

表示パネルの信号線を駆動する表示パネルドライバであって、

第 1 入力画像データから第 1 誤差値を用いて誤差拡散処理を行うことにより第 1 減色画像データを生成し、前記入力画像データから前記第 1 誤差値と別に用意された第 2 誤差値

を用いて誤差拡散処理を行うことにより第2減色画像データを生成するように構成された減色処理回路と、

前記表示パネルの或る水平ラインに位置する第1画素を前記第1減色画像データに応答して駆動し、前記或る水平ラインに位置し、且つ、前記第1画素に水平方向に隣接する第2画素を前記第2減色画像データに応答して駆動する動作を実行可能に構成された駆動部とを具備し、

前記第1入力画像データが、第1フォーマットの画像として供給された場合、前記減色処理回路は、前記第1入力画像データから前記第1誤差値を用いて誤差拡散処理を行うことにより第1減色画像データを生成し、前記第1入力画像データから前記第1誤差値と別に用意された第2誤差値を用いて誤差拡散処理を行うことにより第2減色画像データを生成し、前記駆動部は、前記第1画素を前記第1減色画像データに応答して駆動するとともに前記第2画素を前記第2減色画像データに応答して駆動し、

10

第2入力画像データと第3入力画像データが、前記第1フォーマットと異なる第2フォーマットの画像として供給された場合、前記減色処理回路は、前記第2入力画像データに対して誤差拡散処理を行うことにより第3減色画像データを生成すると共に、前記第3入力画像データに対して誤差拡散処理を行うことにより第4減色画像データを生成し、前記駆動部は、前記第1画素を前記第3減色画像データに応答して駆動するとともに前記第2画素を前記第4減色画像データに応答して駆動し、

前記第2フォーマットの画像の前記水平方向の画素数は、前記第1フォーマットの画像の前記水平方向の画素数の2倍である

20

表示パネルドライバ。

【請求項10】

請求項9に記載の表示パネルドライバであって、

前記駆動部は、前記或る水平ラインに隣接する次水平ラインに位置し、且つ、前記第1画素に垂直方向に隣接する第3画素を、前記第2減色画像データに応答して駆動し、且つ、前記次水平ラインに位置し、且つ、前記第2画素に垂直方向に隣接する第4画素を、前記第1減色画像データに応答して駆動する動作を実行可能に構成されている

表示パネルドライバ。

【請求項11】

請求項9に記載の表示パネルドライバであって、

30

前記減色処理回路は、

前記入力画像データから前記第1誤差値を用いて誤差拡散処理を行うことによって前記第1減色画像データと前記第2誤差値を生成するための第1回路部分と、

前記入力画像データから前記第2誤差値を用いて誤差拡散処理を行うことによって前記第2減色画像データを生成するための第2回路部分

とを具備する

表示パネルドライバ。

【請求項12】

請求項11に記載の表示パネルドライバであって、

前記第2回路部分は、前記第2誤差値を用いた前記誤差拡散処理によって、前記第2減色画像データに加えて第3誤差値を生成するように構成され、

40

前記減色処理回路は、更に、

前記第2誤差値と前記第3誤差値の一方を選択して出力する第1セレクタと、

前記第1セレクタから出力される誤差値をラッチするラッチと、

初期値を出力する初期値設定回路と、

前記ラッチから出力される誤差値と前記初期値との一方を、前記第1誤差値として選択する第2セレクタ

とを備え、

前記第1セレクタは、前記第1入力画像データが前記第1フォーマットの画像として供給された場合、前記第3誤差値を選択し、前記第2入力画像データ及び前記第3入力画像

50

データが前記第 2 フォーマットの画像として供給された場合、前記第 2 誤差値を選択する表示パネルドライバ。

【請求項 1 3】

請求項 1 1 又は 1 2 に記載の表示パネルドライバであって、

前記第 1 入力画像データが前記第 1 フォーマットの画像として供給された場合、前記駆動部は、前記或る水平ラインに隣接する次水平ラインに位置し、且つ、前記第 1 画素に垂直方向に隣接する第 3 画素を、前記第 2 減色画像データに応答して駆動し、且つ、前記次水平ラインに位置し、且つ、前記第 2 画素に垂直方向に隣接する第 4 画素を、前記第 1 減色画像データに応答して駆動する動作を実行し、

前記第 3 画素に対応する第 4 入力画像データ及び前記第 4 画素に対応する第 5 入力画像データが前記第 2 フォーマットの画像として供給された場合、前記減色処理回路は、前記第 4 入力画像データに対して誤差拡散処理を行うことにより第 5 減色画像データを生成すると共に、前記第 5 入力画像データに対して誤差拡散処理を行うことにより第 6 減色画像データを生成し、前記駆動部は、前記第 3 画素を前記第 5 減色画像データに応答して駆動するとともに前記第 4 画素を前記第 6 減色画像データに応答して駆動する

表示パネルドライバ。

【請求項 1 4】

請求項 1 3 に記載の表示パネルドライバであって、

前記駆動部は、

ラッチ信号に応答して動作する第 1 及び第 2 ラッチを備えるラッチ回路と、

第 1 入力と第 2 入力とを有し、前記第 1 入力に供給されたデータに応答して前記第 1 画素及び前記第 3 画素に対応する第 1 信号線を駆動し、前記第 2 入力に供給されたデータに応答して前記第 2 画素及び前記第 4 画素に対応する第 2 信号線を駆動する信号線駆動回路と、

前記第 1 ラッチ及び前記第 2 ラッチと、前記信号線駆動回路の前記第 1 入力及び前記第 2 入力との間の接続関係を切り替え可能に構成されたデータ切り替え回路とを備え、

前記第 1 入力画像データが前記第 1 フォーマットの画像として供給されたとき、前記第 1 ラッチ及び前記第 2 ラッチは、それぞれ前記第 1 減色画像データ及び前記第 2 減色画像データを受け取り、前記データ切り替え回路は、前記或る水平ラインの画素の駆動の際には前記第 1 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 2 減色画像データを前記第 2 ラッチから前記第 2 入力に供給し、前記次水平ラインの画素の駆動の際には前記第 2 減色画像データを前記第 1 ラッチから前記第 2 入力に供給すると共に前記第 2 減色画像データを前記第 2 ラッチから前記第 1 入力に供給し、

前記第 2 乃至第 4 入力画像データが前記第 2 フォーマットの画像として供給されたとき、前記第 1 ラッチは、前記第 3 減色画像データ及び第 5 減色画像データを受け取り、前記第 2 ラッチは、前記第 4 減色画像データ及び第 6 減色画像データを受け取り、前記データ切り替え回路は、前記或る水平ラインの画素の駆動の際には前記第 3 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 4 減色画像データを前記第 2 ラッチから前記第 2 入力に供給し、前記次水平ラインの画素の駆動の際には前記第 5 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 6 減色画像データを前記第 2 ラッチから前記第 2 入力に供給する

表示パネルドライバ。

【請求項 1 5】

請求項 1 3 又は 1 4 に記載の表示パネルドライバであって、

前記第 2 フォーマットの画像の前記水平方向の画素数は、前記第 1 フォーマットの画像の前記水平方向の画素数の 2 倍であり、

前記第 2 フォーマットの画像の垂直方向の画素数は、前記第 1 フォーマットの画像の前記垂直方向の画素数の 2 倍である

表示パネルドライバ。

【請求項 16】

(a) 第1入力画像データが第1フォーマットの画像として供給された場合に、第1水平ラインに位置する第1画素と、前記第1水平ラインに位置し、且つ、前記第1画素に水平方向に隣接する第2画素とを前記第1入力画像データにตอบสนองして駆動するステップと、

(b) 第2入力画像データ及び第3入力画像データが前記第1フォーマットとは異なる第2フォーマットの画像として供給された場合に、前記第1画素を前記第2入力画像データにตอบสนองして駆動し、前記第2画素を前記第3入力画像データにตอบสนองして駆動するステップ

とを具備し、

前記第2フォーマットの画像の前記水平方向の画素数は、前記第1フォーマットの画像の前記水平方向の画素数の2倍であり、

10

前記(a)ステップは、

(a1) 第1入力画像データに対して第1誤差値を用いて誤差拡散処理を行うことにより第1減色画像データを生成するステップと、

(a2) 前記第1入力画像データに対して前記第1誤差値と別に用意された第2誤差値を用いて誤差拡散処理を行うことにより第2減色画像データを生成するステップと、

(a3) 前記第1減色画像データにตอบสนองして前記第1画素を駆動するステップと、

(a4) 前記第2減色画像データにตอบสนองして前記第2画素を駆動するステップ

とを備え、

前記(b)ステップは、

20

(b1) 前記第2入力画像データに対して誤差拡散処理を行うことにより第3減色画像データを生成するステップと、

(b2) 前記第3入力画像データに対して誤差拡散処理を行うことにより第4減色画像データを生成するステップと、

(b3) 前記第3減色画像データにตอบสนองして前記第1画素を駆動するステップと、

(b4) 前記第4減色画像データにตอบสนองして前記第2画素を駆動するステップ

とを備える

表示パネル駆動方法。

【請求項 17】

請求項16に記載の表示パネル駆動方法であって、

30

前記第2誤差値は、前記第1入力画像データから前記第1誤差値を用いて誤差拡散処理を行う際に、前記第1減色画像データとともに生成される

表示パネル駆動方法。

【請求項 18】

請求項16又は17に記載の表示パネル駆動方法であって、

更に、

(c1) 前記第1入力画像データが前記第1フォーマットの画像として供給された場合に、前記第1水平ラインに隣接する第2水平ラインに位置し、且つ、前記第1画素に垂直方向に隣接する第3画素を前記第2減色画像データにตอบสนองして駆動するステップと、

(c2) 前記第1入力画像データが前記第1フォーマットの画像として供給された場合に、前記第2水平ラインに位置し、且つ、前記第2画素に垂直方向に隣接する第4画素を前記第1減色画像データにตอบสนองして駆動するステップ

40

とを具備する

表示パネル駆動方法。

【請求項 19】

請求項18に記載の表示パネル駆動方法であって、

(d) 第4入力画像データ及び第5入力画像データが前記第2フォーマットの画像として供給された場合に、前記第3画素を前記第4入力画像データにตอบสนองして駆動し、前記第4画素を前記第5入力画像データにตอบสนองして駆動するステップ

を更に具備し、

50

前記（d）ステップは、

（d 1）前記第 4 入力画像データに対して誤差拡散処理を行うことにより第 5 減色画像データを生成するステップと、

（d 2）前記第 5 入力画像データに対して誤差拡散処理を行うことにより第 6 減色画像データを生成するステップと、

（d 3）前記第 5 減色画像データに応答して前記第 3 画素を駆動するステップと、

（d 4）前記第 6 減色画像データに応答して前記第 4 画素を駆動するステップとを備える

表示パネル駆動方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、表示装置、表示パネルドライバ、及び表示パネル駆動方法に関し、特に、減色処理と画像の拡大とを同時に行うための表示パネルの駆動技術に関する。

【背景技術】

【0002】

携帯端末に搭載される LCD パネル（液晶表示パネル）への一つの要求は、表示色数の増加であり、この要求を満足させるために、LCD パネルを駆動する LCD ドライバは、多階調表示に対応することが求められている。一つの問題は、LCD ドライバの表示可能な階調数を増加させると、チップサイズが増加することである。表示可能な階調数を増加させるためには、信号線を駆動するために使用される D/A コンバータを多数の階調数に対応するように構成する必要がある、これは、チップサイズの増加の要因となる。

20

【0003】

階調数の増加に伴うチップサイズの増加を抑制するための一つの手法は、LCD ドライバに減色処理回路を搭載し、疑似階調表示によって実質的に多階調表示を実現することである。例えば、特許 3 7 3 5 5 2 9 号公報及び特開平 9 - 9 0 9 0 2 号公報は、誤差拡散によって減色処理を行い、更に、FRC（frame rate control）による疑似階調表示を実現する技術を開示している。

【0004】

携帯端末に搭載される LCD パネルへのもう一つの要求は、画素数の増加である。近年では、VGA（video graphic array）に規定される画素数以上の画素数を持つ LCD パネルも登場してきている。しかし、画素数の増加は、CPU や DSP（digital signal processor）のような画像処理装置から LCD ドライバへのデータ転送量を増加させ、従って、LCD ドライバの消費電力や EMI（electromagnetic interference）を増加させる。

30

【0005】

発明者は、画素数の増加による消費電力や EMI の増大の問題を解消するための一つの手法として、表示させようとする画像の種類に応じて画像データの大きさ（例えば、VGA や QVGA（quarter VGA）等）を選択するとともに、拡大駆動、即ち、画像を拡大するような駆動を行わせる機能を LCD ドライバに持たせることを検討している。例えば、LCD パネルが VGA に対応する画素数を有している場合を考えよう。写真などの高画質表示が求められる画像の表示では、VGA の画像データが LCD ドライバに送信され、画像が等倍で表示される。一方、ゲームやメールの表示画面のような比較的解像度が低いことが許容される画像の表示では、QVGA の画像データが LCD ドライバに送信され、LCD ドライバで画像が水平方向、垂直方向のいずれについても 2 倍に拡大されるような拡大駆動が行われる。水平方向の画像の拡大は、最も簡便には、水平方向に並んだ 2 つの画素を同一の画像データに基づいて駆動することによって行われ、垂直方向の画像の拡大は、信号線が所望の駆動電圧に駆動された状態で、隣接する 2 つの走査線を順次に（又は同時に）駆動することによって行われる。このような手法で画像表示を行うことにより、LCD ドライバへのデータ転送量を低減し、消費電力や EMI を低減することができる。

40

50

【特許文献1】特許3735529号公報

【特許文献2】特開平9-90902号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

多階調表示への対応と、消費電力及びEMIの低減とを同時に実現するためには、減色処理と拡大駆動とを併用することが望ましい。しかしながら、発明者の検討によれば、減色処理と拡大駆動を単純に組み合わせると、フリッカの発生等の画像の劣化を起し得る。例えば、図1A、図1Bは、VGAの画像についてはそのまま、QVGAの画像については縦横2倍の拡大処理を行うLCDドライバの動作の例を示す図である。

10

【0007】

まず、全ての画像データの階調値が18であるようなVGAの画像データが入力された場合を考えよう。この場合、図1Aに示されているように、減色処理によって例えば階調値が16の画素と階調値が20の画素とが交互に繰り返される減色画像データが生成され、この減色画像データに基づいてLCDパネルが駆動される。

【0008】

一方、全ての画像データの階調値が18であるようなQVGAの画像データが入力された場合を考えよう。QVGAの画像データに対して減色処理を行った後、画像が縦横2倍されるように拡大駆動を行うと、図1Bに示されているように、LCDパネル上では、階調値が16である2×2画素のマトリックスと、階調値が20である2×2画素のマトリックスとが市松模様状に配置される。このように、減色処理と拡大駆動とを単純に併用すると、輝度変化の空間周波数が低下し、従って、フリッカが発生する原因になる。

20

【0009】

したがって、本発明の課題は、減色処理と画像を拡大するような駆動とを組み合わせても、画像の劣化が起らないような駆動技術を提供することにある。

【課題を解決するための手段】

【0010】

上記の課題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、〔特許請求の範囲〕の記載と〔発明を実施するための最良の形態〕の記載との対応関係を明らかにするために、〔発明を実施するための最良の形態〕で使用される番号・符号が付記されている。但し、付記された番号・符号は、〔特許請求の範囲〕に記載されている発明の技術的範囲を限定的に解釈するために用いてはならない。

30

【0011】

本発明の表示装置は、表示パネル(2)と、前記表示パネル(2)を駆動する表示パネルドライバ(3)とを具備する。前記表示パネルドライバ(3)は、減色処理回路(12)と駆動部(13-17)とを備えている。減色処理回路(12)は、第1入力画像データ(Din)から第1誤差値(Derr^C)を用いて第1減色画像データ(Dfrc1)を生成し、前記入力画像データ(Din)から前記第1誤差値(Derr^C)とは別に用意された第2誤差値(Derr^{N1})を用いて第2減色画像データ(Dfrc2)を生成することができるように構成されている。駆動部(13-17)は、前記表示パネル(2)の或る水平ラインに位置する第1画素を前記第1減色画像データ(Dfrc1)に応答して駆動し、前記或る水平ラインに位置し、且つ、前記第1画素に水平方向に隣接する第2画素を前記第2減色画像データ(Dfrc2)に応答して駆動する動作を実行可能に構成されている。

40

【0012】

このような構成の表示装置では、水平方向に2倍の拡大表示を行うために同一の入力画像データに応答して第1画素と第2画素とを駆動する場合に、第1画素と第2画素とが、別に用意された誤差値を用いて生成された第1減色画像データ、第2減色画像データによって駆動可能である。したがって、本発明の表示装置によれば、輝度変化の空間周波数の

50

低下を抑制し、フリッカの発生を有効に抑制することができる。

【0013】

本発明の表示装置の構成は、画像のフォーマットに応じて、より具体的には画像のサイズにより、等倍表示を行い、又は水平方向に2倍の拡大表示を行う場合に特に好ましい。具体的には、前記第1入力画像データ(D_{in})が、第1フォーマットの画像として供給された場合、前記減色処理回路(12)は、前記第1入力画像データ(D_{in})から前記第1誤差値(D_{err}^C)を用いて誤差拡散処理を行うことにより第1減色画像データ(D_{fr}c1)を生成し、前記第1入力画像データ(D_{in})から前記第1誤差値(D_{err}^C)と別に用意された第2誤差値(D_{err}^{N1})を用いて誤差拡散処理を行うことにより第2減色画像データ(D_{fr}c2)を生成し、前記駆動部(13-17)は、前記第1画素を前記第1減色画像データ(D_{fr}c1)にตอบสนองして駆動するとともに前記第2画素を前記第2減色画像データ(D_{fr}c2)にตอบสนองして駆動する。一方、前記第1画素に対応する第2入力画像データ(D_{in})と前記第2画素に対応する第3入力画像データ(D_{in})が、前記第1フォーマットと異なる第2フォーマットの画像として供給された場合、前記減色処理回路(12)は、前記第2入力画像データ(D_{in})に対して誤差拡散処理(D_{in})を行うことにより第3減色画像データ(D_{fr}c1)を生成すると共に、前記第3入力画像データに対して誤差拡散処理を行うことにより第4減色画像データ(D_{fr}c1)を生成し、前記駆動部(13-17)は、前記第1画素を前記第3減色画像データ(D_{fr}c1)にตอบสนองして駆動するとともに前記第2画素を前記第4減色画像データ(D_{fr}c1)にตอบสนองして駆動する。

10

20

【発明の効果】

【0014】

本発明によれば、減色処理と拡大駆動とを組み合わせても、画像の劣化が起こらないような駆動技術を提供することができる。

【発明を実施するための最良の形態】

【0015】

(液晶表示装置の構成)

図2は、本発明の一実施形態に係る液晶表示装置1の構成を示すブロック図である。液晶表示装置1は、LCDパネル2と、LCDドライバ3とを備えている。本実施形態では、LCDパネル2がVGAに対応しており、且つ、画像の種類に応じて、VGAの画像データとQVGAの画像データがLCDドライバ3に供給されるものとして説明が行われる。

30

【0016】

LCDパネル2には、m行n列の画素が行列に並べられている。LCDパネル2の水平方向に並んだ一行の画素を、1水平ラインの画素と呼ぶことがある。画素のそれぞれは、水平方向に並べられた3つのサブピクセルで構成されている。3つのサブピクセルのうちの1つは、赤色(R)を表示するRサブピクセルであり、他の一つは緑色(G)を表示するGサブピクセルであり、最後の一つは、青色(B)を表示するBサブピクセルである。各サブピクセルには、薄膜トランジスタ(TFT)と画素電極とが設けられている。m行n列の画素を駆動するために、LCDパネル2には、水平方向に延伸するm本の走査線(ゲート線)と、垂直方向に延伸する3n本の信号線(データ線)とが設けられ、画素は、それらが交差する位置に設けられる。

40

【0017】

詳細には、LCDドライバ3は、外部から、より具体的には、画像描画装置4から入力画像データD_{in}を受け取り、入力画像データD_{in}にตอบสนองしてLCDパネル2の信号線を駆動する機能を有している。画像描画装置4としては、CPUやDSP(Digital Signal Processor)が例示される。本実施形態では、入力画像データD_{in}は、各画素の3つサブピクセルの階調をそれぞれ8ビットで表す、24ビットデータである。以下では、入力画像データD_{in}のうち、Rサブピクセルの階調を示す8ビットをR画像データD_{in}^R、Gサブピクセルの階調を示す8ビットをG画像データD_{in}^G、Bサブピクセルの階

50

調を示す8ビットをB画像データD i n^Bと記載する。加えて、LCDドライバ3は、LCDパネル2のm本の走査線を順次に駆動してする機能も有している。LCDドライバ3には、同期信号5、ドットクロック信号DCKその他の制御信号が画像描画装置4から供給されており、LCDドライバ3は、供給された制御信号に応答して動作する。LCDドライバ3に供給される同期信号5は、垂直同期信号Vsyncと水平同期信号Hsyncを含んでいる。

【0018】

以下に詳細に記載されるように、LCDドライバ3は、画像データD i nのフォーマットに応じて、異なる動作を行う。画像データD i nがVGAのフォーマットで供給された場合、入力画像データD i nに対して減色処理を行って減色画像データを生成し、その減色画像データに応答して画像が元の大きさで表示されるようにLCDパネル2を駆動する。一方、入力画像データD i nがQVGAのフォーマットで供給された場合、LCDドライバ3は、画像データD i nに対して減色処理を行い、減色処理後の画像データに応答して、画像が縦横2倍されるように拡大駆動を行う。ただし、本実施形態の液晶表示装置1では、入力画像データD i nがQVGAのフォーマットで供給された場合に特別な減色処理と拡大駆動が行われ、これにより、画像の劣化が有効に抑制される。

【0019】

以下では、LCDドライバ3の構成について説明する。LCDドライバ3は、制御回路11と、減色処理回路12と、シフトレジスタ回路13と、データレジスタ回路14と、ラッチ回路15と、データ切り替え回路16と、信号線駆動回路17と、階調電圧発生回路18と、走査線駆動回路19と、タイミング制御回路20とを備えている。本実施形態では、これらの回路が1つの半導体チップにモノリシックに集積化される。ただし、一部又は全部の回路が、別の半導体チップやLCDパネル2に集積化されてもよい。例えば、走査線駆動回路19は、別の半導体チップとして集積化されてもよいし、LCDパネル2に集積化されてもよい。また、LCDドライバ3が、SOG (semiconductor on glass) 技術を用いてLCDパネル2の上に集積化されてもよい。

【0020】

制御回路11は、以下の3つの機能を有している。第1に、制御回路11は、画像描画装置4から送られてくる入力画像データD i nを減色処理回路12に転送する機能を有している。第2に、制御回路11は、同期信号5とドットクロック信号DCKに応答してタイミング信号22を生成し、タイミング制御回路20に供給する機能を有している。第3に、制御回路11は、各フレーム期間において、入力画像データD i nが、VGAのフォーマットで送られてくるか、QVGAのフォーマットで送られてくるかを判断し、判断結果に応じて拡大処理信号23を生成する機能を有している。本実施形態では、制御回路11は、入力画像データD i nがVGAのフォーマットで送られてくる場合に拡大処理信号23をネゲートし（即ち、拡大処理信号23の値を"0"に設定し）、QVGAのフォーマットで送られてくる場合に拡大処理信号23をアサートする（即ち、拡大処理信号23の値を"1"に設定する）。

【0021】

減色処理回路12は、入力画像データD i nに対して誤差拡散による減色処理を行う回路である。減色処理回路12は、ドットクロックDCKの1クロック周期において一画素分の入力画像データD i nに対して減色処理を行う機能を有している。各画素の入力画像データD i nが順次に入力されると、減色処理回路12は、入力された入力画像データD i nに対して順次に減色処理を行う。本実施形態の減色処理回路12は、同一の入力画像データD i nから、2つの誤差値を別々に用意し、この2つの誤差値をそれぞれに用いて2種類の減色画像データD f r c 1、D f r c 2を作成する機能を有している。ここで、減色画像データD f r c 1、D f r c 2のそれぞれは、各画素の3つサブピクセルの階調をそれぞれ6ビットで表す、18ビットデータである。

【0022】

ただし、減色処理回路12は、常に入力画像データD i nから2種類の減色処理画像デ

10

20

30

40

50

ータ D_{frc1} 、 D_{frc2} を作成するわけではないことに留意されたい。減色処理回路 12 は、拡大処理信号 23 がネゲートされている場合（即ち、送られてくる画像データ D_{in} のフォーマットが VGA である場合）、画像データ D_{in} に対して誤差拡散処理を行い、減色処理画像データ D_{frc1} を生成する。一方、拡大処理信号 23 がアサートされている場合（即ち、送られてくる画像データ D_{in} のフォーマットが QVGA である場合）、別々に用意された誤差値を用いて 2 つの減色画像データ D_{frc1} 、 D_{frc2} を生成する。減色処理回路 12 の構成については、後に詳細に説明する。

【0023】

シフトレジスタ回路 13、データレジスタ回路 14、ラッチ回路 15、データ切り替え回路 16、及び信号線駆動回路 17 は、減色処理画像データ D_{frc1} 、 D_{frc2} に応答して LCD パネル 2 の信号線を駆動する駆動部として機能する回路群である。詳細には、データレジスタ回路 14 は、シフトレジスタ回路 13 による制御の下、減色処理回路 12 から減色処理画像データ D_{frc1} 、 D_{frc2} を順次に受け取って保存する。詳細には、図 3 に示されているように、シフトレジスタ回路 13 は、拡大処理信号 23 と水平スタート信号 24 とにตอบสนองしてデータレジスタ回路 14 を制御するシフトレジスタ出力信号 $SR1 \sim SRn$ を生成する。データレジスタ回路 14 は、それぞれが 1 画素分の減色画像データを保存するレジスタ $31-1 \sim 31-n$ を備えている。データレジスタ回路 14 のレジスタ $31-1 \sim 31-n$ の動作は、シフトレジスタ回路 13 から供給されるシフトレジスタ出力信号 $SR1 \sim SRn$ と制御回路 11 から供給される拡大処理信号 23 に応じて制御される。レジスタ $31-1 \sim 31-n$ の動作は、奇数番目のレジスタ $31-(2k-1)$ と、偶数番目のレジスタ $31-(2k)$ とで異なる。奇数番目のレジスタ $31-(2k-1)$ は、拡大処理信号 23 の状態に関係なく、対応するシフトレジスタ出力信号 $SR(2k-1)$ がプルアップされると減色処理画像データ D_{frc1} をラッチする。一方、偶数番目のレジスタ $31-(2k)$ は、対応するシフトレジスタ出力信号 $SR(2k-1)$ のプルアップにตอบสนองして、拡大処理信号 23 がネゲートされている場合には減色処理画像データ D_{frc1} をラッチし、拡大処理信号 23 がアサートされている場合には減色処理画像データ D_{frc2} をラッチする。

【0024】

ラッチ回路 15 は、タイミング制御回路 20 から送られてくるラッチ信号 25 にตอบสนองしてデータレジスタ回路 14 から減色画像データをラッチする。図 3 に示されているように、ラッチ回路 15 は、それぞれが 1 画素分の減色画像データを保存するラッチ $32-1 \sim 32-n$ を備えており、1 水平ライン分の減色画像データを同時にラッチするための構成を有している。ラッチ $32-1 \sim 32-n$ は、ラッチ信号 25 がアサートされると、それぞれ、レジスタ $31-1 \sim 31-n$ から減色画像データをラッチする。

【0025】

データ切り替え回路 16 は、タイミング制御回路 20 から送られてくる切り替え信号 26 にตอบสนองして、ラッチ回路 15 から出力される減色画像データを、そのまま信号線駆動回路 17 に転送し、又は、空間的順序を入れ替えて信号線駆動回路 17 に転送する。詳細には、データ切り替え回路 16 は、図 3 に示されているように、ストレートスイッチ $33-1 \sim 33-n$ と、クロススイッチ $34-1 \sim 34-n$ とを備えている。ストレートスイッチ $33-1 \sim 33-n$ は、それぞれ、ラッチ回路 15 のラッチ $32-1 \sim 32-n$ と信号線駆動回路 17 の入力 $IN1 \sim INn$ との間に接続される。ストレートスイッチ $33-1 \sim 33-n$ は、減色画像データを、そのまま信号線駆動回路 17 に転送するとき使用される。切り替え信号 26 がネゲートされると、ストレートスイッチ $33-1 \sim 33-n$ がオン状態にされ、ラッチ $32-1 \sim 32-n$ に保存されている減色画像データは、それぞれ、ストレートスイッチ $33-1 \sim 33-n$ を介して信号線駆動回路 17 の入力 $IN1 \sim INn$ に転送される。一方、クロススイッチ $34-1 \sim 34-n$ は、減色画像データを、その空間的順序を入れ替えて信号線駆動回路 17 に転送するために使用される。詳細には、クロススイッチ $34-(2k-1)$ は、ラッチ回路 15 のラッチ $32-(2k)$ と信号線駆動回路 17 の入力 $IN(2k-1)$ との間に接続され、クロススイッチ $34-(2k$

）は、ラッチ回路15のラッチ32-（2k-1）と信号線駆動回路17の入力IN（2k）との間に接続されている。切り替え信号26がアサートされると、奇数番目のラッチ32-1、32-3、・・・に保存されている減色画像データが信号線駆動回路17の偶数番目の入力IN2、IN4、・・・に転送され、偶数番目のラッチ32-2、32-4、・・・に保存されている減色画像データが信号線駆動回路17の奇数番目の入力IN1、IN3、・・・に転送される。

【0026】

信号線駆動回路17は、ラッチ回路15から送られてくる1水平ライン分の減色画像データに応答してLCDパネル2の信号線を駆動する。より具体的には、信号線駆動回路17は、階調電圧発生回路18から供給される複数の階調電圧のうちから減色画像データに示された階調の階調電圧を選択し、対応するLCDパネル2の信号線を選択された階調電圧に駆動する。本実施形態では、階調電圧発生回路18から供給される階調電圧の数は64（=2⁶）本である。信号線駆動回路17に供給される減色画像データは、1画素の3つのサブピクセルの階調を示すデータであり、従って、一の減色画像データに1画素の3本の信号線が駆動されることに留意されたい。即ち、信号線駆動回路17には、1つの入力に対応して3つの出力が用意され、その3つの出力には3本の信号線が接続される。図3では、入力INkに対応する3つの出力は、まとめて記号「OUTk」として記載されている。信号線駆動回路17には、出力イネーブル信号27がタイミング制御回路20から供給されており、出力イネーブル信号27がプルアップされると、LCDパネル2の信号線の駆動を開始する。

【0027】

図2に戻り、走査線駆動回路19は、タイミング制御回路20から供給される走査線制御信号28に応答してLCDパネル2の走査線を駆動する回路である。

【0028】

タイミング制御回路20は、LCDドライバ3全体のタイミング制御を行う役割を有している。詳細には、タイミング制御回路20は、水平スタート信号24、ラッチ信号25、切り替え信号26、出力イネーブル信号27、及び走査線制御信号28を生成し、それぞれシフトレジスタ回路13、ラッチ回路15、データ切り替え回路16、信号線駆動回路17、及び走査線駆動回路19に供給する。LCDドライバ3のタイミング制御は、水平スタート信号24、ラッチ信号25、切り替え信号26、出力イネーブル信号27、及び走査線制御信号28によって行われる。

【0029】

（減色処理回路の構成）

以下では、減色処理回路12の構成を詳細に説明する。図4Aは、減色処理回路12の構成を示すブロック図である。図4Aに示されているように、減色処理回路12は、R誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bとを備えている。R誤差拡散回路40Rは、入力画像データDinのうちR画像データDin^Rに対して誤差拡散による減色処理を行い、R減色画像データDfrcl^R、Dfrcl^{2R}を生成する機能を有している。同様に、G誤差拡散回路40Gは、G画像データDin^Gに対して誤差拡散による減色処理を行ってG減色画像データDfrcl^G、Dfrcl^{2G}を生成する機能を有しており、B誤差拡散回路40Bは、B画像データDin^Bに対して誤差拡散による減色処理を行ってB減色画像データDfrcl^B、Dfrcl^{2B}を生成する機能を有している。減色画像データDfrclは、R減色画像データDfrcl^R、G減色画像データDfrcl^G及びB減色画像データDfrcl^Bで構成され、減色画像データDfrcl²は、R減色画像データDfrcl^{2R}、G減色画像データDfrcl^{2G}及びB減色画像データDfrcl^{2B}で構成される。上述されているように、減色画像データDfrcl²は、拡大処理信号23がアサートされている場合にしか生成されない。即ち、R減色画像データDfrcl^{2R}、G減色画像データDfrcl^{2G}及びB減色画像データDfrcl^{2B}は、拡大処理信号23がアサートされている場合にしか生成されない。

【0030】

図4Bは、R誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bの構成を示すブロック図である。R誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bは、同一の回路構成を有している。したがって、図4Bでは、R画像データ Din^R 、G画像データ Din^G 、及びB画像データ Din^B を区別せずに画像データ Din^k と表記する。同様に、R減色画像データ $Dfrc1^R$ 、G減色画像データ $Dfrc1^G$ 、B減色画像データ $Dfrc1^B$ を区別せずに減色画像データ $Dfrc1^k$ と表記し、R減色画像データ $Dfrc2^R$ 、G減色画像データ $Dfrc2^G$ 、B減色画像データ $Dfrc2^B$ を区別せずに減色画像データ $Dfrc2^k$ と表記する。

【0031】

R誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bのそれぞれは、加算回路41～44と、セレクト45、46と、Dラッチ47と、初期値設定回路48と、スイッチ49を備えている。

【0032】

加算回路41、42は、画像データ Din^k と、セレクト46から出力される誤差値 $Der r^C$ とから、減色画像データ $Dfrc1^k$ と誤差値 $Der r^{N1}$ を算出するための回路部分である。ここで、誤差値 $Der r^C$ は、対象のサブピクセルの減色画像データ $Dfrc1^k$ の生成に使用される誤差値である。詳細には、加算回路42は、画像データ Din^k の下位2ビットと誤差値 $Der r^C$ との加算を行い、データ出力 $c+d$ から誤差値 $Der r^{N1}$ を出力し、キャリア出力 cry から1ビットのキャリアを出力する。加算回路41は、画像データ Din^k の上位6ビットと加算回路42から受け取ったキャリアとの加算を行って減色画像データ $Dfrc1^k$ を生成する。

【0033】

加算回路43、44は、画像データ Din^k と、加算回路42から出力される誤差値 $Der r^{N1}$ とから、減色画像データ $Dfrc2^k$ と誤差値 $Der r^{N2}$ を算出するための回路部分である。詳細には、加算回路44は、画像データ Din^k の下位2ビットと誤差値 $Der r^{N1}$ との加算を行い、データ出力 $c+d$ から誤差値 $Der r^{N2}$ を出力し、キャリア出力 cry から1ビットのキャリアを出力する。加算回路43は、画像データ Din^k の上位6ビットと加算回路44から受け取ったキャリアとの加算を行って減色画像データ $Dfrc2^k$ を生成する。

【0034】

まとめれば、加算回路41～44は、減色画像データ $Dfrc1^k$ 、 $Dfrc2^k$ 、及び誤差値 $Der r^{N1}$ 、 $Der r^{N2}$ を、画像データ Din^k と誤差値 $Der r^C$ とから、下記の式によって算出するように構成されている。

$$Dfrc1^k = (Dink[7:2] + (Din^k[1:0] + Der r^C)) >> 2,$$

$$Der r^{N1} = (Din^k[1:0] + Der r^C) \% 4$$

$$Dfrc2^k = (Din^k[7:2] + (Din^k[1:0] + Der r^{N1})) >> 2,$$

$$Der r^{N2} = (Din^k[1:0] + Der r^{N1}) \% 4,$$

ここで、 $Din^k[1:0]$ は、画像データ Din^k の下位2ビットであり、 $Din^k[7:2]$ は、画像データ Din^k の上位6ビットである。また、「 $>>2$ 」は、下位2ビットを切り捨てる処理であり（即ち、この場合には、キャリアが発生した場合にそのキャリアだけを残す処理）、「 $\%4$ 」は、4で割った余りを求める処理（即ち、この場合には、キャリアが発生した場合にそのキャリアを捨てる処理）である。

【0035】

また、（図4Bには記載されていないが）減色画像データ $Dfrc1^k$ 、 $Dfrc2^k$ については、以下の処理が行われる。

$$Dfrc1^k \geq 63 \text{ の時 } \rightarrow Dfrc1^k = 63,$$

$$Dfrc2^k \geq 63 \text{ の時 } \rightarrow Dfrc2^k = 63.$$

【0036】

セクタ45は、拡大処理信号23にตอบสนองして誤差値 $Der r^{N1}$ 、 $Der r^{N2}$ の一方を選択し、選択された誤差値をDラッチ47に供給する。拡大処理信号23がネゲートされた場合（即ち、入力画像データ Din がVGAのフォーマットで送られる場合）、セクタ45は、誤差値 $Der r^{N1}$ を選択する。一方、拡大処理信号23がアサートされた場合（即ち、入力画像データ Din がQVGAのフォーマットで送られる場合）、セクタ45は、誤差値 $Der r^{N2}$ を選択する。

【0037】

Dラッチ47は、セクタ45によって選択された誤差値をドットクロック DCK に同期してラッチする。

【0038】

セクタ46は、誤差初期値読み出し信号 DE_POS にตอบสนองして、Dラッチ47から出力される誤差値と、初期値設定回路48によって発生された初期値 $Der r^{IN1}$ の一方を、誤差値 $Der r^C$ として選択する。各水平ラインの最も左端の画素の駆動においては、誤差初期値読み出し信号 DE_POS がアサートされ、初期値 $Der r^{IN1}$ が誤差値 $Der r^C$ として選択される。一方、他の画素の駆動においては、誤差初期値読み出し信号 DE_POS はネゲートされ、Dラッチ47から出力される誤差値が誤差値 $Der r^C$ として選択される。

【0039】

初期値設定回路48は、誤差拡散処理において使用される誤差の初期値 $Der r^{IN1}$ を与える回路である。初期値設定回路48には、減色処理の対象のフレームの番号を示すフレームカウンタと、対象のラインの番号を示すラインカウンタが与えられており、初期値設定回路48は、フレーム及びラインによって異なる初期値 $Der r^{IN1}$ を発生する。

【0040】

スイッチ49は、拡大処理信号23に応じて加算回路43、44への画像データ Din^k の供給を制御する。拡大処理信号23がネゲートされた場合（即ち、入力画像データ Din がVGAのフォーマットで送られる場合）、スイッチ49はオフ状態にされ、加算回路43、44への画像データ Din^k の供給が停止される。一方、拡大処理信号23がアサートされた場合（即ち、入力画像データ Din がQVGAのフォーマットで送られる場合）、スイッチ49はオン状態にされ、加算回路43、44に画像データ Din^k が供給される。

【0041】

このように構成されたR誤差拡散回路40R、G誤差拡散回路40G、B誤差拡散回路40Bでは、拡大処理信号23の状態に応じて異なる動作を行う。拡大処理信号23がネゲートされると、スイッチ49がオフになり、更に、セクタ45は誤差値 $Der r^{N1}$ を選択する。この場合、R誤差拡散回路40R、G誤差拡散回路40G、B誤差拡散回路40Bは、一般的な減色処理回路と同様に動作し、画像データ Din^k と誤差値 $Der r^C$ から減色画像データ $Dfrc1^k$ を生成する。Dラッチ47にラッチされる誤差値（即ち、次の画素の駆動に使用される誤差値）としては、誤差値 $Der r^{N1}$ が選択される。減色画像データ $Dfrc2^k$ は生成されない。一方、拡大処理信号23がアサートされると、スイッチ49がオンになり、更に、セクタ45は誤差値 $Der r^{N2}$ を選択する。この場合、R誤差拡散回路40R、G誤差拡散回路40G、B誤差拡散回路40Bは、画像データ Din^k から誤差値 $Der r^C$ を用いて減色画像データ $Dfrc1^k$ を生成し、誤差値 $Der r^{N1}$ を用いて減色画像データ $Dfrc2^k$ を生成する。Dラッチ47にラッチされる誤差値（即ち、次の画素の駆動に使用される誤差値）としては、誤差値 $Der r^{N2}$ が選択される。

【0042】

加算回路42によって生成された誤差値 $Der r^{N1}$ が、加算回路43、44による減色画像データ $Dfrc2^k$ の生成に使用されることは、回路規模の削減に寄与していることに留意されたい。ハードウェアの削減を考慮しなければ、Dラッチ47、初期値設定回

10

20

30

40

50

路48とは別に、加算回路43、44に対する専用のDラッチ及び初期値設定回路を設ける構成も可能である。しかし、特に初期値設定回路は大きな回路規模を要するので、このような構成は可能であるが好ましくない。本実施形態のように、誤差値 $Der r^{N1}$ を、加算回路43、44による減色画像データ $D f r c^k$ の生成に使用することにより、単一の初期値設定回路により、2つの誤差値を生成し、その2つの誤差値から2つの減色画像データを生成可能である。

【0043】

(液晶表示装置の動作)

以下では、液晶表示装置の動作について詳細に説明する。

制御回路11は、各フレーム期間の初期に、当該フレーム期間において入力画像データ $D i n$ が、VGAのフォーマットで送られてくるかQVGAのフォーマットで送られてくるかを判断する。図5は、判断のアルゴリズムを示すフローチャートであり、図6は、判断に関連する垂直同期信号 $V s y n c$ 、水平同期信号 $H s y n c$ 、ドットクロック $D C K$ の波形を示す図である。図6において、“ $T h_v g a$ ”は、入力画像データ $D i n$ がVGAのフォーマットで送られてくる場合の1水平期間の長さを示しており、“ $T d c k_v g a$ ”は、入力画像データ $D i n$ がVGAのフォーマットで送られてくる場合のドットクロック信号の1クロック周期の長さを示している。また、“ $T h_q v g a$ ”は、入力画像データ $D i n$ がQVGAのフォーマットで送られてくる場合の1水平期間の長さを示しており、“ $T d c k_q v g a$ ”は、入力画像データ $D i n$ がQVGAのフォーマットで送られてくる場合のドットクロック信号の1クロック周期の長さを示している。本実施形態では、垂直同期信号 $V s y n c$ 、水平同期信号 $H s y n c$ は、いずれも、ローアクティブであることに留意されたい。

【0044】

図5を参照して、制御回路11は、垂直同期ブランキング期間の水平同期信号 $H s y n c$ が“ $H i g h$ ”である期間におけるドットクロック信号 $D C K$ のクロックパルス数をカウントする(ステップS01)。更に、制御回路11は、カウントされたクロックパルス数と、QVGAに規定された1水平ラインの画素の数とを比較する(ステップS02)。カウントされたクロックパルス数が、QVGAに規定された1水平ラインの画素の数よりも大きい場合、制御回路11は、当該フレーム期間において入力画像データ $D i n$ がVGAのフォーマットで送られてくると判断し(ステップS03)、拡大処理信号23をネゲートする(ステップS04)。そうでない場合、制御回路11は、入力画像データ $D i n$ がQVGAのフォーマットで送られてくると判断し(ステップS05)、拡大処理信号23をアサートする(ステップS06)。

【0045】

LCDドライバ3の動作は、拡大処理信号23の状態、即ち、入力画像データ $D i n$ が、VGAのフォーマットで送られてくる場合と、QVGAのフォーマットで送られてくる場合とで異なる。入力画像データ $D i n$ がVGAのフォーマットで送られてくる場合、減色処理回路12は、(一般的な減色処理回路と同様に)画像データ $D i n$ から減色画像データ $D f r c 1$ を生成する一方、LCDドライバ3は、全体としては、送られた画像を、そのままの大きさで表示するようにLCDパネル2を駆動するように動作する。

【0046】

図7は、入力画像データ $D i n$ がVGAのフォーマットで送られてくる場合のR誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bの動作を示す概念図である。この場合、拡大処理信号23がネゲートされることに留意されたい。拡大処理信号23のネゲートに応答して、R誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bのそれぞれにおいてスイッチ49がオフになり、更に、セレクト45は初期値 $Der r^{N1}$ を選択する。この結果、減色処理回路12は、画像データ $D i n$ から減色画像データ $D f r c 1$ を生成する。減色画像データ $D f r c 2$ は生成されない。

【0047】

LCDパネル2は、減色画像データ $D f r c 1$ に응答して駆動される。図8は、入力画

像データ D_{in} が V G A のフォーマットで送られてくる場合のシフトレジスタ回路 1 3、データレジスタ回路 1 4、ラッチ回路 1 5、データ切り替え回路 1 6、及び信号線駆動回路 1 7 の動作を示すタイミングチャートである。本実施形態では、第 $(j - 1)$ 水平期間に、第 j 水平期間における画素の駆動に使用される入力画像データ D_{in} (即ち、第 j 水平ラインの画素の駆動に使用される入力画像データ D_{in}) が供給される。その入力画像データ D_{in} から第 j 水平期間における画素の駆動に使用される減色画像データ D_{frc1} が生成されてデータレジスタ回路 1 4 に順次に格納される。

【0048】

詳細には、第 $j - 1$ 水平期間のブランキング期間が終了して水平スタート信号 2 4 がアサートされると、シフトレジスタ回路 1 3 は、シフトレジスタ出力信号 $SR1 \sim SRn$ を順次にアサートする。シフトレジスタ出力信号 $SR1 \sim SRn$ のアサートに応答して、データレジスタ回路 1 4 のレジスタ $31 - 1 \sim 31 - n$ は、減色画像データ D_{frc1} を順次に取り込んで保存する。図 8 において、記号「 $D_{j, k}$ 」は、第 j 水平ラインの左から k 番目の画素の減色画像データ D_{frc1} を示していることに留意されたい。

【0049】

続いて、第 j 水平期間が開始されると、第 j 水平期間のブランキング期間においてラッチ信号 2 5 がアサートされ、これにより、ラッチ回路 1 5 のラッチ $32 - 1 \sim 32 - n$ に、第 j 水平期間における画素の駆動に使用される減色画像データ D_{frc1} がラッチされる。このとき、切り替え信号 2 6 がネゲートされるため、図 9 に示されているように、データ切り替え回路 1 6 は、ラッチ $32 - 1 \sim 32 - n$ にラッチされた減色画像データを、そのまま (即ち、順番を入れ替えずに) それぞれ信号線駆動回路 1 7 の入力 $IN1 \sim INn$ に転送する。更に、出力イネーブル信号 2 7 がアサートされ、これにより、信号線駆動回路 1 7 は、信号線を減色画像データに応じて駆動する。信号線の駆動に同期して第 j 水平ラインに対応する走査線が走査線駆動回路 1 9 によって駆動され、これにより、第 j 水平ラインの画素が駆動される。図 8 において、 $V(D_{j, k})$ は、第 j 水平ラインの左から k 番目の画素の減色画像データ D_{frc1} に対応する駆動電圧を示している。

【0050】

このような駆動手順によれば、画像データ D_{in} から生成された減色画像データ D_{frc1} に応答して、LCD パネル 2 は、送られた画像を、そのままの大きさで表示するように駆動される。

【0051】

一方、入力画像データ D_{in} が Q V G A のフォーマットで送られてくる場合、減色処理回路 1 2 は、画像データ D_{in} から減色画像データ D_{frc1} 、 D_{frc2} を生成する一方、LCD ドライバ 3 は、送られた画像を、縦横 2 倍に拡大して表示するように LCD パネル 2 を駆動するように動作する。

【0052】

図 10 は、入力画像データ D_{in} が V G A のフォーマットで送られてくる場合の R 誤差拡散回路 4 0 R と、G 誤差拡散回路 4 0 G と、B 誤差拡散回路 4 0 B の動作を示す概念図である。この場合、拡大処理信号 2 3 がアサートされることに留意されたい。拡大処理信号 2 3 のアサートに応答して、R 誤差拡散回路 4 0 R と、G 誤差拡散回路 4 0 G と、B 誤差拡散回路 4 0 B のそれぞれにおいてスイッチ 4 9 がオンになり、更に、セレクト 4 5 は初期値 $Der r^N$ を選択する。この場合、減色処理回路 1 2 は、画像データ D_{in} から、それぞれ、誤差値 $Der r^C$ 、 $Der r^N$ を用いて減色画像データ D_{frc1} 、 D_{frc2} を生成する。

【0053】

LCD パネル 2 は、減色画像データ D_{frc1} 、 D_{frc2} に応答して、画像が縦横 2 倍に拡大されるように駆動される。図 11 は、入力画像データ D_{in} が Q V G A のフォーマットで送られてくる場合のシフトレジスタ回路 1 3、データレジスタ回路 1 4、ラッチ回路 1 5、データ切り替え回路 1 6、及び信号線駆動回路 1 7 の動作を示すタイミングチャートである。第 $(j - 1)$ 水平期間に、第 j 水平期間における画素の駆動に使用される

10

20

30

40

50

入力画像データ D_{in} が供給されると、その入力画像データ D_{in} から第 j 水平期間における画素の駆動に使用される減色画像データ D_{frc1} 、 D_{frc2} が生成されてデータレジスタ回路 14 に順次に格納される。図 11 において、記号「 $D_{j,k}$ 」は、QVGA 画像において第 j 水平ラインの左から k 番目の画素の画像データ D_{in} から生成された減色画像データ D_{frc1} を示しており、記号「 $D_{j,k'}$ 」は、同じ画素の画像データ D_{in} から生成された減色画像データ D_{frc2} を示していることに留意されたい。

【0054】

詳細には、減色画像データ D_{frc1} がデータレジスタ回路 14 の奇数番目のレジスタ $31-(2k-1)$ に格納され、減色画像データ D_{frc2} がデータレジスタ回路 14 の偶数番目のレジスタ $31-(2k)$ に格納される。2つのレジスタ 31 が、同時に減色画像データ D_{frc1} 、 D_{frc2} をラッチすることに留意されたい。図 11 に示されているように、例えば、シフトレジスタ出力信号 $SR1$ 、 $SR2$ が同時にアサートされ、レジスタ $31-1$ 、 $31-2$ は、同時に減色画像データ D_{frc1} 、 D_{frc2} をラッチする。続いて、シフトレジスタ出力信号 $SR3$ 、 $SR4$ が同時にアサートされ、レジスタ $31-3$ 、 $31-4$ は、同時に減色画像データ D_{frc1} 、 D_{frc2} をラッチする。以下、同様の手順で他の奇数番目のレジスタ 31 に減色画像データ D_{frc1} が格納され、他の偶数番目のレジスタ 31 に減色画像データ D_{frc2} が格納される。

【0055】

減色画像データ D_{frc1} 、 D_{frc2} が、同一の画像データ D_{in} から生成されるのであるから、上記の動作により、画像が横方向に 2 倍に拡大される。しかしながら、横方向に隣接する画素は、別々に用意された誤差値を用いて生成された減色画像データに応じて駆動されるから、輝度変化の空間周波数は低下しない。

【0056】

続いて、第 j 水平期間が開始されると、第 j 水平期間のブランキング期間においてラッチ信号 25 がアサートされる。これにより、ラッチ回路 15 の奇数番目のラッチ $32-(2k-1)$ に、第 j 水平期間における画素の駆動に使用される減色画像データ D_{frc1} がラッチされ、偶数番目のラッチ $32-(2k)$ に、減色画像データ D_{frc2} がラッチされる。

【0057】

入力画像データ D_{in} が QVGA のフォーマットで送られてくる場合には、第 j 水平期間の前半と後半で別の水平ラインの画素が駆動され、これにより、画像が縦方向に 2 倍に拡大されるように LCD パネル 2 が駆動される。即ち、第 j 水平期間の前半では、LCD パネル 2 の第 $(2j-1)$ 水平ラインの画素が駆動され、第 j 水平期間の前半では、第 $(2j)$ 水平ラインの画素が駆動される。ただし、第 j 水平期間の前半と後半とで、データ切り替え回路 16 の状態が切り替えられ、これにより、縦方向に隣接する画素が、別々の誤差値を用いて生成された別々の減色画像データによって駆動される。

【0058】

詳細には、第 j 水平期間の前半においては、切り替え信号 26 がネゲートされ、図 12 A に示されているように、データ切り替え回路 16 は、ラッチ $32-1 \sim 32-n$ にラッチされた減色画像データを、そのまま（即ち、順番を入れ替えずに）それぞれ信号線駆動回路 17 の入力 $IN1 \sim INn$ に転送する。図 11 に示されているように、出力イネーブル信号 27 がアサートされると、信号線駆動回路 17 は、入力 $IN1 \sim INn$ に転送された減色画像データに応じて信号線を駆動する。信号線の駆動に同期して第 $(2j-1)$ 水平ラインに対応する走査線が走査線駆動回路 19 によって駆動され、これにより、第 $(2j-1)$ 水平ラインの画素が駆動される。図 11 において、 $V(D_{j,k})$ は、第 j 水平ラインの左から k 番目の画素の減色画像データ D_{frc1} に対応する駆動電圧を示し、 $V(D_{j,k'})$ は、第 j 水平ラインの左から k 番目の画素の減色画像データ D_{frc2} に対応する駆動電圧を示し手いることに留意されたい。

【0059】

一方、第 j 水平期間の後半においては、切り替え信号 26 がアサートされ、図 12 B に

10

20

30

40

50

示されているように、データ切り替え回路16は、ラッチ32-1~32-nにラッチされた減色画像データを、順番を入れ替えた上で、信号線駆動回路17の入力IN1~INnに転送する。詳細には、信号線駆動回路17の奇数番目の入力IN(2k-1)には、偶数番目のラッチ32-(2k)から減色画像データが転送され、偶数番目の入力IN(2k)には、奇数番目のラッチ32-(2k-1)から減色画像データが転送される。図11に示されているように、出力イネーブル信号27がアサートされると、信号線駆動回路17は、入力IN1~INnに転送された減色画像データに応じて信号線を駆動する。信号線の駆動に同期して第(2j)水平ラインに対応する走査線が走査線駆動回路19によって駆動され、これにより、第(2j)水平ラインの画素が駆動される。

【0060】

10

上述のような動作によれば、横方向、縦方向のいずれについても、隣接する画素が別々に用意された誤差値を用いて生成された別々の減色画像データによって駆動される。例えば、図13に示されているように、全ての画像データの階調値が18であるようなQVGAの画像データが入力された場合を考えよう。本実施形態では、QVGAの画像データに対して減色処理を行った後、画像が縦横2倍されるように拡大駆動を行うと、LCDパネル2上では、階調値が16である画素と階調値が20である画素とが、縦方向、横方向のいずれについても交互に配置される。したがって、輝度変化の空間周波数の低下が起らず、フリッカの発生が有効に抑制される。

【0061】

なお、上記は好ましい実施形態について述べられたに過ぎず、本発明は、様々に変更され得ることに留意されたい。例えば、好適ではないものの、データ切り替え回路16が除去され、ラッチ32-1~32-nが、信号線駆動回路17の入力IN1~INnに直接に接続されることも可能である。この場合、縦方向に隣接する画素が同一の減色画像データによって駆動されるため、縦方向については輝度変化の空間周波数の低下が発生する。しかし、横方向については輝度変化の空間周波数の低下が起らず、フリッカの発生の抑制の効果が得られる。

20

【0062】

また、上述の実施形態では、入力画像データDinが各画素の3つサブピクセルの階調をそれぞれ8ビットで表す24ビットデータであり、減色画像データDfrc1、Dfrc2が各画素の3つサブピクセルの階調をそれぞれ6ビットで表す18ビットデータであると記載されているが、入力画像データDin、減色画像データDfrc1、Dfrc2のビット数は、適宜に変更可能であることは自明的である。

30

【0063】

更に、本実施形態では、入力画像データDinが、VGA又はQVGAから選ばれたフォーマットで入力されることとして説明されているが、本発明は、一般に、第1のフォーマットの画像と、縦方向、横方向のいずれについても第1のフォーマットの画像の2倍である大きさの第2のフォーマットの画像が選択的に表示パネルドライバに供給される場合に適用可能である。

【0064】

更に、上記の実施形態では、本発明がLCDパネルの駆動について適用されている場合について記述されているが、本発明が、プラズマディスプレイパネル等の他の表示パネルについても適用可能であることは、当業者には自明的であろう。

40

【図面の簡単な説明】

【0065】

【図1A】図1Aは、全画素の階調値が18であるVGAの画像データが供給された場合に当該画像データに対して減色処理を行った場合のLCDパネルの表示の例を示す概念図である。

【図1B】図1Bは、全画素の階調値が18であるQVGAの画像データが供給された場合について、当該画像データに対して減色処理を行い、且つ、拡大駆動を行った場合におけるLCDパネルの表示の例を示す概念図である。

50

【図 2】図 2 は、本発明の一実施形態における液晶表示装置の構成を示すブロック図である。

【図 3】図 3 は、図 2 の液晶表示装置の L C D ドライバの構成を詳細に示すブロック図である。

【図 4 A】図 4 A は、減色処理回路の構成を示すブロック図である。

【図 4 B】図 4 B は、R 誤差拡散回路、G 誤差拡散回路、及び B 誤差拡散回路の構成を示すブロック図である。

【図 5】図 5 は、入力画像データが V G A のフォーマットで送られているか、Q V G A のフォーマットで送られているかを判断するアルゴリズムの例を示すフローチャートである。

10

【図 6】図 6 は、入力画像データが V G A のフォーマットで送られているか、Q V G A のフォーマットで送られているかを判断するアルゴリズムを説明するタイミングチャートである。

【図 7】図 7 は、入力画像データが V G A のフォーマットで送られた場合の R 誤差拡散回路、G 誤差拡散回路、及び B 誤差拡散回路の動作を示す概念図である。

【図 8】図 8 は、入力画像データが V G A のフォーマットで送られた場合の液晶表示装置の動作を示すタイミングチャートである。

【図 9】図 9 は、入力画像データが V G A のフォーマットで送られた場合のデータ切り替え回路の動作を示す概念図である。

【図 1 0】図 1 0 は、入力画像データが Q V G A のフォーマットで送られた場合の R 誤差拡散回路、G 誤差拡散回路、及び B 誤差拡散回路の動作を示す概念図である。

20

【図 1 1】図 1 1 は、入力画像データが Q V G A のフォーマットで送られた場合の液晶表示装置の動作を示すタイミングチャートである。

【図 1 2 A】図 1 2 A は、入力画像データが Q V G A のフォーマットで送られた場合における、第 $(2j-1)$ 水平ラインの画素を駆動するときのデータ切り替え回路の動作を示す概念図である。

【図 1 2 B】図 1 2 B は、入力画像データが Q V G A のフォーマットで送られた場合における、第 $(2j)$ 水平ラインの画素を駆動するときのデータ切り替え回路の動作を示す概念図である。

【図 1 3】図 1 3 は、入力画像データが Q V G A のフォーマットで送られた場合における、L C D パネルの表示の例を示す概念図である。

30

【符号の説明】

【0 0 6 6】

- 1：液晶表示装置
- 2：L C D パネル
- 3：L C D ドライバ
- 4：画像描画装置
- 5：同期信号
- 1 1：制御回路
- 1 2：減色処理回路
- 1 3：シフトレジスタ回路
- 1 4：データレジスタ回路
- 1 5：ラッチ回路
- 1 6：データ切り替え回路
- 1 7：信号線駆動回路
- 1 8：階調電圧発生回路
- 1 9：走査線駆動回路
- 2 0：タイミング制御回路
- 2 1：制御信号
- 2 2：タイミング信号

40

50

- 2 3 : 拡大処理信号
- 2 4 : 水平スタート信号
- 2 5 : ラッチ信号
- 2 6 : 切り替え信号
- 2 7 : 出力イネーブル信号
- 2 8 : 走査線制御信号
- 3 1 : レジスタ
- 3 2 : ラッチ
- 3 3 : ストレートスイッチ
- 3 4 : クロススイッチ
- 4 0 R : R誤差拡散回路
- 4 0 G : G誤差拡散回路
- 4 0 B : B誤差拡散回路
- 4 1、4 2、4 3、4 4 : 加算回路
- 4 5、4 6 : セレクタ
- 4 7 : Dラッチ
- 4 8 : 初期値設定回路
- 4 9 : スイッチ

10

【図 1 A】

VGA表示時

元画像データ (VGA)

18	18	18	18
18	18	18	18



FRC処理イメージ

16	20	16	20
20	16	20	16

【図 1 B】

QVGA表示時

元画像データ

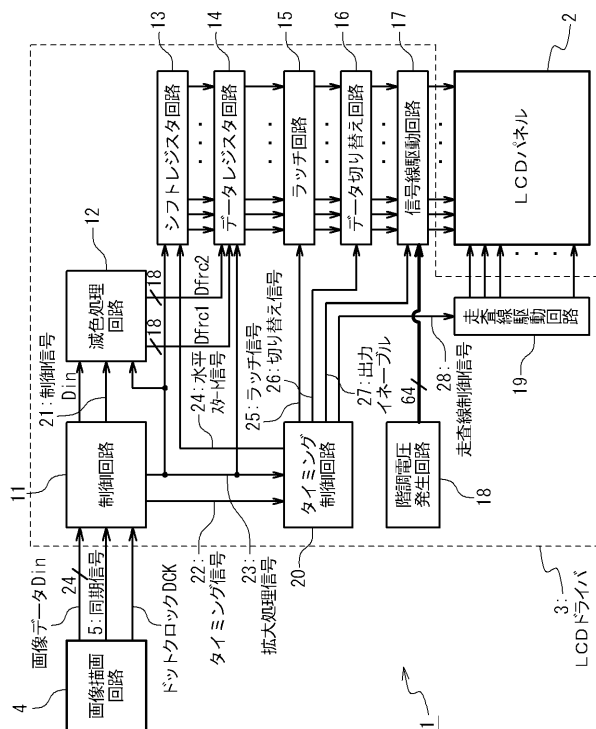
18	18
18	18



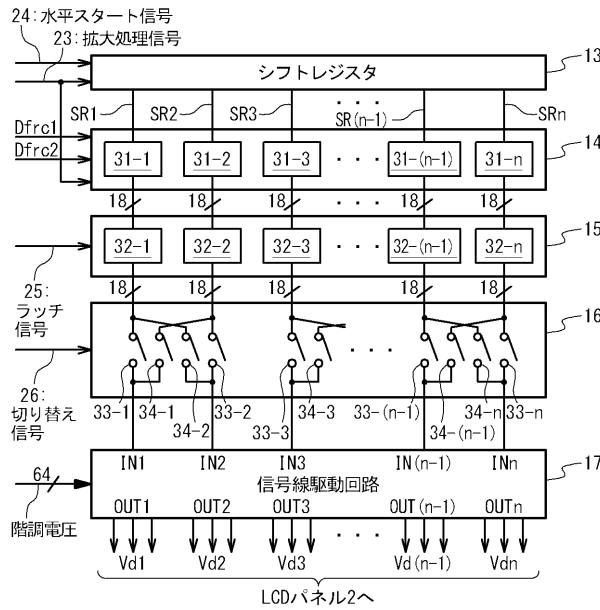
拡大処理+FRC処理イメージ

16	16	20	20
16	16	20	20
20	20	16	16
20	20	16	16

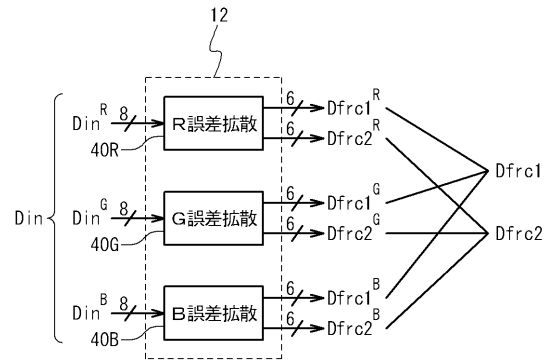
【図 2】



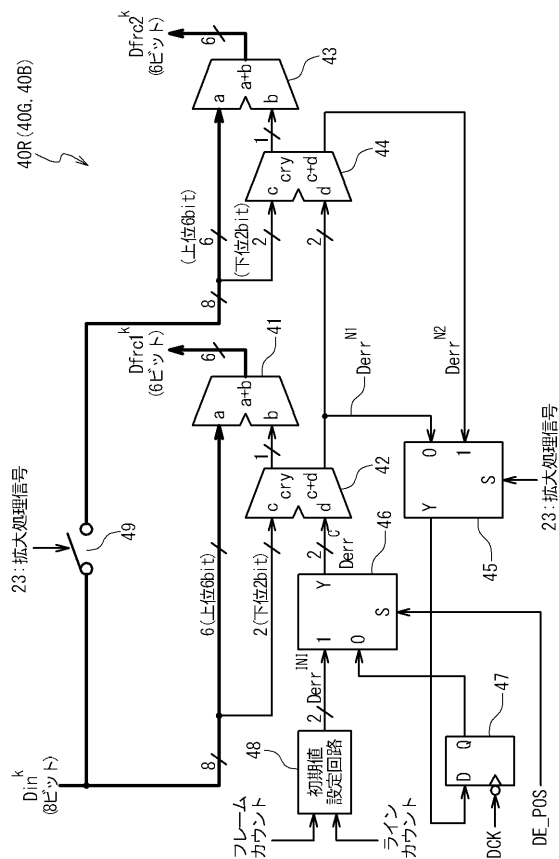
【図 3】



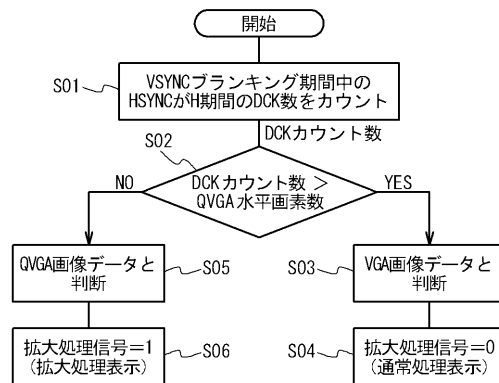
【図 4 A】



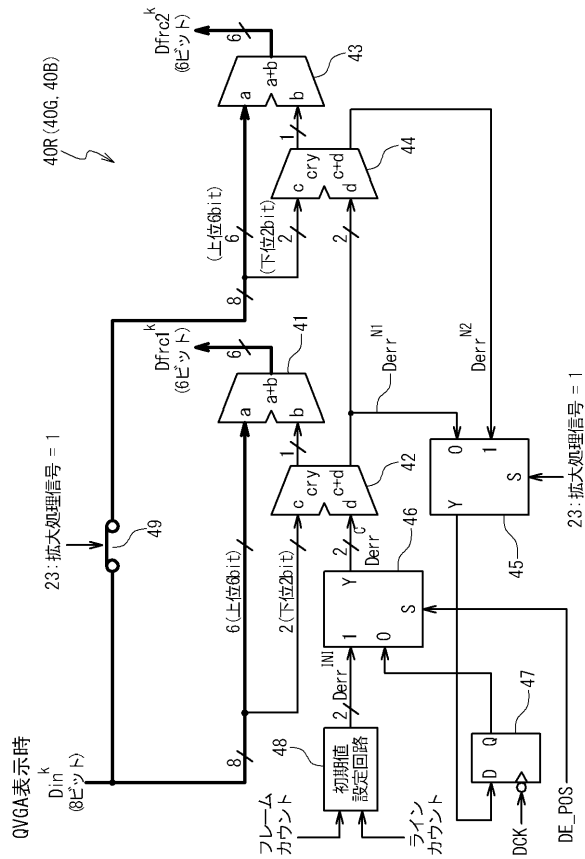
【図 4 B】



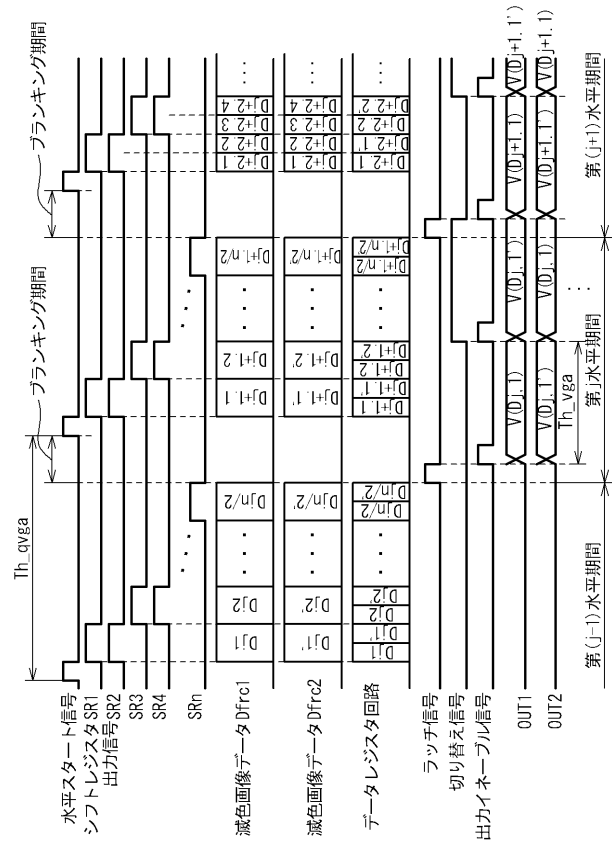
【図 5】



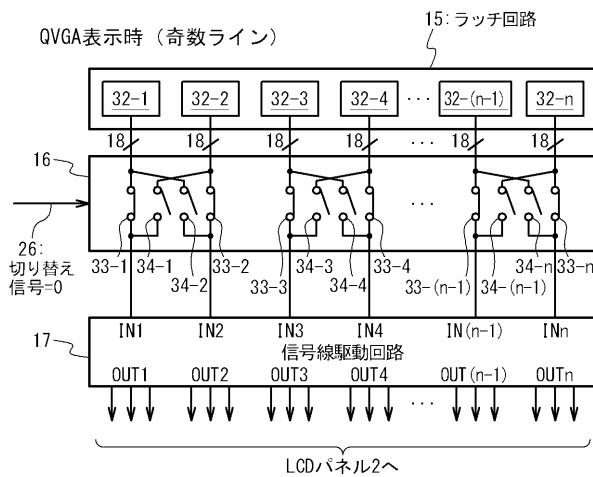
【図 10】



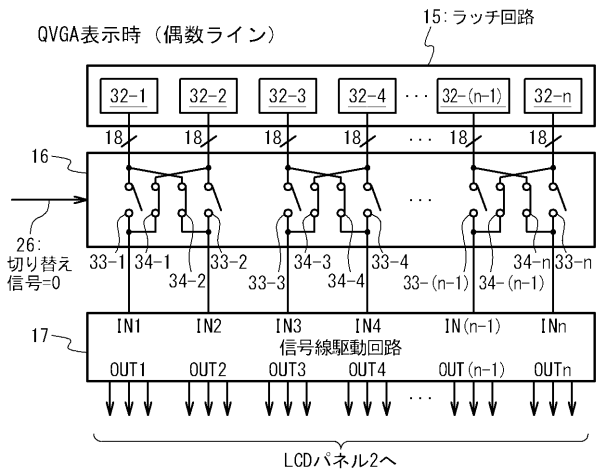
【図 11】



【図 12 A】



【図 12 B】



【図 13】

QVGA表示時

元画像データ (QVGA)

18	18	18	18	...
18	18	18	18	...



FRC処理イメージ

16	16	16	16	...
16	16	16	16	...
16	16	16	16	...
16	16	16	16	...

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 6 0 C
G 0 9 G 3/20 6 1 1 E
G 0 2 F 1/133 5 7 5
G 0 2 F 1/133 5 0 5

(72)発明者 土 弘
神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

審査官 森口 忠紀

(56)参考文献 特開 2 0 0 0 - 1 6 3 0 0 5 (J P, A)
特開平 0 9 - 2 4 4 6 0 2 (J P, A)
特開 2 0 0 5 - 1 1 4 7 7 3 (J P, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 9 G 5 / 0 0 - 5 / 4 2
G 0 2 F 1 / 1 3 3

专利名称(译)	显示装置，显示面板驱动器和显示面板驱动方法		
公开(公告)号	JP5311447B2	公开(公告)日	2013-10-09
申请号	JP2008011418	申请日	2008-01-22
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	能勢崇 降旗弘史 堀良彦 土弘		
发明人	能勢 崇 降旗 弘史 堀 良彦 土 弘		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G5/04 G09G3/2059 G09G3/3688 G09G2310/0297 G09G2340/0407		
FI分类号	G09G3/36 G09G3/20.623.B G09G3/20.641.H G09G3/20.623.G G09G3/20.641.P G09G3/20.660.C G09G3/20.611.E G02F1/133.575 G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NA55 2H093/NA57 2H093/NA63 2H093/NA64 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC35 2H093/NH06 2H093/NH18 2H193/ZA04 2H193/ZC25 2H193/ZD12 2H193/ZD23 2H193/ZD25 2H193/ZD37 2H193/ZF03 2H193/ZF22 2H193/ZF31 2H193/ZF33 2H193/ZF36 2H193/ZF43 2H193/ZF44 2H193/ZF45 5C006/AA13 5C006/AA21 5C006/AC11 5C006/AC21 5C006/BB16 5C006/BC06 5C006/BC16 5C006/BF04 5C006/BF15 5C006/FA41 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ07 5C080/KK07		
代理人(译)	工藤稔		
其他公开文献	JP2009175237A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种即使在组合色彩还原处理和用于放大图像的驱动时也不会导致图像劣化的驱动技术。解决方案：液晶显示装置1包括LCD面板2和用于驱动LCD面板2的LCD驱动器3。LCD驱动器3包括减色处理电路12和用作驱动部分的电路组13至17。色彩还原电路12被配置为：可以通过使用误差值Derr $\leq SP$ C $\leq SP$从输入图像数据Din生成色彩还原图像数据Dfrc1;可以通过使用误差值Derr $\leq SP$ N1 $\leq SP$从输入图像数据Din生成颜色减少图像数据Dfrc2。电路组13至17被配置为使得可以执行操作以：响应于减色图像数据Dfrc1，驱动位于LCD面板2的一条水平线中的第一像素;响应于减色图像数据Dfrc2，在水平方向上驱动位于LCD面板2的与第一像素相邻的一条水平线中的第二像素。Ž

