

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5229718号
(P5229718)

(45) 発行日 平成25年7月3日 (2013.7.3)

(24) 登録日 平成25年3月29日 (2013.3.29)

(51) Int.Cl.

F I

G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
G09G 3/34 (2006.01)
G09G 3/36 (2006.01)

G02F 1/133 535
 G09G 3/20 680G
 G09G 3/34 J
 G09G 3/20 612J
 G09G 3/20 612P

請求項の数 22 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2008-43080 (P2008-43080)
 (22) 出願日 平成20年2月25日 (2008.2.25)
 (65) 公開番号 特開2009-86621 (P2009-86621A)
 (43) 公開日 平成21年4月23日 (2009.4.23)
 審査請求日 平成23年2月15日 (2011.2.15)
 (31) 優先権主張番号 10-2007-0098164
 (32) 優先日 平成19年9月28日 (2007.9.28)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City,
 Gyeonggi-Do, Korea

(74) 代理人 110000051

特許業務法人共生国際特許事務所

(72) 発明者 李 起 讀

大韓民国 忠清南道 天安市 斗井洞 世
 光 エンリッチビル2次 204棟 14
 04号

最終頁に続く

(54) 【発明の名称】 バックライトドライバ及びこれを含む液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

光データをシリアル (serial) で供給するタイミングコントローラと、
 順次にイネーブルされ、前記光データの入力を受け、互いにカスケード接続された第1
 乃至第nバックライトドライバと、

前記第1乃至第nバックライトドライバの各々と接続され、前記光データに応答して光
 を放射する発光素子と、

前記光の供給を受け画像を表示する液晶パネルとを有することを特徴とする液晶表示装
 置。

【請求項2】

前記タイミングコントローラから出力される前記光データをシリアルで伝送するシリアル
 バスをさらに有し、

前記第1乃至第nバックライトドライバの各々は、前記シリアルバスに接続されること
 を特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記第1バックライトドライバは、前記タイミングコントローラから開始信号の入力を受
 けてイネーブルされ、前記光データの入力を受けて、第1キャリア信号を前記第2バック
 ライトドライバに出力することを特徴とする請求項1に記載の液晶表示装置。

【請求項4】

前記第i (1 < i < n) バックライトドライバは、前記第(i-1)バックライトドラ

10

20

イバから第 $(i - 1)$ キャリー信号の入力を受けてイネーブルされ、前記光データの入力を受けて、第 i キャリー信号を前記第 $(i + 1)$ バックライトドライバに出力することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記第 i $(1 < i < n)$ バックライトドライバは、前記第 $(i - 1)$ バックライトドライバから第 $(i - 1)$ キャリー信号の入力を受けてイネーブルされ、前記光データの入力を受けて、第 i キャリー信号を出力するインターフェース部と、

シリアルで入力された前記光データをパラレル (parallel) 光データに変換するシリアルーパラレル変換部と、

前記変換されたパラレル光データにตอบสนองして前記発光素子を制御する複数の制御部とを含むことを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 6】

前記第 i バックライトドライバは、前記シリアルーパラレル変換部から前記変換されたパラレル光データの入力を受けて保存する複数のホールディング部と、

ロード信号にตอบสนองしてイネーブルされ、前記変換されたパラレル光データを前記各制御部に伝送するスイッチング部とをさらに含むことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

第 1 キャリー信号の入力にตอบสนองしてイネーブルされ、シリアルで供給される光データの入力を受けて、第 2 キャリー信号を出力するインターフェース部と、

20

前記各光データにตอบสนองして少なくとも 1 つ以上の発光素子を制御する複数の制御部とを有することを特徴とするバックライトドライバ。

【請求項 8】

シリアルで供給される前記光データをパラレル光データに変換するシリアルーパラレル変換部をさらに有し、

前記制御部は、前記変換されたパラレル光データにตอบสนองして前記発光素子を制御することを特徴とする請求項 7 に記載のバックライトドライバ。

【請求項 9】

前記シリアルーパラレル変換部から前記変換されたパラレル光データの入力を受けて保存する複数のホールディング部と、

30

ロード信号にตอบสนองしてイネーブルされ、前記変換されたパラレル光データを前記各制御部に伝送するスイッチング部とをさらに有することを特徴とする請求項 8 に記載のバックライトドライバ。

【請求項 10】

前記制御部は、前記光データにตอบสนองしてデューティ比が調節されるパルス幅変調 (PWM) 信号を出力し、前記パルス幅変調信号を用いて前記発光素子の輝度を制御することを特徴とする請求項 7 に記載のバックライトドライバ。

【請求項 11】

タイミングコントローラと、

前記タイミングコントローラとシリアルインターフェースする第 1 乃至第 n バックライトドライバと、

40

前記第 1 乃至第 n バックライトドライバの各々と対応し、その各々が少なくとも 1 つ以上の発光素子を含む複数の発光ブロックと、

前記発光ブロックから光の供給を受け画像を表示する液晶パネルとを有し、

前記第 1 乃至第 n バックライトドライバの各々は対応する前記発光ブロック単位で輝度を制御することを特徴とする液晶表示装置。

【請求項 12】

前記タイミングコントローラから出力される前記光データをシリアル (serial) で伝送するシリアルバスをさらに有し、

前記第 1 乃至第 n バックライトドライバの各々は前記シリアルバスに接続されることを

50

特徴とする請求項 1 1 に記載の液晶表示装置。

【請求項 1 3】

前記第 1 乃至第 n バックライトドライバは、互いにカスケード接続され、順次にイネーブルされて前記光データの入力を受けることを特徴とする請求項 1 1 に記載の液晶表示装置。

【請求項 1 4】

前記第 1 バックライトドライバは、前記タイミングコントローラから開始信号の入力を受けてイネーブルされ、前記光データの入力を受けて、第 1 キャリー信号を前記第 2 バックライトドライバに出力することを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 5】

前記第 i ($1 < i < n$) バックライトドライバは前記第 ($i - 1$) バックライトドライバから第 ($i - 1$) キャリー信号の入力を受けてイネーブルされ、前記光データの入力を受けて、第 i キャリー信号を第 ($i + 1$) バックライトドライバに出力することを特徴とする請求項 1 4 に記載の液晶表示装置。

【請求項 1 6】

前記第 i ($1 < i < n$) バックライトドライバは、前記第 ($i - 1$) バックライトドライバから第 ($i - 1$) キャリー信号の入力を受けてイネーブルされ、前記光データの入力を受けて、第 i キャリー信号を出力するインターフェース部と、

シリアルで入力された前記光データをパラレル (parallel) 光データに変換するシリアルーパラレル変換部と、

前記変換されたパラレル光データに応答して前記発光素子を制御する複数の制御部とを含むことを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 7】

前記第 i バックライトドライバは、前記シリアルーパラレル変換部から前記変換されたパラレル光データの入力を受けて保存する複数のホールディング部と、

ロード信号に応答してイネーブルされ、前記変換されたパラレル光データを前記各制御部に伝送するスイッチング部とをさらに含むことを特徴とする請求項 1 6 に記載の液晶表示装置。

【請求項 1 8】

前記タイミングコントローラは、アドレス信号をシリアルで供給し、

前記第 1 乃至第 n バックライトドライバの各々は、対応する前記アドレス信号に応答してイネーブルされ、イネーブルされた時、前記光データの入力を受けることを特徴とする請求項 1 1 に記載の液晶表示装置。

【請求項 1 9】

前記光データおよび前記アドレス信号をシリアルで伝送する I 2 C バス (Inter Integrated Circuit Bus) をさらに有することを特徴とする請求項 1 8 に記載の液晶表示装置。

【請求項 2 0】

前記第 1 乃至第 n バックライトドライバの各々は、対応する前記アドレス信号の入力に応答してイネーブルされ、前記光データの入力を受けるインターフェース部と、

シリアルで入力された前記光データをパラレル光データに変換するシリアルーパラレル変換部と、

前記変換されたパラレル光データにに応答して前記発光素子を制御する複数の制御部とを含むことを特徴とする請求項 1 8 に記載の液晶表示装置。

【請求項 2 1】

前記第 1 乃至第 n バックライトドライバの各々は、前記シリアルーパラレル変換部から前記変換されたパラレル光データの入力を受けて保存する複数のホールディング部と、

ロード信号に応答してイネーブルされ、前記変換されたパラレル光データを前記各制御部に伝送するスイッチング部とをさらに含むことを特徴とする請求項 2 0 に記載の液晶表示装置。

10

20

30

40

50

【請求項 22】

前記複数の発光ブロックは、行列形態で配列され、

前記第1乃至第nバックライトドライバの各々は前記複数の発光ブロックの列 (column) と対応し、

前記第1乃至第nバックライトドライバは前記発光ブロックの行 (row) 単位でターンオン／ターンオフを制御することを特徴とする請求項11に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明はバックライトドライバ及びこれを含む液晶表示装置に関し、詳細には配線数を減ずることができるバックライトドライバ及びこれを含む液晶表示装置に関するものである。

【背景技術】

【0002】

液晶表示装置は画素電極が具備される第1表示板と、共通電極が具備される第2表示板と、第1表示板と第2表示板の間に注入された誘電率異方性 (dielectric anisotropy) を有する液晶層とを有する液晶パネルを含む。画素電極と共通電極の間に電界が形成され、この電界の強さが調節されることによって液晶パネルを透過する光の量が制御され望む画像が表示される。

20

【0003】

このような液晶表示装置は自己が発光型表示装置ではないため、多数の発光素子が具備される (例えば、特許文献1参照)。液晶表示装置に使用される発光素子が増えるにともない、発光素子に接続される配線数が増加するという問題がある。

【0004】

【特許文献1】特開2005-135909号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

そこで、本発明は上記従来の液晶表示装置における問題点に鑑みてなされたものであって、本発明の目的は、配線数を減ずることができるバックライトドライバを提供するものである。

30

また、本発明の他の目的は、配線数を減ずることができる液晶表示装置を提供するものである。

【課題を解決するための手段】

【0006】

上記目的を達成するためになされた本発明による液晶表示装置は、光データをシリアル (serial) で供給するタイミングコントローラと、順次にイネーブルされ、前記光データの入力を受け、互いにカスケード接続された第1乃至第nバックライトドライバと、前記第1乃至第nバックライトドライバの各々と接続され、前記光データに応答して光を放射する発光素子と、前記光の供給を受け画像を表示する液晶パネルとを有することを特徴とする。

40

【0007】

上記目的を達成するためになされた本発明によるバックライトドライバは、第1キャリア信号の入力に応答してイネーブルされ、シリアルで供給される光データの入力を受けて、第2キャリア信号を出力するインターフェース部と、前記各光データに応答して少なくとも1つ以上の発光素子を制御する複数の制御部とを有することを特徴とする。

【0008】

また、上記目的を達成するためになされた本発明による液晶表示装置は、タイミングコントローラと、前記タイミングコントローラとシリアルインターフェースする第1乃至第

50

nバックライトドライバと、前記第1乃至第nバックライトドライバの各々と対応し、その各々が少なくとも1つ以上の発光素子を含む複数の発光ブロックと、前記発光ブロックから光の供給を受け画像を表示する液晶パネルとを有し、前記第1乃至第nバックライトドライバの各々是对応する前記発光ブロック単位で輝度を制御することを特徴とする。

【発明の効果】

【0009】

本発明に係るバックライトドライバ及びこれを含む液晶表示装置によれば、バックライトドライバとタイミングコントローラを接続する配線、バックライトドライバと発光素子を接続する配線の数減ずることができるという効果がある。それによって、液晶表示装置の製造費用を減ずることができる。また、配線の短絡および断線などの問題が減少し信頼性を確保することができるという効果がある。

10

【発明を実施するための最良の形態】

【0010】

次に、本発明に係るバックライトドライバ及びこれを含む液晶表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。

【0011】

しかし本発明は以下で開示される実施形態に限定されるものではなく互いに異なる多様な形態で具現されるものであり、単に本実施形態は本発明の開示が完全なようにし、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らせるために提供されるものであり、本発明は請求項の範囲によってのみ定義される。明細書全体にかけて、同一参照符号は同一構成要素を指称する。

20

一つの素子 (e l e m e n t s) が他の素子と「接続された (c o n n e c t e d t o) 」または「カップリングされた (c o u p l e d t o) 」と指称されるのは、他の素子と直接接続またはカップリングされた場合または中間に他の素子を介在した場合をすべて含む。反面、一つの素子が他の素子と「直接接続された (d i r e c t l y c o n n e c t e d t o) 」または「直接カップリングされた (d i r e c t l y c o u p l e d t o) 」と指称されるのは中間に他の素子を介在しないことを表す。明細書全体にかけて、同一参照符号は同一構成要素を指称する。「および／または」は言及されたアイテムの各々および一つ以上のすべての組合せを含む。

たとえば、「第1」、「第2」等が多様な素子、構成要素および／またはセクションを叙述するために使用されたり、これら素子、構成要素および／またはセクションはこれら用語によって制限されないのはもちろんである。これら用語は単に一つの素子、構成要素またはセクションを他の素子、構成要素またはセクションと区別するために使用するものである。したがって、以下で言及される第1素子、第1構成要素または第1セクションは本発明の技術的思想内で第2素子、第2構成要素または第2セクションであることもあるのはもちろんである。

30

本明細書で使用された用語は実施形態を説明するためであり、本発明を制限しようとするものではない。本明細書で、単数型は文句で特別に言及しない限り複数型も含む。明細書で使用される「有する (c o m p r i s e s) 」および／または「有する (c o m p r i s i n g) 」は言及された構成要素、段階、動作および／または素子は一つ以上の他の構成要素、段階、動作および／または素子の存在または追加を排除しない。

40

他の定義がないならば、本明細書で使用するすべての用語（技術および科学的用語を含む）は本発明が属する技術分野で通常の知識を有する者に共通に理解され得る意味で使用され得るものである。また一般的に使用される事前に定義されている用語は明白に特別に定義されていない限り理想的にまたは過度に解釈されない。

【0012】

図1～図4を参照して、本発明の第1の実施形態によるバックライトドライバ及びこれを含む液晶表示装置を説明する。

図1は本発明の第1の実施形態による液晶表示装置を説明するためのブロック図であり、図2は一画素の等価回路図であり、図3は図1のバックライトドライバの動作を説明す

50

るための概念図であり、図4は図1の第*i*バックライトドライバを説明するためのブロック図である。

【0013】

図1を参照すると、液晶表示装置10は液晶パネル300、ゲートドライバ400、データドライバ500、タイミングコントローラ800、第1乃至第*n*バックライトドライバ(900_1~900_*n*)及び第1~第*n*バックライトドライバ(900_1~900_*n*)各々に接続された発光素子(L1~L*n*)を含む。

【0014】

ここでタイミングコントローラ800は機能的に第1タイミングコントローラ600と第2タイミングコントローラ700に区分され得る。第1タイミングコントローラ600は液晶パネル300に表示される画像を制御し、第2タイミングコントローラ700は第1~第*n*バックライトドライバ(900_1~900_*n*)を制御し得る。第1タイミングコントローラ600と第2タイミングコントローラ700が物理的に分離されないこともある。

【0015】

まず、液晶パネル300は等価回路として見る時、多数の表示信号線(G1~G*k*、D1~D*j*)とこれらと接続された複数の画素(未図示)を含む。複数の表示信号線(G1~G*k*、D1~D*j*)は複数のゲートライン(G1~G*k*)と複数のデータライン(D1~D*j*)を含む。

【0016】

液晶パネル300には複数の画素を含むが、図2に、一画素に対する等価回路を示す。画素(PX)、例をあげれば*f*番目(*f*=1~*i*)ゲートライン(G*f*)と*g*番目(*g*=1~*j*)データ線(D*g*)に接続された画素(PX)は、ゲートライン(G*f*)およびデータライン(D*g*)に接続されたスイッチング素子(Q*p*)と、これに接続された液晶キャパシタ(liquid crystal capacitor)(C_{lc})および維持キャパシタ(storage capacitor)(C_{st})を含む。液晶キャパシタ(C_{lc})は第1表示板100の画素電極(PE)と、第2表示板200の共通電極(CE)と、両表示板に挟まれた液晶層150を含む。共通電極(CE)の一部には色フィルタ(CF)が形成されている。

【0017】

図1のデータドライバ500は第1タイミングコントローラ600からデータ制御信号(CONT1)の入力を受け、画像データ電圧をデータライン(D1~D*j*)に印加する。データ制御信号(CONT1)は赤(R)、緑(G)、青(B)に対応する画像信号であるR、G、B信号(R、G、B)およびデータドライバ400の動作を制御する信号を含む。データドライバ400の動作を制御する信号はデータドライバ400の動作を開始する水平開始信号および画像データ電圧の出力を指示する出力指示信号などを含み得る。

【0018】

ゲートドライバ400は第1タイミングコントローラ600からゲート制御信号(CONT2)の入力を受け、ゲート信号をゲートライン(G1~G*k*)に印加する。ここでゲート信号はゲートオン/オフ電圧発生部(未図示)から供給されたゲートオン電圧(V_{on})とゲートオフ電圧(V_{off})の組み合わせでなる。ゲート制御信号(CONT2)はゲートドライバ500の動作を制御するための信号であって、ゲートドライバ500の動作を開始する垂直開始信号、ゲートオン電圧の出力時期を決定するゲートクロック信号およびゲートオン電圧のパルス幅を決定する出力イネーブル信号などを含み得る。

【0019】

ゲートドライバ400またはデータドライバ500は複数の駆動集積回路チップの形態で液晶パネル300の上に直接装着されたり、可撓性印刷回路フィルム(flexible printed circuit film)(未図示)の上に装着され、テープキャリアパッケージ(tape carrier package)の形態で液晶パネル300に付着することもできる。これとは異なり、ゲートドライバ400またはデータドラ

10

20

30

40

50

イバ500は表示信号線(G1~Gk、D1~Dj)とスイッチング素子(Qp)などと一緒に液晶パネル300に集積され得る。

【0020】

第1タイミングコントローラ600は外部のグラフィック制御器(未図示)からR、G、B信号(R、G、B)およびこれの表示を制御する複数の制御信号を受信する。R、G、B信号(R、G、B)および制御信号に基づきデータ制御信号(CONT1)およびゲート制御信号(CONT2)を生成する。制御信号の例としては垂直同期信号(Vsync)と垂直同期信号(Hsync)、メインクロック(Mclk)、データイネーブル信号(DE)等がある。また第1タイミングコントローラ600はバックライト制御信号(CONT3)を第2タイミングコントローラ700に送信する。バックライト制御信号(CONT3)は光データを含み得る。光データは各発光素子(L1~Ln)の輝度を調節するのに利用される。

10

【0021】

第2タイミングコントローラ700は第1タイミングコントローラ600からバックライト制御信号(CONT3)の入力を受けて光データをシリアル(serial)で第1~第nバックライトドライバ(900_1~900_n)に供給する。ここで光データはシリアルバス(SB)を通して供給され得る。また第2タイミングコントローラ700は開始信号(LS)を第1バックライトドライバ(900_1)に送信する。

【0022】

第1~第nバックライトドライバ(900_1~900_n)は互いにカスケード接続され、順次にイネーブルされシリアルで供給される光データの入力を受ける。図1および図3を参照して説明すれば、まず第2タイミングコントローラ700が光データ(LDAT1~LDATi)をシリアルで伝送すると同時に“ハイ”レベルの開始信号(LS)を送信する。第1バックライトドライバ(900_1)は“ハイ”レベルの開始信号(LS)の入力を受けてイネーブルされ、シリアルで供給される光データ(LDAT1)の入力を受ける。

20

【0023】

ここで第2~第nバックライトドライバ(900_2~900_n)は光データ(LDAT1)の入力を受けない。第1バックライトドライバ(900_1)は第1バックライトドライバ(900_1)に対応する光データ(LDAT1)の入力を受けた後、“ハイ”レベルの第1キャリア信号(CA_1)を出力する。この時、開始信号(LS)は“ロー”レベルに遷移することができる。開始信号(LS)が“ロー”レベルに遷移すれば、第1バックライトドライバ(900_1)は光データ(LDAT2~LDATi)の入力を受けない。

30

【0024】

次に、第2バックライトドライバ(900_2)は“ハイ”レベルの第1キャリア信号(CA_2)の入力を受けてイネーブルされ、第2バックライトドライバ(900_2)に対応する光データ(LDAT2)の入力を受けて、“ハイ”レベルの第2キャリア信号(CA_2)を出力する。第iバックライトドライバ(900_i)は“ハイ”レベルの第(i-1)キャリア信号(CA_{i-1})の入力を受けてイネーブルされ、第iバックライトドライバ(900_i)に対応する光データ(LDATi)の入力を受け、“ハイ”レベルの第iキャリア信号(CA_i)を出力する。

40

【0025】

第1~第nバックライトドライバ(900_1~900_n)各々は入力された光データ(LDAT1~LDATi)に応答して各発光素子(L1~Ln)の輝度を制御する。

次に、図3および図4を参照して、第iバックライトドライバ(900_i)を例にあげて、第1~第nバックライトドライバ(900_1~900_n)をもう少し具体的に説明する。ここでは、ブーストコンバータが発光素子(L1~Ln)の動作に必要な電源電圧を提供する場合を例にあげて説明するが、ただし、本発明がこれに限定されるものではない。

50

【0026】

図4を参照すると、第*i*バックライトドライバ(900__*i*)はインターフェース部(911__*i*)および制御部を含む。制御部は、パルス幅変調(pulse width modulation: PWM)信号生成部(920__*i*)とスイッチング素子(Q_D)を含み得る。

【0027】

インターフェース部(910__*i*)は第(*i*−1)キャリア信号(CA_i-1)の入力に応答してイネーブルされ、第*i*バックライトドライバ(900__*i*)に対応する光データ(LDAT*i*)の入力を受け、第*i*キャリア信号(CA_i-1)を出力する。例えば、インターフェース部(910__*i*)は“ハイ”レベルの第(*i*−1)キャリア信号(CA_i-1)の入力に応答してイネーブルされ、“ハイ”レベルの第*i*キャリア信号(CA_i)を出力した後、ディセイブル(disable)される。

10

【0028】

上述のように、制御部は、パルス幅変調信号生成部(920__*i*)とスイッチング素子(Q_D)を含み、第*i*バックライトドライバ(900__*i*)に対応する光データ(LDAT*i*)に応答して発光素子(L*i*)の輝度を制御する。

【0029】

パルス幅変調信号生成部(920__*i*)は光データ(LDAT*i*)に応答してデューティ比が調節されるパルス幅変調信号(PWM__*i*)を出力する。スイッチング素子(Q_D)はパルス幅変調信号(PWM__*i*)によってターンオン／ターンオフされ、発光素子(L*i*)とグラウンドノード(ground node)を接続させたり遮断する。

20

【0030】

例えば、スイッチング素子(Q_D)はパルス幅変調信号(PWM__*i*)が“ハイ”レベルの区間でターンオンされて、発光素子(L*i*)とグラウンドノードとを接続させる。この時、電流(I_L)が流れるようになって発光素子(L*i*)は光を放射する。またはスイッチング素子(Q_D)はパルス幅変調信号(PWM__*i*)が“ロー”レベルの区間でターンオフされ、発光素子(L*i*)とグラウンドノードを遮断させる。この時、電流(I_L)が流れなくなって発光素子(L*i*)はターンオフされる。

【0031】

ここでパルス幅変調信号(PWM__*i*)の“ハイ”レベルの区間と“ロー”レベルの区間とによって、発光素子(L*i*)がターンオンしている時間が決定される。発光素子(L*i*)がターンオンしている時間が長くなれば、輝度は増加する。整理すれば、光データ(LDAT*i*)によってパルス幅変調信号(PWM__*i*)のデューティ比が調節され、パルス幅変調信号(PWM__*i*)のデューティ比によって輝度が調節される。ただし制御部は、上述したように、発光素子(L*i*)のターンオン／ターンオフによって輝度が制御される方法外に発光素子(L*i*)の電流の量を調節して輝度を制御し得る。

30

【0032】

ブーストコンバータはインダクタ(L)、ダイオード(D)、キャパシタ(C)、スイッチング素子(Q_B)およびクロック信号生成部(930__*i*)を含む。ブーストコンバータはクロック信号(CK)の入力を受けて入力電圧(V_{in})をブーストして、発光素子(L*i*)の動作に必要な電源電圧を供給する。ここでクロック信号生成部(930__*i*)は第*i*バックライトドライバ(900__*i*)内部に具備され得る。ブーストコンバータは広く知られたブースティング回路であるため、説明の便宜上詳細な説明は省略する。

40

【0033】

このような本発明の一実施形態による第1～第*n*バックライトドライバ(900__1～900__*n*)およびこれを含む液晶表示装置によれば、タイミングコントローラ800がシリアルバス(SB)を通して光データをシリアルで第1～第*n*バックライトドライバ(900__1～900__*n*)に提供するため、タイミングコントローラ800と第1～第*n*バックライトドライバ(900__1～900__*n*)間の配線数を減ずることができる。配線数が減少すれば、製造費用を減ずることができ、配線の短絡および断線によって発生す

50

る問題が減る。

【0034】

図5を参照して、本発明の第2の実施形態による液晶表示装置を説明する。図5は本発明の第2の実施形態による液晶表示装置を説明するためのブロック図である。図1に示した構成要素と同一の機能をする構成要素に対しては同一の図面符号を使用し、説明の便宜上、該当構成要素に対する詳細な説明は省略する。

【0035】

図5を参照すると、前述の実施形態とは異なり、液晶表示装置11の第1タイミングコントローラ601が開始信号(LS)を第1バックライトドライバ(900_1)に送信する。ここで開始信号(LS)はデータ制御信号(CONT1)およびゲート制御信号(CONT2)のうち一つであり得る。

10

【0036】

例えば開始信号(LS)は、図1のゲートドライバ400の動作を開始する垂直開始信号、ゲートオン電圧の出力時期を決定するゲートクロック信号、ゲートオン電圧のパルス幅を決定する出力イネーブル信号、図1のデータドライバ500の動作を開始する水平開始信号、画像データ電圧の出力を指示する出力指示信号のうち何れか一つであり得る。

またはこれらのうち何れか一つに同期された信号であり得る。またはこれらの組合せであり得る。

または開始信号(LS)は垂直同期信号(Vsync)、垂直同期信号(Hsync)、メインクロック(MCLK)およびデータイネーブル信号(DE)のうち何れか一つであり得る。またはこれらのうち何れか一つに同期された信号であり得る。またはこれらの組合せであり得る。

20

【0037】

図6および図7を参照して、本発明の第3の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明する。図6は本発明の第3の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図であり、図7は図6のシリアルーパラレル変換部の動作を説明するための概念図である。図4に示した構成要素と同一の機能をする構成要素に対しては同一の図面符号を使用し、説明の便宜上、該当構成要素に対する詳細な説明は省略する。

【0038】

図6を参照すると、前述の実施形態とは異なり、第iバックライトドライバ(900_i)は複数の発光素子、例えば8個の発光素子(Li_1~Li_8)を制御する。

第iバックライトドライバ(900_i)は複数の発光素子(Li_1~Li_8)を制御するためにシリアルーパラレル変換部(941_i)と複数の制御部をさらに含む。各制御部は、パルス幅変調信号生成部(921_i~928_i)とスイッチング素子(QD_1~QD_8)を含む。

30

【0039】

図6および図7を参照して、もう少し具体的に説明すれば、インターフェース部(911_i)は第(i-1)キャリア信号(CA_{i-1})の入力に応答してイネーブルされ、シリアルで供給される光データ(LDAT_i)の入力を受ける。

40

そして、インターフェース部(911_i)は第iキャリア信号(CA_i)を出力する。シリアルーパラレル変換部(941_i)はシリアルで入力された光データ(LDAT_i)をパラレル光データに変換する。例えば、第iバックライトドライバ(900_i)が8個の発光素子(Li_1~Li_8)を個別に制御する場合、第iバックライトドライバ(900_i)に対応する光データ(LDAT_i)は8個のサブ光データ(LDAT_i_1~LDAT_i_8)を含む。シリアルーパラレル変換部(941_i)は各サブ光データ(LDAT_i_1~LDAT_i_8)を並列で各パルス幅変調信号生成部(921_i~928_i)に供給する。

【0040】

上述したように、各制御部は、パルス幅変調信号生成部(921_i~928_i)と

50

スイッチング素子 ($Q_{D_1} \sim Q_{D_8}$) を含み、変換されたパラレル光データに応答して発光素子 ($Li_1 \sim Li_8$) の輝度を制御する。

【0041】

図8～図13を参照して、本発明の第3の実施形態によるバックライトドライバおよびこれを含む液晶表示装置に対して説明する。

図8は本発明の第3の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図であり、図9～図13は、図8の発光ブロックの動作を説明するための概念図である。図1に示した構成要素と同一の機能をする構成要素に対しては同一の図面符号を使用し、説明の便宜上該当構成要素に対する詳細な説明は省略する。

10

【0042】

図8を参照すると、液晶表示装置12はタイミングコントローラ802、第1～第nバックライトドライバ ($902_1 \sim 902_n$) および複数の発光ブロック ($LB_1 \sim LB_80$)、例えば80個の発光ブロック ($LB_1 \sim LB_80$) を含む。各発光ブロック ($LB_1 \sim LB_80$) は少なくとも一つの発光素子を含む。

【0043】

タイミングコントローラ802は第1～第nバックライトドライバ ($902_1 \sim 902_n$) 各々とシリアルインターフェースする。ここでは、タイミングコントローラ802はシリアルバス (SB) を用いて第1～第nバックライトドライバ ($902_1 \sim 902_n$) 各々とシリアルインターフェースすることができる。

20

【0044】

例えば、タイミングコントローラ802がシリアルバス (SB) を通して第1～第nバックライトドライバ ($902_1 \sim 902_n$) 各々に光データをシリアルに提供すれば、各第1～第nバックライトドライバ ($902_1 \sim 902_n$) は、前述したように、キャリア信号によってイネーブルされ、第1～第nバックライトドライバ ($902_1 \sim 902_n$) に対応する光データの入力を受けられる。または第1～第nバックライトドライバ ($902_1 \sim 902_n$) が自身の固有のアドレスを有する場合、タイミングコントローラ802がシリアルバス (SB) を通して第1～第nバックライトドライバ ($902_1 \sim 902_n$) のアドレス信号と光データをシリアルに提供し、第1～第nバックライトドライバ ($902_1 \sim 902_n$) は自身のアドレス信号によってイネーブルされ、光データの入力を受けることができる。ただし、タイミングコントローラ802がシリアルバス (SB) を通して光データを第1～第nバックライトドライバ ($902_1 \sim 902_n$) 各々に提供する方法はこれに限定されるものではない。

30

【0045】

複数の発光ブロック ($LB_1 \sim LB_80$) は第1～第nバックライトドライバ ($902_1 \sim 902_n$) 各々に対応する。例えば、第1～第8発光ブロック ($LB_1 \sim LB_8$) は第1バックライトドライバ (900_1) と対応し、第9～第16発光ブロック ($LB_9 \sim LB_16$) は第2バックライトドライバ (900_2) と対応する。すなわち、第1バックライトドライバ (900_1) は第1～第8発光ブロック ($LB_1 \sim LB_8$) を制御し、第2バックライトドライバ (900_2) は第9～第16発光ブロック ($LB_9 \sim LB_16$) を制御する。また複数の発光ブロック ($LB_1 \sim LB_80$) は行列形態で配列され得る。例えば複数の発光ブロック ($LB_1 \sim LB_80$) は8個の行 (row) と10個の列 (column) (8×10 行列) ($n=10$ の場合) から成る行列形態であり得る。このような複数の発光ブロック ($LB_1 \sim LB_80$) は図1の液晶パネル300に対向する領域 (301) 内に具備され、液晶パネル300に光を提供する。

40

【0046】

第1～第nバックライトドライバ ($902_1 \sim 902_n$) は発光ブロック ($LB_1 \sim LB_80$) 単位で各発光ブロック ($LB_1 \sim LB_80$) の輝度を制御する。

図8および図9を参照し、より具体的に説明すれば、第1バックライトドライバ (90

50

0__1)は8×10行列の第1列の第1行及び第2行の第1及び第2発光ブロック(LB__1、LB__2)の輝度を低くめ、第3行～第8行の第3～第8発光ブロック(LB__3～LB__8)の輝度を高めることができる。

第2バックライトドライバ(900__2)は8×10行列の第2列の第1行及び第2行の第9及び第10発光ブロック(LB__9、LB__10)の輝度を低くめ、第3行～第8行の第11～第16発光ブロック(LB__11～LB__16)の輝度を高めることができる。

第3～第nバックライトドライバ(902__3～900__n)は各々8×10行列の第3～第10列の第1行～第8行の発光ブロックの輝度を高めることができる。すなわち、液晶パネル300に表示される画像によって、第1～第nバックライトドライバ(902__1～902__n)は各々対応する発光ブロック(LB__1～LB__80)の輝度を制御することができる。液晶パネル300に表示される画像によって、各発光ブロック(LB__1～LB__80)の輝度を制御する場合、電力消費を減ずることができる。

【0047】

または第1～第nバックライトドライバ(902__1～902__n)は発光ブロック(LB__1～LB__80)の行単位でターンオン/ターンオフを制御することができる。

図8及び図10～図13を参照し、より具体的に説明すれば、例えば、t=t1の時点で、8×10行列の第1行～第3行の発光ブロックがターンオンされ、第4行～第8行の発光ブロックがターンオフされ得る。

次に、t=t2の時点で、第2行～第4行の発光ブロックがターンオンされて、第1行、及び第5行～第8行の発光ブロックLB8がターンオフされ得る。

次に、t=t3の時点で、第3行～第5行の発光ブロックがターンオンされ、第1行、第2行、及び第6行～第8行の発光ブロックがターンオフされ得る。

次に、t=t4の時点で、第4行～第6行の発光ブロックがターンオンされ、第1行～第3行(ROW3)、第7行、及び第8行の発光ブロックがターンオフされ得る。

このように順次に行単位でターンオンおよびターンオフされ得る。このように、時間によって各発光ブロック(LB__1～LB__80)をターンオフする場合、液晶パネル300に表示される画像の間にブラック画像を挿入する効果が発生する。したがって動画が表示される場合、CRTのような優秀な表示品質を得ることができる。

【0048】

次に、発光ブロック(LB__1～LB__80)の動作を制御するバックライトドライバおよびこれを含む液晶表示装置を以下の各実施形態を通して具体的に説明する。

【0049】

図14及び図15を参照し、本発明の第4の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明する。

【0050】

図14は、本発明の第4の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図であり、図15は、図14のバックライトドライバを説明するためのブロック図である。図6および図8に示した構成要素と同一の機能を有する構成要素に対しては同一の図面符号を使用し、説明の便宜上該当構成要素に対する詳細な説明は省略する。

【0051】

図14を参照すると、前述の実施形態とは異なり、液晶表示装置13の第2タイミングコントローラ703が第1～第nバックライトドライバ(903__1～903__n)にロード信号(LOAD)を供給する。第1～第nバックライトドライバ(903__1～903__n)はロード信号(LOAD)の供給を受け入力された光データに応答して第1～第nバックライトドライバ(903__1～903__n)に対応する各発光ブロック(LB__1～LB__80)の輝度を制御する。ロード信号(LOAD)によって、第1～第nバックライトドライバ(903__1～903__n)は同時に光データに応答して各発光ブロック(LB__1～LB__80)の輝度を制御することができる。したがって第1～第nバック

クライトドライバ（ $903_1 \sim 903_n$ ）は、図10～図13に示したように各時点（ t_1 、 t_2 、 t_3 、 t_4 ）で各発光ブロック（ $LB_1 \sim LB_80$ ）の輝度を制御することができる。

【0052】

図14及び図15を参照し、より具体的に説明すれば、第1～第 n バックライトドライバ（ $903_1 \sim 903_n$ ）はインターフェース部（ 911_i ）、シリアルーパラレル変換部（ 941_i ）、複数のホールディング部（ $951_i \sim 958_i$ ）、複数のスイッチング部（ $SW1_i \sim SW8_i$ ）および複数の制御部を含む。

各制御部はパルス幅変調信号生成部（ $921_i \sim 928_i$ ）とスイッチング素子（ $Q_{D_1} \sim Q_{D_8}$ ）を含む。例えば複数の発光ブロック（ $LB_1 \sim LB_80$ ）が 8×10 の行列形態で配列される場合、バックライトドライバ（ $903_1 \sim 903_n$ ）は10個であり、ホールディング部（ $951_i \sim 958_i$ ）およびスイッチング部（ $SW1_i \sim SW8_i$ ）は各々8個であり得る。

【0053】

上述したようにシリアルーパラレル変換部（ 941_i ）がシリアルで提供された光データ（ $LDA Ti$ ）をパラレル光データに変換し、各ホールディング部（ $951_i \sim 958_i$ ）はパラレル光データを保存する。各スイッチング部（ $SW1_i \sim SW8_i$ ）はロード信号（ $LOAD$ ）に応答してパラレル光データを各制御部に伝送する。各制御部はパラレル光データに応答して各発光ブロック（ $LB_1 \sim LB_80$ ）の輝度を制御する。

【0054】

ここで第1～第 n バックライトドライバ（ $903_1 \sim 903_n$ ）が複数のホールディング部（ $951_i \sim 958_i$ ）、複数のスイッチング部（ $SW1_i \sim SW8_i$ ）および複数の制御部を含むため、第1～第 n バックライトドライバ（ $903_1 \sim 903_n$ ）は、図9のように各発光ブロック（ $LB_1 \sim LB_80$ ）別に輝度を制御することができる。

【0055】

また第2タイミングコントローラ703がロード信号（ $LOAD$ ）を第1～第 n バックライトドライバ（ $903_1 \sim 903_n$ ）に提供するため、ある一定の時点に複数の発光ブロック（ $LB_1 \sim LB_80$ ）の輝度を行単位で制御することができる。

【0056】

本実施形態による第1～第 n バックライトドライバ（ $903_1 \sim 903_n$ ）および液晶表示装置13によれば、各発光ブロック（ $LB_1 \sim LB_80$ ）別に輝度を制御することができる、複数の発光ブロック（ $LB_1 \sim LB_80$ ）の輝度を行単位で制御することができる。また、タイミングコントローラ803がシリアルバス（ SB ）を通して光データ（ $LDA Ti$ ）をシリアルで第1～第 n バックライトドライバ（ $903_1 \sim 903_n$ ）に供給するため、タイミングコントローラ803と第1～第 n バックライトドライバ（ $903_1 \sim 903_n$ ）間の配線数を減ずることができる。

【0057】

図16を参照し、本発明の第5の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明する。図16は本発明の第5の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図である。図14に示した構成要素と同一の機能をする構成要素に対しては同一の図面符号を使用し、説明の便宜上該当構成要素に対する詳細な説明は省略する。

【0058】

図16を参照すると、前述の実施形態とは異なり、第1タイミングコントローラ604が開始信号（ LS ）とロード信号（ $LOAD$ ）を供給する。ここでロード信号（ $LOAD$ ）は、データ制御信号（ $CONT1$ ）とゲート制御信号（ $CONT2$ ）のうちの1つであり、例えば、開始信号（ LS ）は、図1のゲートドライバ500の動作を開始する垂直開始信号、ゲートオン電圧の出力時期を決定するゲートクロック信号、ゲートオン電圧のパ

10

20

30

40

50

ルス幅を決定する出力イネーブル信号、図1のデータドライバ500の動作を開始する水平開始信号、画像データ電圧の出力を指示する出力指示信号のうち何れか一つであり得る。

あるいは、ロード信号（LOAD）は、これらのうち何れか一つに同期された信号か、またはこれらの組み合わせであり得る。また、あるいはロード信号（LOAD）は垂直同期信号（Vsync）、水平同期信号（Hsync）、メインクロック（Mclk）およびデータイネーブル信号（DE）のうち何れか一つであり得る。またはこれらのうちの何れか一つに同期された信号か、またはこれらの組み合わせであり得る。

【0059】

図17を参照し、本発明の第6の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明する。図17は本発明の第6の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図である。図14に示した構成要素と同一の機能をする構成要素に対しては同一の図面符号を使用し、説明の便宜上該当構成要素に対する詳細な説明は省略する。

【0060】

図17を参照すると、前述の実施形態とは異なり、ロード信号（LOAD）は第nバックライトドライバ（905__n）の第nキャリア信号（CA__n）であり得る。

より具体的に説明すれば、第1～第nバックライトドライバ（905__1～905__n）が順次にイネーブルされ光データの入力を受ける。第nバックライトドライバ（905__n）がイネーブルされ光データの入力を受けると第nキャリア信号（CA__n）を出力する。第nキャリア信号（CA__n）がロード信号（LOAD）として第1～第nバックライトドライバ（905__1～905__n）に供給されれば第1～第nバックライトドライバ（905__1～905__n）は入力された光データにตอบสนองして各発光ブロック（LB__1～LB__80）の輝度を制御する。

【0061】

図18及び図19を参照して、本発明の第7の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明する。図18は本発明の第7の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図であり、図19は図18のバックライトドライバを説明するためのブロック図である。図14に示した構成要素と同一の機能をする構成要素に対しては同一の図面符号を使用し、説明の便宜上該当構成要素に対する詳細な説明は省略する。

【0062】

図18を参照すると、前述の実施形態とは異なり、タイミングコントローラ806は開始信号（LS）を第1バックライトドライバ（906__1）に供給せず、シリアルバス（SB）を通してアドレス信号と光データを供給する。第1～第nバックライトドライバ（906__1～906__n）は、開始信号（LS）または各キャリア信号（CA__1～CA__n-1）にイネーブルされず、各アドレス信号にイネーブルされ光データの入力を受ける。

タイミングコントローラ806は第1～第nバックライトドライバ（906__1～906__n）に光データを供給した後、ロード信号（LOAD）を第1～第nバックライトドライバ（906__1～906__n）に同時に供給し得る。ここでアドレス信号と光データは一つのシリアルバス（SB）を通して供給され得、または互いに異なるシリアルバス（SB）を通して供給され得る。例えば、アドレス信号と光データは一つのシリアルバス（SB）を通して供給されている場合、シリアルバス（SB）はI²Cバス（Integrated Circuit Bus）であり得る。

【0063】

図19を参照すると、第iバックライトドライバ（906__i）はタイミングコントローラ806とI²Cインターフェース方式でシリアルインターフェースする。すなわち、シリアルバス（SB）はクロックライン（SCL）とデータライン（SDL）を含み、第iバックライトドライバ（906__i）に対応するアドレス信号と光データがデータライ

10

20

30

40

50

ン（S D L）を通して、第 i バックライトドライバ（9 0 6 __ i ）に供給され、アドレス信号と光データはクロックライン（S C L）のクロックに同期され、伝送される。I²C インターフェース方式は広く知られたシリアルインターフェース方式であるため、本明細書で詳細な説明は省略する。

【0 0 6 4】

第 i バックライトドライバ（9 0 6 __ i ）はタイミングコントローラ 8 0 6 と I²C インターフェースするインターフェース部（9 1 6 __ i ）を含む。すなわち、インターフェース部（9 1 6 __ i ）は第 i バックライトドライバ（9 0 6 __ i ）に対応するアドレス信号が入力されれば、シリアルに伝送される光データの入力を受ける。インターフェース部（9 1 6 __ i ）が第 i バックライトドライバ（9 0 6 __ i ）に対応するアドレス信号を認識するために、第 i バックライトドライバ（9 0 6 __ i ）はアドレス部（9 6 0 __ i ）をさらに含み得る。

10

すなわち、アドレス部（9 6 0 __ i ）はインターフェース部（9 1 6 __ i ）に第 i バックライトドライバ（9 0 6 __ i ）の固有のアドレスを提供する。インターフェース部（9 1 6 __ i ）はアドレス部（9 6 0 __ i ）から第 i バックライトドライバ（9 0 6 __ i ）の固有のアドレスの入力を受け、シリアルバス（S B）を通して、第 i バックライトドライバ（9 0 6 __ i ）に対応するアドレス信号が入力されれば、光データの入力を受ける。

【0 0 6 5】

ここで、アドレス部（9 6 0 __ i ）はデジタル電圧（V d d）に接続された複数のスイッチング素子を含み得る。例えば 4 個のスイッチング素子を利用してインターフェース部（9 1 6 __ i ）のアドレスピン（P A ~ P A 4）を通して、4 ビットの第 i バックライトドライバ（9 0 6 __ i ）の固有のアドレスを提供し得る。アドレス部（9 6 0 __ i ）はこれに限定されず、第 i バックライトドライバ（9 0 6 __ i ）の固有のアドレスを提供するメモリであり得る。

20

【0 0 6 6】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【産業上の利用可能性】

【0 0 6 7】

本発明はバックライトドライバおよびこれを含む液晶表示装置に利用される。

30

【図面の簡単な説明】

【0 0 6 8】

【図 1】本発明の第 1 の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図である。

【図 2】一画素の等価回路図である。

【図 3】図 1 のバックライトドライバの動作を説明するための概念図である。

【図 4】図 1 の第 i バックライトドライバを説明するためのブロック図である。

【図 5】本発明の第 2 の実施形態による液晶表示装置を説明するためのブロック図である。

。

【図 6】本発明の第 3 の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図である。

40

【図 7】図 6 のシリアル-パラレル変換部の動作を説明するための概念図である。

【図 8】本発明の第 3 の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図である。

【図 9】図 8 の発光ブロックの動作を説明するための概念図である。

【図 1 0】図 8 の発光ブロックの動作を説明するための概念図である。

【図 1 1】図 8 の発光ブロックの動作を説明するための概念図である。

【図 1 2】図 8 の発光ブロックの動作を説明するための概念図である。

【図 1 3】図 8 の発光ブロックの動作を説明するための概念図である。

【図 1 4】本発明の第 4 の実施形態によるバックライトドライバおよびこれを含む液晶表

50

示装置を説明するためのブロック図である。

【図 1 5】図 1 4 のバックライトドライバを説明するためのブロック図である。

【図 1 6】本発明の第 5 の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図である。

【図 1 7】本発明の第 6 の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図である。

【図 1 8】本発明の第 7 の実施形態によるバックライトドライバおよびこれを含む液晶表示装置を説明するためのブロック図である。

【図 1 9】図 1 8 のバックライトドライバを説明するためのブロック図である。

【符号の説明】

10

【0 0 6 9】

1 0、1 1、1 2、1 3、1 4、1 5 液晶表示装置

3 0 0 液晶パネル

4 0 0 ゲートドライバ

5 0 0 データドライバ

6 0 0、6 0 1、6 0 3、6 0 4、6 0 5、6 0 6 第 1 タイミングコントローラ

7 0 0、7 0 1、7 0 3、7 0 4、7 0 5、7 0 6 第 2 タイミングコントローラ

8 0 0、8 0 1、8 0 2、8 0 3、8 0 4、8 0 5、8 0 6 タイミングコントローラ

(9 0 0、9 0 2、9 0 3、9 0 4、9 0 5、9 0 6) __ (1 ~ n) (第 1 ~ 第 n)

バックライトドライバ

20

(9 1 0、9 1 1、9 1 6) __ i インターフェース部

(9 2 0、9 2 1 ~ 9 2 8) __ i パルス幅変調信号生成部

9 3 0 __ i クロック生成部

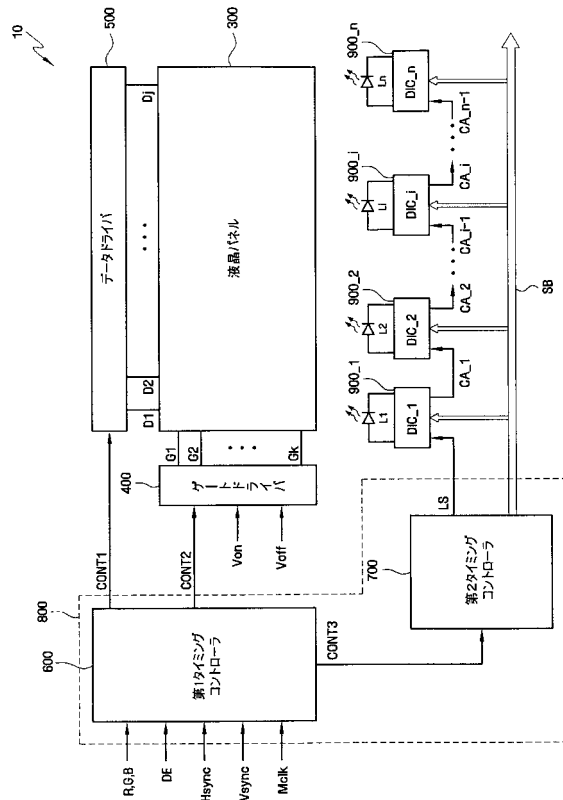
9 4 1 __ i シリアルーパラレル変換部

(9 5 1 ~ 9 5 8) __ i ホールディング部

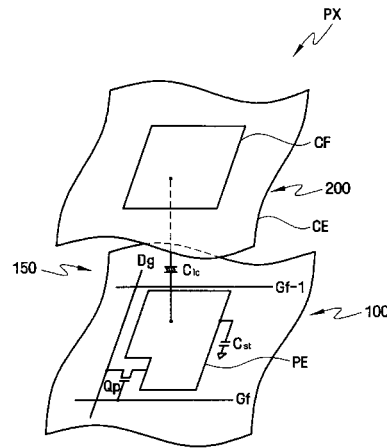
L B __ 1 ~ L B __ 8 0 発光ブロック

S W (1 ~ 8) __ i スイッチング部

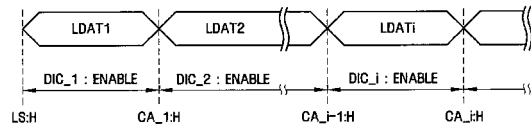
【図 1】



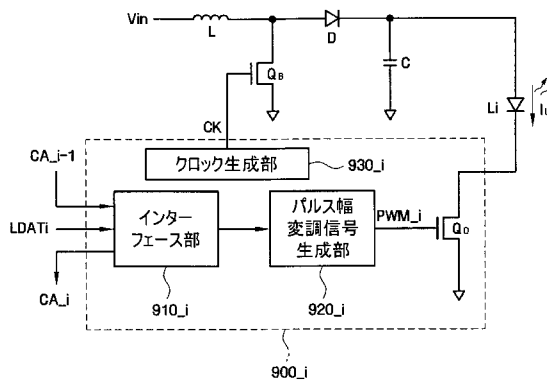
【図 2】



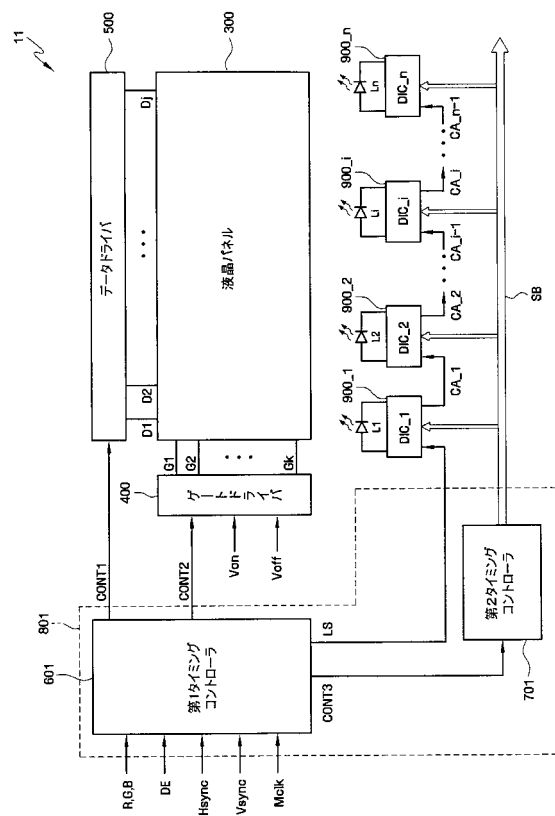
【図 3】



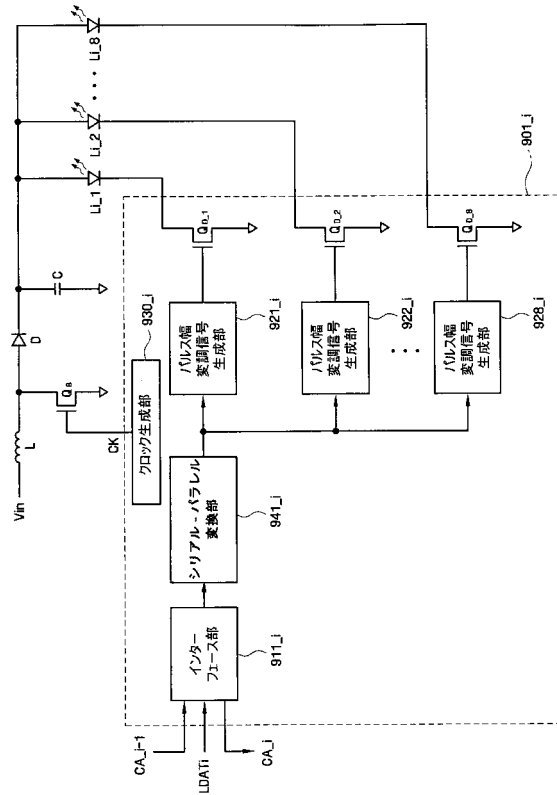
【図 4】



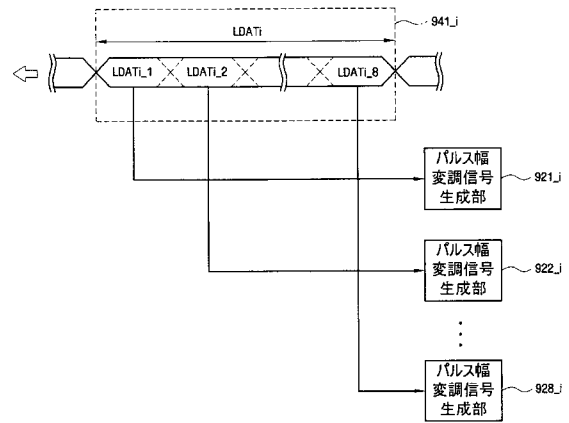
【図 5】



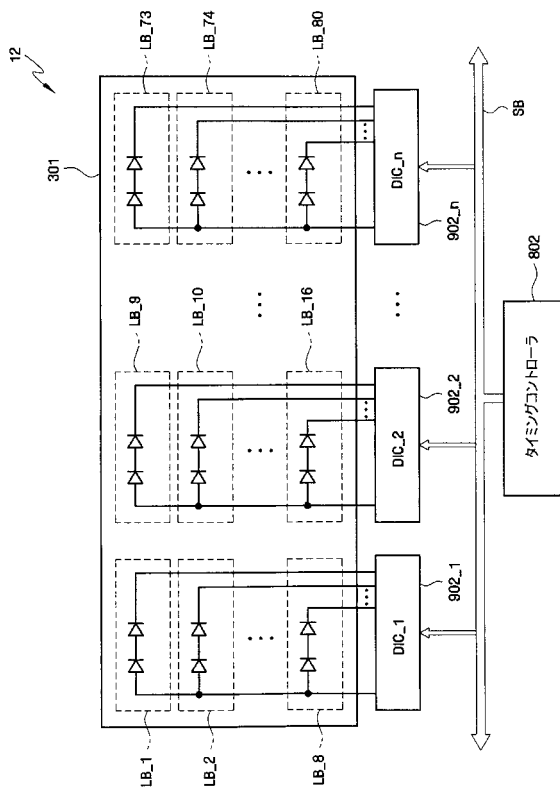
【図 6】



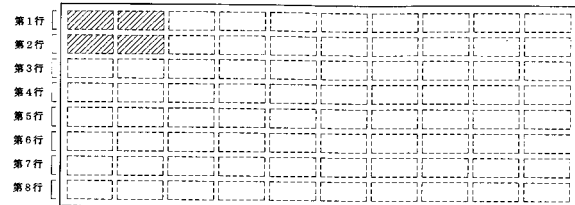
【図 7】



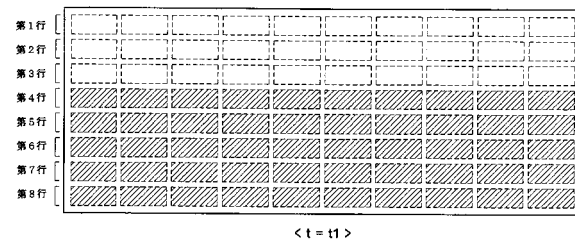
【图 8】



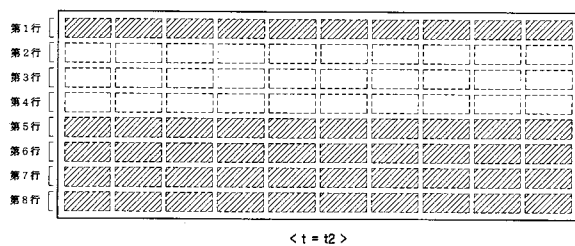
【図 9】



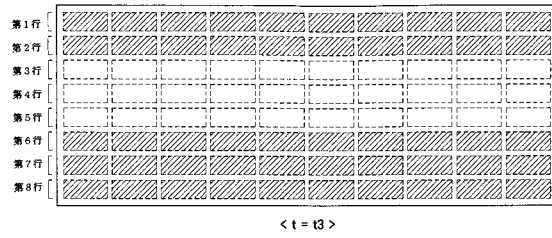
【図 10】



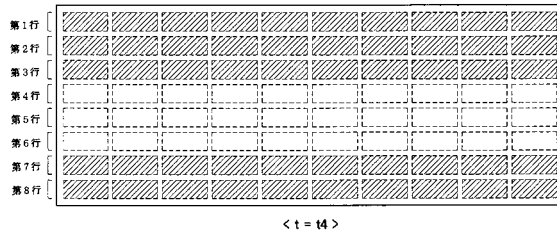
【図 1 1】



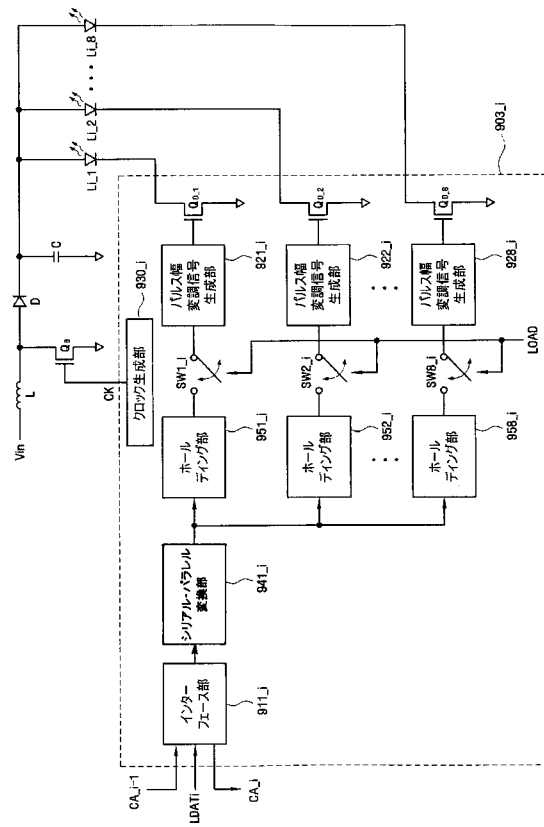
【図 12】



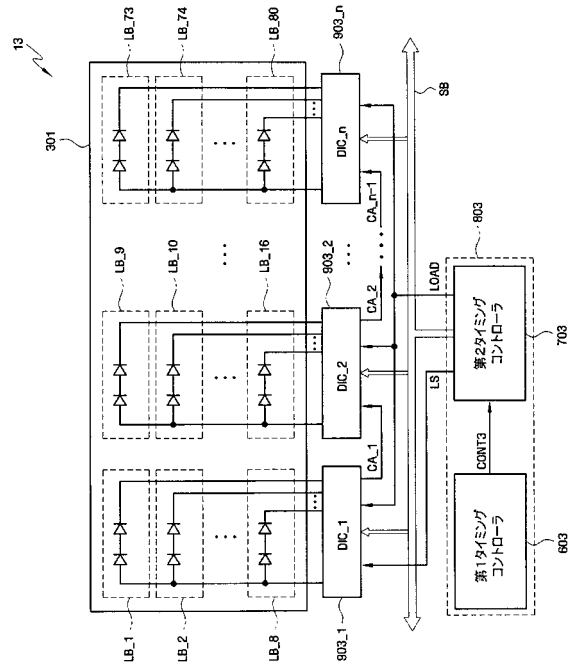
【図 13】



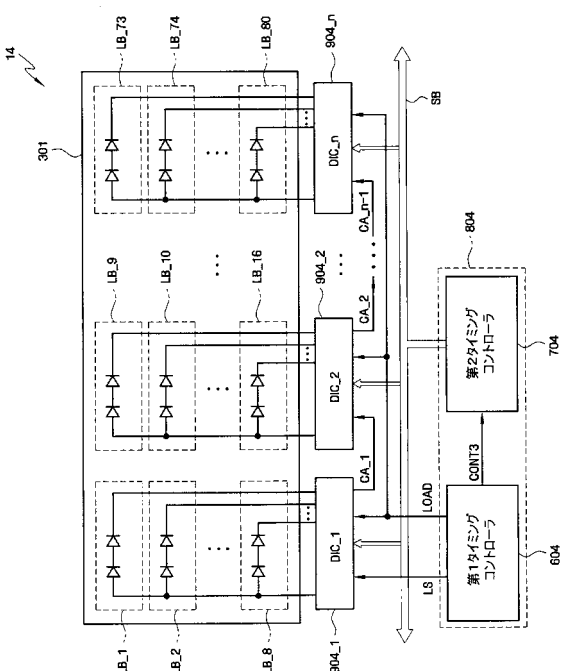
【図 15】



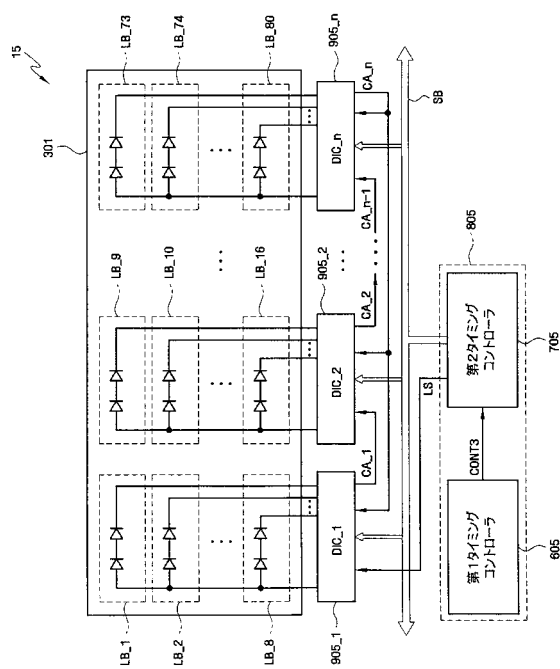
【図 14】



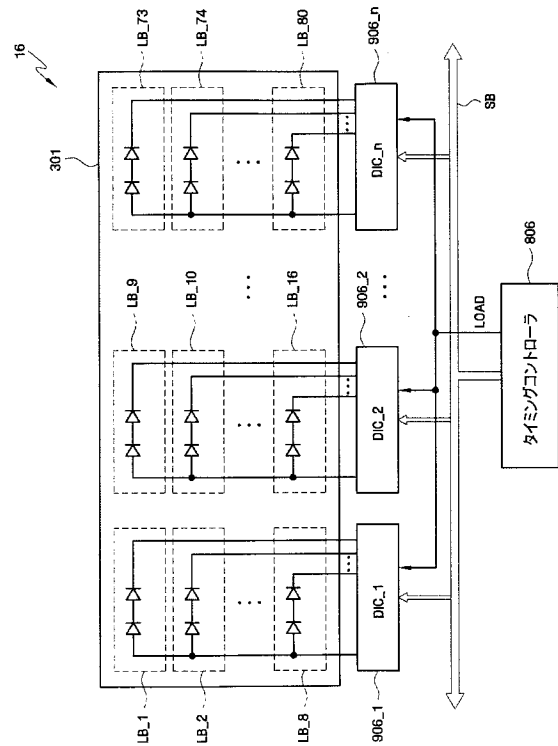
【図 16】



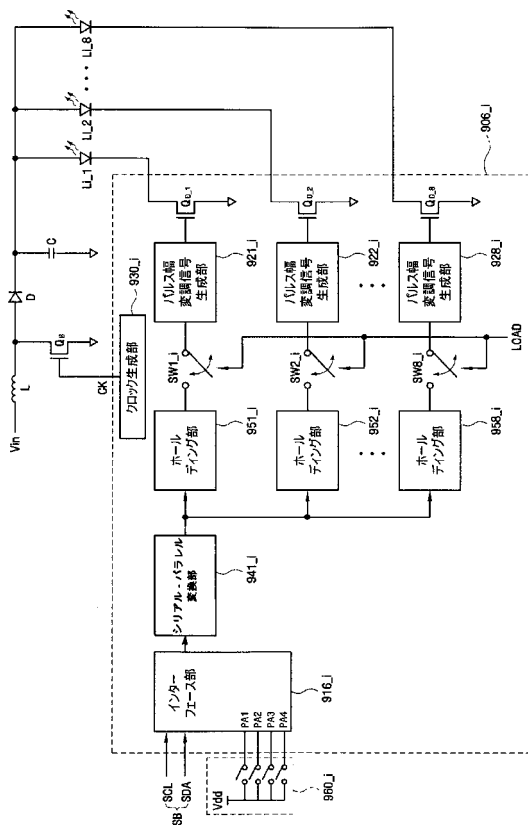
【図17】



【図18】



【図19】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 3 3 B
G 0 9 G	3/20	6 4 1 A
G 0 9 G	3/20	6 4 2
G 0 9 G	3/20	6 4 2 J
G 0 9 G	3/36	
G 0 9 G	3/20	6 2 3 J
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 1 2 R

(72)発明者 高 賢 錫

大韓民国 ソウル特別市 瑞草区 盤浦4洞 ソレアパート 1棟 808号

(72)発明者 朴 東 園

大韓民国 忠清南道 天安市 佛堂洞 大同 ダスアップアパート 110棟 1402号

審査官 小濱 健太

(56)参考文献 特開2005-135909 (JP, A)

特開2004-309614 (JP, A)

特開2005-114987 (JP, A)

特開平09-026759 (JP, A)

特開2007-241286 (JP, A)

特開平07-044131 (JP, A)

特開平01-263972 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1/133

G 0 2 F 1/13357

G 0 9 G 3/20

G 0 9 G 3/36

2 1