

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4786897号
(P4786897)

(45) 発行日 平成23年10月5日 (2011. 10. 5)

(24) 登録日 平成23年7月22日 (2011. 7. 22)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 611A

G09G 3/20 612F

G09G 3/20 612U

請求項の数 30 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2004-314670 (P2004-314670)
 (22) 出願日 平成16年10月28日 (2004. 10. 28)
 (65) 公開番号 特開2005-134910 (P2005-134910A)
 (43) 公開日 平成17年5月26日 (2005. 5. 26)
 審査請求日 平成19年9月26日 (2007. 9. 26)
 (31) 優先権主張番号 2003-075636
 (32) 優先日 平成15年10月28日 (2003. 10. 28)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 10/880, 118
 (32) 優先日 平成16年6月29日 (2004. 6. 29)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100108453
 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 ソース駆動回路と駆動回路及び液晶ディスプレイ装置とその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

ディスプレイのデータラインを駆動するソース駆動回路において、

ディスプレイデータを受信して前記受信されたディスプレイデータに対応するソース駆動電圧を発生させ、前記ソース駆動電圧をディスプレイのデータラインに印加するソースドライバ回路と、

中間ソース駆動電圧を発生させる電圧発生回路と、

前記データラインを前記中間ソース駆動電圧から前記ソース駆動電圧に駆動するために前記ソースドライバ回路により前記ソース駆動電圧が前記データラインに印加される前に、前記データラインを前記中間ソース駆動電圧に駆動するために前記中間ソース駆動電圧を前記データラインに印加する制御回路と、を備え、

前記制御回路は、

前記受信されたディスプレイデータを以前に受信されたディスプレイデータと比較して比較信号を発生させる比較器と、

前記中間ソース駆動電圧を前記電圧発生回路から前記データラインに選択的に印加するために前記比較信号に応答するスイッチと、を備え、

前記比較器は前記受信されたディスプレイデータの最上位ビットを前記以前に受信されたディスプレイデータの最上位ビットと比較し、

前記比較器は前記受信されたディスプレイデータの最上位ビットと前記以前に受信されたディスプレイデータの最上位ビットとが同一である時に前記スイッチを非活性化させる

10

20

ために制御信号を発生させ、同一でない時に前記スイッチを活性化させるために制御信号を発生させ、

前記以前に受信されたディスプレイデータとは前回に受信されたディスプレイデータであり、

各駆動サイクルの中間基準電圧と、昇圧された駆動電圧とを共に使用して所望の出力を得る

ことを特徴とするソース駆動回路。

【請求項 2】

前記制御回路は、

前記以前に受信されたディスプレイデータを前記比較器に出力するラッチをさらに備える

10

ことを特徴とする請求項 1 に記載のソース駆動回路。

【請求項 3】

前記比較器は前記受信されたディスプレイデータの最上位ビット及び前記以前に受信されたディスプレイデータの最上位ビットを入力として受信する排他的 OR ゲートを備えることを特徴とする請求項 1 に記載のソース駆動回路。

【請求項 4】

前記制御回路は、

前記比較信号を前記スイッチに選択的に印加するためにゲート制御信号に応答するゲート回路をさらに備える

20

ことを特徴とする請求項 1 に記載のソース駆動回路。

【請求項 5】

前記ソースドライバ回路は前記ソース駆動電圧を前記データラインに印加するために第 1 制御信号によりイネーブルされ、前記制御回路は前記中間ソース駆動電圧を前記データラインに印加するために第 2 制御信号によりイネーブルされ、前記第 1 及び第 2 制御信号は前記ソース駆動電圧が前記データラインに印加される前に前記中間ソース駆動電圧が前記データラインに印加されるように排他的に活性化される

ことを特徴とする請求項 1 に記載のソース駆動回路。

【請求項 6】

前記電圧発生器から出力される前記中間ソース駆動電圧はグレイスケール基準電圧である

30

ことを特徴とする請求項 1 に記載のソース駆動回路。

【請求項 7】

前記中間ソース駆動電圧は前記ソース駆動電圧のフルスイング電圧の $1/2$ ないし $1/3$ の範囲にある

ことを特徴とする請求項 1 に記載のソース駆動回路。

【請求項 8】

ディスプレイのデータラインを駆動する回路において、

n - ビットディスプレイ信号及び極性制御信号を受信して前記極性制御信号に応答して前記 n - ビットディスプレイ信号の極性を反転させるか、またはそのまま維持させる極性制御回路と、

40

第 1 ラッチ制御信号に応答して前記極性制御回路から出力される前記 n - ビットディスプレイ信号をラッチする第 1 ラッチと、

複数個のグレイスケール基準電圧及び前記第 1 ラッチから出力される前記 n - ビットディスプレイ信号を入力として受信して前記グレイスケール基準電圧のうち 1 つを選択的に出力するために前記 n - ビットディスプレイ信号をデコードするデコードと、

ソース駆動電圧を発生させてディスプレイのデータラインに印加し、

前記デコードから出力される前記グレイスケール基準電圧から前記ソース駆動電圧を発生させるために第 1 モード制御信号に応答する第 1 動作モードと、

前記第 1 ラッチから出力される前記 n - ビットディスプレイ信号の最上位ビットに基づ

50

いて前記ソース駆動電圧を発生させるために第 2 モード制御信号に応答する第 2 動作モードと、を有するバッファと、

中間ソース駆動電圧を発生させる電圧発生回路と、

前記データラインを前記中間ソース駆動電圧から前記ソース駆動電圧に駆動するために前記バッファ回路により前記ソース駆動電圧が前記データラインに印加される前に、前記データラインを前記中間ソース駆動電圧に駆動するために前記中間ソース駆動電圧を前記データラインに印加する制御回路と、を備え、

前記制御回路は、前記 n - ビットディスプレイ信号の最上位ビットを以前に受信された n - ビットディスプレイ信号の最上位ビットと比較して比較信号を発生させる比較器と、前記中間ソース駆動電圧を前記データラインに選択的に印加するために前記比較信号に応答するスイッチと、を備え、

10

各駆動サイクルの中間基準電圧と、昇圧された駆動電圧とを共に使用して所望の出力を得る

ことを特徴とする駆動回路。

【請求項 9】

前記以前に受信されたディスプレイデータとは前回に受信されたディスプレイデータであり、

前記比較の結果、同一である場合に前記スイッチを非活性化させ、同一でない場合に前記スイッチを活性化させる

ことを特徴とする請求項 8 に記載の駆動回路。

20

【請求項 10】

前記制御回路は、

前記以前に受信された n - ビットディスプレイ信号の最上位ビットをラッチして前記比較器に出力する 1 - ビットラッチをさらに備える

ことを特徴とする請求項 9 に記載の駆動回路。

【請求項 11】

前記比較器は排他的 OR ゲートを備える

ことを特徴とする請求項 9 に記載の駆動回路。

【請求項 12】

前記比較信号を前記スイッチに選択的に出力するためにゲート制御信号に応答するゲート回路をさらに備える

30

ことを特徴とする請求項 9 に記載の駆動回路。

【請求項 13】

前記比較信号は前記受信された n - ビットディスプレイ信号と前記以前に受信された n - ビットディスプレイ信号の最上位ビットとが同一である時に、前記スイッチを非活性化させる

ことを特徴とする請求項 9 に記載の駆動回路。

【請求項 14】

前記バッファ回路は前記ソース駆動電圧を前記データラインに印加するために第 1 または第 2 モード制御信号によりイネーブルされ、前記制御回路は前記中間ソース駆動電圧を前記データラインに印加するために制御信号によりイネーブルされ、前記制御信号は前記ソース駆動電圧が前記データラインに印加される前に前記中間ソース駆動電圧が前記データラインに印加されるように前記第 1 または第 2 モード制御信号に対して排他的に活性化される

40

ことを特徴とする請求項 8 に記載の駆動回路。

【請求項 15】

前記中間ソース駆動電圧は前記ソース駆動電圧のフルスイング電圧の $1/2$ ないし $1/3$ の範囲にある

ことを特徴とする請求項 8 に記載の駆動回路。

【請求項 16】

50

前記第 1 モードはグラジエントモードであって前記第 2 モードは 2 進モードであり、
第 1 モードは、前記デコーダから出力される前記グレイスケール基準電圧から前記ソース駆動電圧を発生させるために第 1 モード制御信号に応答し、
第 2 モードは、前記第 1 ラッチから出力される前記 n - ビットディスプレイ信号の最上位ビットに基づいて前記ソース駆動電圧を発生させるために第 2 モード制御信号に応答する

ことを特徴とする請求項 8 に記載の駆動回路。

【請求項 17】

前記電圧発生回路は、
中間電圧ドライバと、

第 1 ノードまたは第 2 ノードに連結するためにスイッチ制御信号により制御されるスイッチを備え、

前記第 1 ノードは中間電圧電源に連結されて前記第 2 ノードは前記中間電圧ドライバの出力に連結される

ことを特徴とする請求項 8 に記載の駆動回路。

【請求項 18】

前記第 2 ノードと接地間に連結されるキャパシタをさらに備える

ことを特徴とする請求項 17 に記載の駆動回路。

【請求項 19】

前記電圧発生回路は前記第 2 動作モードで前記中間ソース駆動電圧として前記中間電圧電源により発生する第 1 電圧を出力し、前記電圧発生回路は前記第 1 動作モードで前記中間ソース駆動電圧として前記中間電圧ドライバにより発生する第 2 電圧を出力する

ことを特徴とする請求項 17 に記載の駆動回路。

【請求項 20】

前記中間電圧ドライバは前記中間電圧電源により発生する前記第 1 電圧を使用して動作する

ことを特徴とする請求項 19 に記載の駆動回路。

【請求項 21】

前記中間電圧ドライバは中間ソース駆動電圧として使われる前記第 2 電圧としてグレイスケール基準電圧をバッファリングして出力する

ことを特徴とする請求項 20 に記載の駆動回路。

【請求項 22】

前記中間ソース駆動電圧は前記ソース駆動電圧のフルスイング電圧の $1/2$ ないし $1/3$ の範囲にある

ことを特徴とする請求項 21 に記載の駆動回路。

【請求項 23】

複数個の薄膜トランジスタ (TFT)、前記 TFT のゲート電極に連結される複数個のゲートライン、前記 TFT のソース電極に連結される複数個のデータラインを含む液晶ディスプレイパネルと、

それぞれ前記液晶ディスプレイパネルの対応するゲートラインを駆動する複数個のゲートドライバ回路を含むゲートドライバと、

それぞれ受信されたディスプレイデータに対応するソース駆動電圧を発生させて前記ソース駆動電圧を前記データラインに印加することによって前記液晶ディスプレイパネルの対応するデータラインを駆動する複数個のソースドライバ回路を含むソースドライバと、

前記ソースドライバ回路に共通で印加される中間ソース駆動電圧を発生させる電圧発生回路と、を備え、

前記各ソースドライバ回路は前記データラインを前記中間ソース駆動電圧から前記ソース駆動電圧に駆動するために前記ソースドライバ回路により前記ソース駆動電圧が前記データラインに印加される前に、前記対応するデータラインを前記中間ソース駆動電圧に駆動するために前記中間ソース駆動電圧を前記対応するデータラインに印加する制御回路を

10

20

30

40

50

備え、

前記制御回路は、

前記受信されたディスプレイデータを以前に受信されたディスプレイデータと比較して比較信号を発生させる比較器と、

前記中間ソース駆動電圧を前記電圧発生回路から前記データラインに選択的に印加するために前記比較信号に応答するスイッチと、を備え、

前記比較器は前記受信されたディスプレイデータの最上位ビットを前記以前に受信されたディスプレイデータの最上位ビットと比較し、

前記比較器は前記受信されたディスプレイデータの最上位ビットと前記以前に受信されたディスプレイデータの最上位ビットとが同一である時に、前記スイッチを非活性化させるために制御信号を発生させ、同一でない時に前記スイッチを活性化させるために制御信号を発生させ、

10

前記以前に受信されたディスプレイデータとは前回に受信されたディスプレイデータであり、

各駆動サイクルの中間基準電圧と、昇圧された駆動電圧とを共に使用して所望の出力を得る

ことを特徴とする液晶ディスプレイ装置。

【請求項 2 4】

前記制御回路は、

前記以前に受信されたディスプレイデータを前記比較器に出力するラッチをさらに備える

20

ことを特徴とする請求項 2 3 に記載の液晶ディスプレイ装置。

【請求項 2 5】

前記比較器は前記受信されたディスプレイデータの最上位ビット及び前記以前に受信されたディスプレイデータの最上位ビットを入力として受信する排他的 O R ゲートを備えることを特徴とする請求項 2 3 に記載の液晶ディスプレイ装置。

【請求項 2 6】

前記制御回路は、

前記比較信号を前記スイッチに選択的に印加するためにゲート制御信号に応答するゲート回路をさらに備える

30

ことを特徴とする請求項 2 3 に記載の液晶ディスプレイ装置。

【請求項 2 7】

前記ソースドライバ回路は前記ソース駆動電圧を前記データラインに印加するために第 1 制御信号によりイネーブルされ、前記制御回路は前記中間ソース駆動電圧を前記データラインに印加するために第 2 制御信号によりイネーブルされ、前記第 1 及び第 2 制御信号は前記ソース駆動電圧が前記データラインに印加される前に前記中間ソース駆動電圧が前記データラインに印加されるように排他的に活性化される

ことを特徴とする請求項 2 3 に記載の液晶ディスプレイ装置。

【請求項 2 8】

前記電圧発生器から出力される前記中間ソース駆動電圧はグレイスケール基準電圧である

40

ことを特徴とする請求項 2 3 に記載の液晶ディスプレイ装置。

【請求項 2 9】

前記中間ソース駆動電圧は前記ソース駆動電圧のフルスイング電圧の $1/2$ ないし $1/3$ の範囲にある

ことを特徴とする請求項 2 3 に記載の液晶ディスプレイ装置。

【請求項 3 0】

請求項 2 3 に記載される液晶ディスプレイ装置のディスプレイのデータラインを駆動する方法において、

受信されたディスプレイデータに対応するソース駆動電圧を発生させる段階と、

50

中間ソース駆動電圧を発生させる段階と、

データラインを前記中間ソース駆動電圧に駆動するために前記中間ソース駆動電圧を前記データラインに印加する段階と、

前記データラインを前記中間ソース駆動電圧から前記ソース駆動電圧に駆動するために前記ソース駆動電圧を前記データラインに印加する段階と、を備える

ことを特徴とする駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はLCD(Liquid Crystal Display)のようなフラットパネルディスプレイを駆動する回路及び方法に係り、特にフラットパネルディスプレイのデータラインを駆動するソースドライバ回路及び方法、そしてフラットパネルディスプレイの共通電極を駆動する共通電圧ドライバ回路及び方法に関する。

【背景技術】

【0002】

LCD、プラズマディスプレイパネル(PDP)、電子発光ディスプレイパネルのような様々なタイプのフラットパネルディスプレイが伝統的なCRT(Cathode Ray Tube)に代替するために開発された。このようなフラットパネルディスプレイは小型、軽量、低電力消費を要求する装置及び応用に適している。例えば、LCDは低電圧電源により駆動できて電力消費が少ないために、LSI(Large Scale Integration)ドライバを使用して動作されうる。したがって、LCDはラップトップコンピュータ、携帯電話、ポケットコンピュータ、自動車、及びカラーテレビなどに広く採用されてきた。すなわち、LCDの軽量、小型、低電力消費のような特徴がLCDが携帯用装置と共に用いられるようにする。

【0003】

図1は、従来のディスプレイシステムを示す概略図である。ディスプレイシステム10は、LCDのようなディスプレイパネル11及びディスプレイパネル11を駆動して制御する複数個の構成要素、すなわちソース駆動IC 12、ゲート駆動IC 13、GRAM(Graphic Random Access Memory)を有する制御器14、及び電源発生器15を備える。制御器14は電源発生器15、ソース駆動IC 12、及びゲート駆動IC 13を制御するために制御信号を発生させる。

【0004】

ディスプレイパネル11は、ソース駆動IC 12に連結される複数個のデータライン $D_1 \sim D_n$ 及びゲート駆動IC 13に連結される複数個のゲートライン $G_1 \sim G_m$ を備える。ディスプレイパネル11は行と列のマトリックスに配列される複数個の画素/副画素を備える。いずれか1つの行に配列される画素/副画素はいずれか1つのゲートラインに共通連結され、いずれか1つの列に配列される画素/副画素はいずれか1つのデータラインに共通連結される。応用/設計によって、1つの画素/副画素がゲートラインとデータラインとの各交差点に構成される。

【0005】

ディスプレイパネル11がTFT(Thin Film Transistor)-LCDであれば、ディスプレイパネル11はマトリックス形態に配列された複数個の画素/副画素を含むTFTボードを備える。図1に示されたように、それぞれの画素/副画素単位はTFT、TFTのドレイン電極と共通電極VCOM間に連結される液晶キャパシタ C_p 、液晶キャパシタ C_p と並列に連結される薄膜ストレージキャパシタ C_{st} とを含む。ストレージキャパシタ C_{st} はディスプレイ上のイメージが非選択区間の間に維持されるように電荷を保存する。液晶キャパシタ C_p はカラーフィルタプレートの共通電極VCOM、TFTの画素電極、及びこの電極間の液晶材料によって形成される。TFTのソース電極はデータラインに連結されてTFTのゲート電極はゲートラインに連結される。TFTはゲートライン上のゲートドライバ信号VGHがTFTのゲートに印加される時、データ

10

20

30

40

50

ライン上のソース電圧を画素電極に印加するスイッチとしての役割をする。

【 0 0 0 6 】

電源発生器 1 5 は複数個の基準電圧、すなわちソース駆動 IC 1 2 に印加されるソースドライバ電源 A V D D、ガンマ基準電圧 G V D D、及びパネル 1 1 の共通電圧電極 V C O M に印加されるハイ共通電極電圧 V C O M H 及びロー共通電極電圧 V C O M L、そして選択されたゲートラインを駆動するためにゲート駆動 IC 1 3 に印加されるゲートドライバターンオン電圧 V G H 及びゲートドライバターンオフ電圧 V G O F F を発生させる。

【 0 0 0 7 】

制御器 1 4 はイメージ供給源（例えば、コンピュータの主基板）から出力される複数個の駆動データ信号及び駆動制御信号を入力として受信する。駆動データ信号はディスプレイパネル 1 1 上にイメージを形成する R、G、B データを含む。駆動制御信号は垂直同期信号 V s y n c h、水平同期信号 H s y n c、データイネーブル信号 D E、及びクロック信号 C l k を含む。制御器 1 4 は R、G、B データに対応する複数個のディスプレイデータ信号 D D A T A 及びソース制御信号をソース駆動 IC 1 2 に出力する。制御器 1 4 はゲート駆動 IC 1 3 を制御するためにゲート制御信号を出力する。制御器 1 4 はデータ及び制御信号がソース駆動 IC 1 2 及びゲート駆動 IC 1 3 から出力されるタイミングを制御する。例えば、所定の動作モードで、制御器 1 4 はゲート駆動 IC 1 3 が連続的な方式でゲートドライバ出力信号 V G H を各ゲートライン G 1 ~ G m に伝達し、データ電圧が順に 1 つずつ活性化される行に配列された各画素 / 副画素に選択的に印加されるように、ソース及びゲート制御信号を発生させる。所定の他の動作モードでは、第 1 列に配列された画素 / 副画素を順次スキャンした後、次の列に配列された画素 / 副画素をスキャンすることによって、画素 / 副画素がチャージされうる。

【 0 0 0 8 】

ゲート駆動 IC 1 3 は、それぞれ対応するゲートライン G 1 ~ G m を駆動する複数個のゲートドライバを含む。ソース駆動 IC 1 2 は対応するデータライン D₁ ~ D_n を駆動する複数個のソースドライバ回路 1 2 - 1 ないし 1 2 - n を含む。

【 0 0 0 9 】

図 2 は、従来のソースドライバ回路 2 0 を概略的に示す。ソースドライバ回路 2 0 は、ディスプレイパネル 1 1 のデータラインを駆動するために図 1 のシステム 1 0 に適用される。一般的に、図 2 に示されたようにソースドライバ回路 2 0 は該当データライン D_i を駆動するソースドライバ 1 2 - i 及びグレイスケール電圧発生器 2 3 を備える。図 2 のソースドライバ回路 2 0 は図 1 のソースドライバ IC 1 2 の従来の構造を示し、ここで各データライン（または R G B チャンネル）に対して 1 つのソースドライバ 1 2 - i がある。グレイスケール電圧発生器 2 3 の出力はソースドライバ IC 1 2 の各ソースドライバ 1 2 - 1 ないし 1 2 - n に共通に印加される。

【 0 0 1 0 】

一般的に、ソースドライバ 1 2 - i は極性反転回路 2 1、ラッチ回路 2 2、ガンマデコーダ 2 4、及び駆動バッファ 2 5 を備える。ソースドライバ 1 2 - i は複数個の制御信号、すなわち、極性制御信号 M、ラッチ制御信号 S _ L A T C H、及びモード制御信号 G R A Y _ O N (g r a d i e n t m o d e e n a b l e s i g n a l) 及び B I N _ O N (b i n a r y m o d e e n a b l e s i g n a l) により制御される。前記制御信号は以下でさらに説明される。ソースドライバ 1 2 - i はグレイスケール電圧発生器 2 3 によって発生するグレイスケール基準電圧を入力として受信する。

【 0 0 1 1 】

ソースドライバ 1 2 - i は G R A M 1 4 から R、G、または B のためのディスプレイデータ D D A T A の n ビットブロックを入力として受信する。極性反転回路 2 1 はディスプレイデータブロック D D A T A を受信し、極性制御信号 M に応答して n ビットデータの極性を制御する。例えば、極性制御信号 M が論理 “ 0 ” であれば、ディスプレイデータ D D A T A の極性が同一に維持される。すなわち、本来のディスプレイデータ（ポジティブ極性）が維持される。一方、極性制御信号 M が論理 “ 1 ” であれば、ディスプレイデータ

D D A T Aの極性がネガティブ極性に反転される。図2の実施例で、極性反転回路21は排他的OR（すなわち、X O R）ゲートを使用して具現される。

【0012】

ラッチ回路22はラッチ制御信号S _ L A T C Hに応答して極性反転回路21から出力されるnビットデータブロックをラッチする。図2の実施例で、ラッチ回路22はクロックnビットラッチを使用して具現される。ラッチ回路22はラッチされたディスプレイデータブロックC D [n - 1 : 0]をガンマデコーダ24に出力する。グレイスケール電圧発生器23は 2^n 個の相異なるグレイスケール基準電圧V G [$2^n - 1 : 0$]を発生させ、ガンマデコーダ24に出力する。ガンマデコーダ24はラッチ回路22から出力されるnビットディスプレイデータブロックC D [n - 1 : 0]をデコードし、1つのグレイスケール電圧を選択して駆動バッファ25に出力する。それぞれの画素（R G B副画素を含む）において、nビットグレイスケール構造を利用して各画素に対して発生できるグレイスケール（または他のカラー）の数は $2^n (R) 2^n (G) 2^n (B) = 2^{3n}$ である。

10

【0013】

駆動バッファ25は第1ドライバ26、第1ドライバ出力スイッチS 1、及び第2ドライバ27を備える。第1ドライバ26はガンマデコーダ24から出力されるグレイスケール電圧をバッファリングして増幅する。第2ドライバ27はラッチされたディスプレイデータC D [n - 1 : 0]のM S B（M o s t S i g n i f i c a n t B i t）C D [n - 1]をバッファリングして増幅する。駆動バッファ25は対応するデータラインD iを駆動するソースドライバ出力信号S nを発生させる。ソースドライバ出力信号S nは選択される動作モード、すなわち2進モード（8 - カラーモード）またはグラジエントモード（ 2^{3n} カラーモード）によって変わる。

20

【0014】

グラジエントモードで、スイッチS 1を活性化させるために制御信号G R A Y _ O Nがイネーブルされ（論理“1”）、これにより第1ドライバ26がバッファリングされたグレイスケール電圧を出力しうる。また、グラジエントモードで、第2ドライバ27に印加される制御信号B I N _ O Nは第2ドライバ27を非活性化させるために、ディスエーブルされる（論理“0”）。一方、2進モードで制御信号G R A Y _ O NはスイッチS 1を非活性化させるためにディスエーブルされ（論理“0”）、これにより第1ドライバ26がバッファリングされたグレイスケール電圧をS nとして出力することが防止される。そして、制御信号B I N _ O Nは第2ドライバ27を活性化させるためにイネーブルされる（論理“1”）。

30

【0015】

2進モードで、第2ドライバ27はラッチされたディスプレイデータC D [n - 1 : 0]のM S Bの論理レベルによって、ソースドライバ電源電圧A V D Dまたはソースドライバのための接地電圧A V S Sのソースドライバ出力電圧S nを出力する。

【0016】

図3は、図2のソースドライバ回路の2進動作モードを示すタイミング図である。図3で、R G Bデータの解像度は6ビット（すなわちn = 6）であり、値00H（2進000000）、3FH（2進111111）、07H（2進000111）及び19H（2進011001）を有するラッチされたディスプレイデータC D [n - 1 : 0]がラッチ22から順次出力されると仮定する。図3に示されたように、2進モードで制御信号B I N _ O Nは論理“1”に固定されて制御信号G R A Y _ O Nは論理“0”に固定される。したがって、スイッチS 1がオープンされて第2ドライバ27が活性化される。

40

【0017】

また、図3に示されたように、時間T₁の前に値00HのラッチされたディスプレイデータC D [5 : 0]は論理“0”の最上位ビットC D [5]を有し、その結果第2ドライバ27からソースドライバのための接地電圧A V S Sのソースドライバ出力信号S nが出力される。時間T₁に、ラッチ制御信号S _ L A T C HによってディスプレイデータC D

50

[5 : 0] は最上位ビット C D [5] が論理 “ 1 ” の値 3 F H となる。これに应答して、第 2 ドライバ 2 7 から出力されるソースドライバ出力信号 S n は A V S S からソースドライバ電源電圧レベル A V D D に遷移する。そして時間 T₂ に、ラッチ制御信号 S __ L A T C H によってディスプレイデータ C D [5 : 0] は最上位ビット C D [5] が論理 “ 0 ” の値 0 7 H となる。これに应答して、第 2 ドライバ 2 7 から出力されるソースドライバ出力信号 S n は A V D D から A V S S に遷移する。そして時間 T₃ に、ラッチ制御信号 S __ L A T C H によってディスプレイデータ C D [5 : 0] は最上位ビット C D [5] が論理 “ 0 ” の値 1 9 H となる。これに应答して、ソースドライバ出力信号 S n は A V S S に維持される。

【 0 0 1 8 】

10

図 4 は、図 2 のソースドライバ回路のグラジエント動作モードを示すタイミング図である。図 4 で、R G B データの解像度は 6 ビット（すなわち n = 6 ）であり、値 0 0 H（2 進 0 0 0 0 0 0 ）、3 F H（2 進 1 1 1 1 1 1 ）、0 7 H（2 進 0 0 0 1 1 1 ）、及び 1 9 H（2 進 0 1 1 0 0 1 ）を有するラッチされたディスプレイデータ C D [n - 1 : 0] がラッチ 2 2 から順次出力されると仮定する。図 4 に示されたように、2 進モードで制御信号 B I N __ O N は論理 “ 0 ” に固定されて制御信号 G R A Y __ O N は論理 “ 1 ” に固定される。したがって、第 2 ドライバ 2 7 は非活性化されてスイッチ S 1 は活性化され、第 1 ドライバ 2 6 はデコーダ 2 4 によって選択されたグレイスケール電圧を S n としてバッファリングして出力する。

【 0 0 1 9 】

20

特に、図 4 のタイミング図に示されたように時間 T₁ の前に、0 0 H のラッチされたディスプレイデータ C D [5 : 0] によってソースドライバ出力信号 S n は値 V G [0] になる。

【 0 0 2 0 】

時間 T₁ に、ラッチ制御信号 S __ L A T C H によってディスプレイデータ C D [5 : 0] は値 3 F H になり、これによって S n が V G [0] から V G [6 3] に遷移する。そして、時間 T₂ に、ラッチ制御信号 S __ L A T C H によってディスプレイデータ C D [5 : 0] は値 0 7 H になり、これによって S n が V G [6 3] から V G [7] に遷移する。そして、時間 T₃ に、ラッチ制御信号 S __ L A T C H によってディスプレイデータ C D [5 : 0] は値 1 9 H になり、これによって S n が V G [7] から V G [2 5] に遷移する。

30

【 0 0 2 1 】

図 5 は、ディスプレイパネル 1 1 の共通電極 V C O M を駆動するための図 1 のシステム 1 0 に具現された従来の共通電圧ドライバ回路を概略的に示す。一般的に、共通電圧ドライバは第 1 及び第 2 ドライバ 3 1、3 2、スイッチ 3 3、3 4、及びキャパシタ 3 5、3 6 を備える。第 1 ドライバ 3 1 は、ハイ共通電圧 V C O M H をバッファリングして出力する。以下、説明される通り、電源発生回路 1 5 の V C O M H 電圧発生器は A V D D 電源から V C O M H を発生させる。キャパシタ 3 5 は出力電圧を安定化させるために第 1 ドライバ 3 1 の出力に連結される。スイッチ 3 3 は第 1 ドライバ 3 1 の出力を V C O M ノード N に選択的に連結し、V C O M をハイ共通電圧 V C O M H に駆動するために制御信号 V C M H __ O N によって制御される。

40

【 0 0 2 2 】

第 2 ドライバ 3 2 は、ロー共通電圧 V C O M L をバッファリングして出力する。以下、説明される通り、電源発生回路 1 5 の V C O M L 電圧発生器は V C L（- V C I）電源から V C O M L を発生させる。キャパシタ 3 6 は出力電圧を安定化させるために第 2 ドライバ 3 2 の出力に連結される。スイッチ 3 4 は第 2 ドライバ 3 2 の出力を V C O M ノード N に選択的に連結し、V C O M をロー共通電圧 V C O M L に駆動するために制御信号 V C M L __ O N によって制御される。

【 0 0 2 3 】

図 6 は、図 5 の回路を使用して共通電極を駆動する従来の方法を示すタイミング図である。図 6 を参照すれば、時間 T₁ に極性制御信号 M 及び制御信号 V C M H __ O N がイネー

50

ブルされ、制御信号 V_{CML_ON} がディスエーブルされる。その結果、スイッチ 33 は活性化されてスイッチ 34 は非活性化され、 V_{COM} は第 1 ドライバ 31 によって V_{COMH} から V_{COML} に駆動される。時間 T_2 に、極性制御信号 M 及び制御信号 V_{CMH_ON} がディスエーブルされ、制御信号 V_{CML_ON} がイネーブルされる。その結果、スイッチ 33 は非活性化されてスイッチ 34 は活性化され、 V_{COM} は第 2 ドライバ 32 によって V_{COML} から V_{COMH} に駆動される。

【0024】

LCD パネルのようなディスプレイシステムが小型携帯用の装置に具現される際は、バッテリー電源を保全するためにディスプレイシステムを駆動するために必要な電力消費を減少させることが重要である。一般的に、平板パネルディスプレイを駆動するために必要な電力は主にソースドライバ及び V_{COM} ドライバから消費される。特に、データラインを駆動するためにソースドライバによって発生する電圧はディスプレイの駆動速度を向上させるために（すなわち、液晶キャパシタ C_p を素早くチャージさせるために）、比較的高いレベルを有するように設計される。しかし、駆動電圧が高まれば、これに比例して電力消費が増加する。また、共通電圧の極性がサイクル毎に反転されるため、共通電極を駆動することが電力消費の重要な原因のうち 1 つである。

【0025】

一般的に、ソース及び V_{COM} 駆動電圧は所定の電圧発生器によって発生する内部電圧であり、前記電圧発生器は中間基準電圧源から出力される電圧を昇圧させることで駆動電圧を発生させる。例えば、図 7 は図 1 の電源発生器 15 の従来構造を示すブロック図である。一般的に、電源発生器 15 は中間基準電圧源 V_{CI} を使用して複数個の内部基準電圧を発生させる。特に、電源発生器 15 は中間基準電圧 V_{CI} を所定の量 α ほど昇圧させることによってソースドライバ電源電圧 $AVDD$ を発生させる第 1 電源発生器 15-1 を含む。 $AVDD$ 電圧はソースドライバ 12 に印加されて $GVDD$ 及び V_{COMH} を発生させるために他の電源発生器（図示せず）に入力される。第 2 電源発生器 15-2 は入力として基準電圧 $AVDD$ を受信し、 $AVDD$ を所定の量 β ほど昇圧させることによって V_{GH} を発生させる。第 3 電源発生器 15-3 は入力として基準電圧 V_{GH} を受信して V_{GL} （ここで、 $V_{GL} = -V_{GH}$ ）を発生させる。第 4 電源発生器 15-4 は入力として中間基準電圧 V_{CI} を受信して V_{CL} （ここで、 $V_{CL} = -V_{CI}$ ）を発生させる。

【0026】

従来のソース及び V_{COM} ドライバ回路の問題点は、データライン及び V_{COM} を駆動するために昇圧電圧を使用するによって発生する電力消費の増加であった。特に図 2 を参照すれば、駆動バッファ 25 の第 1 及び第 2 ドライバ 26、27 はデータラインを駆動するために昇圧電源 $AVDD$ を使用する。昇圧電源 $AVDD$ は V_{COMH} を発生させ、ディスプレイパネル 11 の共通電極 V_{COM} を駆動するために使われる。 $AVDD$ に対して、電力消費 P_{AVDD} は $I_{AVDD} \times AVDD$ 、すなわち $\alpha \times I_{AVDD} \times V_{CI}$ となり、駆動電流 I_{AVDD} は中間電源 V_{CI} から供給される。駆動電流 I_{AVDD} のための電流消費は V_{CI} 電源から誘導されるが、 $AVDD$ 電源に基づいた実際の電力消費は α が 1 より大きい時、さらに大きくなる。したがって、データライン及び V_{COM} を駆動するための昇圧電源 $AVDD$ 及び V_{COMH} は同一電流消費に対してさらに多い電力消費を招く。

【発明の開示】

【発明が解決しようとする課題】

【0027】

本発明が解決しようとする技術的課題は、フラットパネルディスプレイのデータライン駆動において、減少された電力消費を提供するソースドライバ回路及び方法を提供することにある。

【0028】

本発明が解決しようとする他の技術的課題は、フラットパネルディスプレイの共通電極の駆動において、減少された電力消費を提供する共通電圧ドライバ回路及び方法を提供することにある。

【課題を解決するための手段】

【0029】

前記の技術的課題を達成するための本発明の望ましい実施例は、電力消費を減少させて電荷リサイクルを提供するために完全に昇圧された駆動電圧のみを使用せず、各駆動サイクルにおいて中間基準電圧と昇圧された駆動電圧をも共に使用するソースドライバ回路及び方法、そして共通電圧ドライバ回路及び方法を含む。

【0030】

本発明の望ましい一実施例で、ディスプレイのデータラインを駆動するソース駆動回路は、ディスプレイデータを受信して前記受信されたディスプレイデータに対応するソース駆動電圧を発生させ、前記ソース駆動電圧をディスプレイのデータラインに印加するソースドライバ回路と、中間ソース駆動電圧を発生させる電圧発生回路と、及び前記データラインを前記中間ソース駆動電圧から前記ソース駆動電圧に駆動するために前記ソースドライバ回路によって前記ソース駆動電圧が前記データラインに印加される前に、前記データラインを前記中間ソース駆動電圧に駆動するために前記中間ソース駆動電圧を前記データラインに印加する制御回路と、を備えることを特徴とする。

【0031】

前記制御回路は、前記受信されたディスプレイデータを以前に受信されたディスプレイデータと比較して比較信号を発生させる比較器、及び前記中間ソース駆動電圧を前記電圧発生回路から前記データラインに選択的に印加するために前記比較信号に応答するスイッチを備える。前記制御回路は前記以前に受信されたディスプレイデータを前記比較器に出力するラッチをさらに備える。前記比較器は前記受信されたディスプレイデータの最上位ビットを前記以前に受信されたディスプレイデータの最上位ビットと比較する。前記比較器は、前記受信されたディスプレイデータの最上位ビットと前記以前に受信されたディスプレイデータの最上位ビットとが同一である時、前記スイッチを非活性化させるために制御信号を発生させる。

【0032】

本発明の他の望ましい実施例で、ディスプレイのデータラインを駆動する回路は、 n -ビットディスプレイ信号及び極性制御信号を受信し、前記極性制御信号に応答して前記 n -ビットディスプレイ信号の極性を反転させるか、またはそのまま維持させる極性制御回路と、第1ラッチ制御信号に応答して前記極性制御回路から出力される前記 n -ビットディスプレイ信号をラッチする第1ラッチと、複数のグレイスケール基準電圧及び前記第1ラッチから出力される前記 n -ビットディスプレイ信号を入力として受信し、前記グレイスケール基準電圧のうち1つを選択的に出力するために前記 n -ビットディスプレイ信号をデコードするデコーダと、ソース駆動電圧を発生させてディスプレイのデータラインに印加し、第1動作モードで前記デコーダから出力される前記グレイスケール基準電圧から前記ソース駆動電圧を発生させるために第1モード制御信号に応答し、第2動作モードで前記第1ラッチから出力される前記 n -ビットディスプレイ信号の最上位ビットに基づいて前記ソース駆動電圧を発生させるために第2モード制御信号に応答するバッファと、中間ソース駆動電圧を発生させる電圧発生回路と、及び前記データラインを前記中間ソース駆動電圧から前記ソース駆動電圧で駆動するために前記バッファ回路によって前記ソース駆動電圧が前記データラインに印加される前に、前記データラインを前記中間ソース駆動電圧で駆動するために前記中間ソース駆動電圧を前記データラインに印加する制御回路と、を備えることを特徴とする。

【0033】

本発明の望ましい一実施例で、ディスプレイの共通電極を駆動する共通電圧ドライバ回路は、高共通電圧を出力する第1ドライバ回路と、低共通電圧を出力する第2ドライバ回路と、第1制御信号に応答して前記ディスプレイパネルの共通電極に前記第1ドライバ回路の出力を選択的に連結する第1スイッチと、第2制御信号に応答して前記共通電極に前記第2ドライバ回路の出力を選択的に連結する第2スイッチと、及び1つまたはそれ以上の中間制御信号に応答して前記共通電極に1つまたはその以上の中間共通電圧を出力する

中間電圧出力回路と、を備えることを特徴とする。

【 0 0 3 4 】

前記共通電圧ドライバ回路は、前記高共通電圧を出力する前に前記 1 つまたはその以上
の中間共通電圧で前記共通電極を駆動することにより、前記共通電極を前記低共通電圧から
前記高共通電圧で駆動する。前記共通電圧ドライバ回路は、前記低共通電圧を出力する
前に前記 1 つまたはそれ以上の中間共通電圧で前記共通電極を駆動することにより、前記
共通電極を前記高共通電圧から前記低共通電圧に駆動する。

【 0 0 3 5 】

前記中間電圧出力回路は 1 つまたはそれ以上のスイッチング素子を備え、各スイッチ
ング素子は前記中間共通電圧のうち対応するものを前記共通電極に選択的に連結するために
前記中間制御信号のうち対応するものに応答する。

10

【 0 0 3 6 】

前記中間共通電圧の少なくとも 1 つは接地電圧であり、前記中間共通電圧の少なくとも
1 つは前記高共通電圧の約 1 / 2 ないし約 3 / 4 の範囲にある電圧である。

【 0 0 3 7 】

本発明と本発明の動作上の利点及び本発明の実施によって達成される目的を十分に理解
するためには、本発明の望ましい実施例を例示する添付図面及び貼付図面に記載された内
容を参照せねばならない。

【発明の効果】

【 0 0 3 8 】

20

本発明によるソースドライバ回路及び方法、並びに共通電圧ドライバ回路及び方法は電
力消費を減少させられる。

【発明を実施するための最良の形態】

【 0 0 3 9 】

以下、添付した図面を参照して本発明の望ましい実施例を説明することによって本発明
を詳細に説明する。各図面に提示された同じ参照符号は同じ部材を示す。

【 0 0 4 0 】

図 8 は、本発明の望ましい実施例によるソース駆動回路を示す概略図である。図 8 に示
された望ましい実施例は、図 2 に示されたソース駆動回路 20 の拡張であり、この実施例
はディスプレイパネルのデータライン駆動に消耗される電力をかなり減少させる。一般的
に、ソース駆動回路 80 は対応するデータライン D_i を駆動するためにソースドライバ出
力信号 S_n を発生させるソースドライバ 81、グレイスケール発生器 23、及び中間電圧
発生器 90 を備える。図 8 のソース駆動回路 80 は望ましい実施例による構造を示して
おり、このソース駆動回路 80 は図 1 のディスプレイシステムでソースドライバ IC 12
内に具現されうる。ソース駆動回路 80 で、各データライン D_i (または、RGB チャン
ネル) に対して 1 つのソースドライバ 81 が割り当てられ、グレイスケール発生器 23 及
び中間電圧発生器 90 はすべてのソースドライバのために共通に具現される。

30

【 0 0 4 1 】

ソースドライバ 81 が極性反転回路 21、ラッチ回路 22、ガンマデコード 24、及び
駆動バッファ 25 を備えるという点では、図 2 のソースドライバ 12 - i の構造と類似し
ている。しかし、ソースドライバ 81 は現在の最上位ビット MSB を以前の最上位ビット
MSB と比較し、比較結果によって中間電圧発生器 90 から出力される中間電圧にデー
タライン D_i を連結する比較回路 82 をさらに備える。中間電圧発生器 90 は、動作モード
(2 進またはグラジエント) によって他の中間電圧を出力する。

40

【 0 0 4 2 】

特に、比較回路 82 はラッチ回路 83、XOR 回路 84、AND ゲート 85、及びス
イッチ素子 S2 を備える。望ましい実施例でラッチ回路 83 は、ラッチ制御信号 PD_LA
TCH に応答してラッチ 22 に保存されたディスプレイデータの現在ラッチされたブロッ
クの最上位ビット $CD[n-1]$ をラッチし、以前にラッチされたディスプレイデータの
最上位ビット $PD[n-1]$ を出力する 1 ビットクロック D 型ラッチに構成される。

50

【 0 0 4 3 】

X O R回路 8 4 は、ラッチ 2 2 からディスプレイデータ C D [n - 1 : 0]の現在ブロックの最上位ビット C D [n - 1]、及びラッチ 8 3 から以前にラッチされたディスプレイデータの最上位ビット P D [n - 1]を入力として受信する。X O Rゲート 8 4 は、最上位ビット C D [n - 1]と最上位ビット P D [n - 1]とが異なる時に論理 “ 1 ”を出力し、最上位ビット C D [n - 1]と最上位ビット P D [n - 1]とが同一である時に論理 “ 0 ”を出力する。A N Dゲート 8 5 は、X O Rゲート 8 4 の出力及び制御信号 V C I Rを受信する 2 - 入力 A N Dゲートに構成される。A N Dゲート 8 5 は、スイッチ S 2 の活性化 / 非活性化を制御するために、制御信号 V C I R に応答して X O Rゲート 8 4 の出力を伝達するゲーティング回路としての役割をする。本発明の実施例で、スイッチ S 2 は A N Dゲート 8 5 の出力が論理 “ 1 ”である時（最上位ビット C D [n - 1]と最上位ビット P D [n - 1]とが異なる時）に活性化され、スイッチ S 2 は A N Dゲート 8 5 の出力が論理 “ 0 ”である時（最上位ビット C D [n - 1]と最上位ビット P D [n - 1]とが同一である時）に非活性化される。

10

【 0 0 4 4 】

スイッチ S 2 が活性化される時、中間電圧発生器 9 0 から出力される中間電圧がデータライン D i を駆動するために印加される。X O Rゲート 8 4 及び A N Dゲート 8 5 は同一機能を有する他の論理ゲートに代替されうる。

【 0 0 4 5 】

中間電圧発生器 9 0 は、増幅器に該当する第 3 ドライバ 9 1 及びスイッチ S 3 を含んで選択的にキャパシタ 9 2 をさらに含む。第 3 ドライバ 9 1 は、グレイスケール発生器 2 3 から出力されるグレイスケール基準電圧 V G の 1 つを V C I 電源を使用してバッファリングして出力する。望ましい実施例で、第 3 ドライバ 9 1 はグレイスケール基準電圧 V G [2ⁿ - 1 - 1]を受信する。ここで、基準電圧 V G [2ⁿ - 1 - 1]は V C I 電源より低いことが望ましい。スイッチ S 3 は、電圧選択制御信号 B I N _ F L A G に応答して第 1 中間電圧 V C I が印加される第 1 ノード N 1 に連結されるか、または第 2 中間電圧 V G [2ⁿ - 1 - 1]が印加される第 2 ノード N 2（第 3 ドライバ 9 1 の出力）に連結される。キャパシタ 9 2 は出力電圧を安定化させるために第 3 ドライバ 9 1 の出力に選択的に連結されうる。

20

【 0 0 4 6 】

本発明の望ましい実施例で、中間ソース駆動電圧 V C I はソース駆動電圧 A V D D のフルスイング電圧の約 1 / 2 ないし 1 / 3 の範囲にある。例えば、A V D D が約 5 ~ 6 ボルトであれば、V C I は約 2 ~ 3 ボルトであって A V S S は約 0 ボルトである。

30

【 0 0 4 7 】

2 進モードで、電圧選択制御信号 B I N _ F L A G が論理 “ 1 ”である時、S 3 が第 1 ノード N 1 に連結されて中間電圧 V C I が S 2 に伝達される。グラジエントモードで、電圧選択制御信号 B I N _ F L A G が論理 “ 0 ”である時は、S 3 が第 2 ノード N 2 に連結されて中間電圧 V G [2ⁿ - 1 - 1]が S 2 に伝えられる。それぞれの制御信号 M、S _ L A T C H、B I N _ O N、G R A Y _ O N、V C I R、B I N _ F L A G は図 1 に示されたコントローラ 1 4 のようなコントローラで発生する。前記の説明通りに、中間電圧発生器 9 0 はソースドライバ I C 内のすべてのソースドライバ 8 1 によって共通に使われる。

40

【 0 0 4 8 】

図 9 は、本発明の望ましい実施例によるデータラインを駆動するソース駆動方法を示すタイミング図である。説明の便宜のために、図 9 の方法は図 8 のソース駆動回路 8 0 を参照して説明される。図 9 の方法は、図 8 のソースドライバ回路の 2 進動作モードに該当する。図 9 で、R G B データの解像度は 6 ビット（すなわち n = 6）であり、値 0 0 H（2 進 0 0 0 0 0 0）、3 F H（2 進 1 1 1 1 1 1）、0 7 H（2 進 0 0 0 1 1 1）、及び 1 9 H（2 進 0 1 1 0 0 1）を有するラッチされたディスプレイデータ C D [n - 1 : 0]がラッチ 2 2 から順次出力されると仮定する。また、2 進モードで制御信号 G R A Y _ O

50

Nは論理“0”に固定され（スイッチS1がオープンされる）、制御信号BIN_FLAGは論理“1”に固定される（スイッチS3がノードN1に連結される）と仮定する。

【0049】

図9に示されたように時間 T_1 前に、ラッチされたディスプレイデータCD[5:0]の値00Hがn-ビットラッチ回路22から出力される。ラッチされたディスプレイデータCD[5:0]の最上位ビットCD[5]は論理“0”である。また、時間 T_1 前に、制御信号BIN_ONが論理“1”になって第2ドライバ27がターンオンされる。最上位ビットCD[5]が論理“0”であれば、第2ドライバ27はソースドライバのための接地電圧AVSSのソースドライバ出力信号SnをデータラインDiに出力する。時間 T_1 前に活性化されるラッチ制御信号PD_LATCHは、1-ビットラッチ83がディスプレイデータ00Hの最上位ビットCD[5]=論理“0”をラッチするように制御する。図9に示されたように、ラッチ制御信号PD_LATCHは、ラッチ制御信号S_LATCHがディスプレイデータの次のブロックをラッチするために活性化される前に活性化される。

【0050】

次に、時間 T_1 で、ラッチ制御信号S_LATCHが活性化され、これによってラッチ22は最上位ビットCD[5]が論理“1”であるディスプレイデータCD[5:0]の値3FHをラッチして出力する。また、時間 T_1 の後、区間 P_1 の間にゲーティング信号VCIRは活性化されて制御信号BIN_ONは非活性化される。制御信号BIN_ONが非活性化されれば、第2ドライバ27はターンオフされる。また、ゲーティング信号VCIRが活性化されれば、XORゲート84の出力はスイッチS2に印加される。現在の最上位ビットCD[n-1]と以前の最上位ビットPD[n-1]とが異なるため（すなわち、CD[5]が1であり、PD[5]が0）、ANDゲート85の出力は論理“1”になり、これによってスイッチS2は活性化される。S2が活性化されて第2ドライバがターンオフされれば、VCI電源電圧はソース駆動出力信号Snを有するデータラインDiを区間 P_1 の間にAVSSから中間電圧VCIに駆動する。

【0051】

時間 T_2 で、VCIRは非活性化されてBIN_ONは活性化され、これによってスイッチS2がオープンされて（データラインDiからVCIが切れる）第2ドライバ27がターンオンされる。現在の最上位ビットCD[5]が論理“1”であれば、第2ドライバ27は区間 T_2 の間に出力信号SnをVCIからAVDDに駆動する。区間 P_2 の最後の部分でPD_LATCHが活性化され、これによって1-ビットラッチ83はディスプレイデータ3FHの最上位ビットCD[5]=論理“1”をラッチしてPD[5]=論理“1”を出力する。

【0052】

続いて時間 T_3 で、S_LATCHが活性化され、これによってn-ビットラッチ22は最上位ビットCD[5]が論理“0”であるディスプレイデータCD[5:0]の値07Hをラッチして出力する。また、 T_3 後の区間 P_3 の間に、VCIRは活性化されてBIN_ONは非活性化される。制御信号BIN_ONが非活性化されれば、第2ドライバ27はターンオフされる。また、ゲーティング信号VCIRが活性化されれば、XORゲート84の出力はスイッチS2に印加される。現在の最上位ビットCD[n-1]と以前の最上位ビットPD[n-1]とが異なるため（すなわち、CD[5]が0であってPD[5]が1）、ANDゲート85の出力は論理“1”になり、これによってスイッチS2は活性化される。S2が活性化されれば、データラインDiがVCI電源に連結され、これによってソースドライバ出力信号SnがAVDDから中間電圧VCIにディスチャージされる。

【0053】

続いて時間 T_4 に、VCIRは非活性化されてBIN_ONは活性化される。これによって、スイッチS2がオープンされ（すなわち、データラインDiからVCIが切れる）、第2ドライバ27がターンオンされる。CD[5]が0であれば、第2ドライバ27は

10

20

30

40

50

区間 P_4 の間に S_n を VCI から $AVSS$ に駆動する。区間 P_4 の最後の部分で PD_LATCH が活性化され、これによって 1 - ビットラッチ 83 はディスプレイデータ 07H の最上位ビット $CD[5] = \text{論理“0”}$ をラッチして $PD[5] = \text{論理“0”}$ を出力する。

【0054】

次に時間 T_5 に S_LATCH が活性化され、これによって n - ビットラッチ 22 は最上位ビット $CD[5]$ が論理“0”であるディスプレイデータ $CD[5:0]$ の値 19H をラッチして出力する。また、 T_5 後の区間 P_5 の間に、 VCI は活性化されて BIN_ON は非活性化される。制御信号 BIN_ON が非活性化されれば、第2ドライバ 27 はターンオフされる。また、ゲーティング信号 VCI が活性化されれば、XORゲート 84 の出力はスイッチ S_2 に印加される。現在の最上位ビット $CD[n-1]$ と以前の最上位ビット $PD[n-1]$ とが同一であるため（すなわち、 $CD[5]$ が0であって $PD[5]$ が0）、ANDゲート 85 の出力は論理“0”になり、これによってスイッチ S_2 は非活性化状態を維持する。 S_2 が非活性化されれば、ソースドライバ出力信号 S_n は $AVSS$ に維持される（すなわち、 VCI にチャージされない）。時間 T_6 の後に、 VCI は非活性化されて BIN_ON は活性化される。 $CD[5]$ が0であれば、第2ドライバ 27 は S_n を $AVSS$ に維持させる。

【0055】

図10は、本発明の望ましい他の実施例によるデータラインを駆動するソース駆動方法を示すタイミング図である。説明の便宜のために、図10の方法は図8のソース駆動回路 80 を参照して説明される。図10の方法は、図8のソースドライバ回路のグラジエント動作モードに該当する。図10で、RGBデータの解像度は6ビット（すなわち、 $n=6$ ）であり、値 00H（2進000000）、3FH（2進111111）、07H（2進000111）、及び 19H（2進011001）を有するラッチされたディスプレイデータ $CD[n-1:0]$ がラッチ 22 から順次出力されると仮定する。また、グラジエントモードで制御信号 BIN_ON は論理“0”に固定され（第2ドライバ 27 が非活性化される）、制御信号 BIN_FLAG は論理“0”に固定される（スイッチ S_3 が第3ドライバ 91 の出力であるノード N_2 に連結される）と仮定する。

【0056】

図10に示されたように時間 T_1 の前に、ラッチされたディスプレイデータ $CD[5:0]$ の値 00H が n - ビットラッチ回路 22 から出力される。ラッチされたディスプレイデータ $CD[5:0]$ の最上位ビット $CD[5]$ は論理“0”である。また、時間 T_1 の前に、制御信号 $GRAY_ON$ が論理“1”になってスイッチ S_1 が短絡される。これにより、第1ドライバ 26 はソースドライバ出力信号 S_n を有するデータライン Di を中間電圧 $V_G[31]$ より低いグレイスケール電圧 V_G に駆動する。時間 T_1 の前に活性化されるラッチ制御信号 PD_LATCH は、1 - ビットラッチ 83 がディスプレイデータ 00H の最上位ビット $CD[5] = \text{論理“0”}$ をラッチして $PD[5] = \text{論理“0”}$ を出力するように制御する。図10に示されたように、ラッチ制御信号 PD_LATCH はラッチ制御信号 S_LATCH がディスプレイデータの次のブロックをラッチするために活性化される前に、活性化される。

【0057】

次に時間 T_1 で、ラッチ制御信号 S_LATCH が活性化され、これによってラッチ 22 は最上位ビット $CD[5]$ が論理“1”であるディスプレイデータ $CD[5:0]$ の値 3FH をラッチして出力する。また、時間 T_1 の後、区間 P_1 の間にゲーティング信号 VCI は活性化されて制御信号 $GRAY_ON$ は非活性化される。制御信号 $GRAY_ON$ が非活性化されればスイッチ S_1 がオープンされる。また、ゲーティング信号 VCI が活性化されれば、XORゲート 84 の出力はスイッチ S_2 に印加される。現在の最上位ビット $CD[n-1]$ と以前の最上位ビット $PD[n-1]$ とが異なるため（すなわち、 $CD[5]$ が1であって $PD[5]$ が0）、ANDゲート 85 の出力は論理“1”になり、これによってスイッチ S_2 は活性化される。 S_2 が活性化されて S_1 がオープンされ

10

20

30

40

50

ば、第3ドライバ91がソース駆動出力信号 S_n を有するデータライン D_i を区間 P_1 の間に $V_G[0]$ から中間電圧 $V_G[31]$ に駆動する。

【0058】

時間 T_2 で、 V_{CIR} は非活性化されて $GRAY_ON$ は活性化され、これによってスイッチ S_2 がオープンされて(データライン D_i から第3ドライバ91の出力が切れる)スイッチ S_1 が短絡される。 $CD[5:0]$ が3FHであれば、第1ドライバ26は区間 T_2 の間に出力信号 S_n を $V_G[31]$ から $V_G[63]$ に駆動する。区間 P_2 の最後の部分で PD_LATCH が活性化され、これによって1-ビットラッチ83はディスプレイデータ3FHの最上位ビット $CD[5] = \text{論理“1”}$ をラッチして $PD[5] = \text{論理“1”}$ を出力する。

10

【0059】

次に、時間 T_3 で S_LATCH が活性化され、これによって n -ビットラッチ22は最上位ビット $CD[5]$ が論理“0”のディスプレイデータ $CD[5:0]$ の値07Hをラッチして出力する。また、 T_3 後の区間 P_3 の間に、 V_{CIR} は活性化されて $GRAY_ON$ は非活性化される。制御信号 $GRAY_ON$ が非活性化されればスイッチ S_1 がオープンされ、ゲーティング信号 V_{CIR} が活性化されれば、XORゲート84の出力はスイッチ S_2 に印加される。現在の最上位ビット $CD[n-1]$ と以前の最上位ビット $PD[n-1]$ とが異なるため(すなわち、 $CD[5]$ が0であって $PD[5]$ が1)、ANDゲート85の出力は論理“1”になり、これによってスイッチ S_2 は活性化される。 S_2 が活性化されればデータライン D_i がノード N_2 に連結され、これによってドライバ91がソースドライバ出力信号 S_n を $V_G[63]$ から中間電圧 $V_G[31]$ にディスチャージさせる。

20

【0060】

続いて時間 T_4 で、 V_{CIR} は非活性化されて $GRAY_ON$ は活性化される。これによって、スイッチ S_2 がオープンされて(すなわち、データライン D_i からノード N_2 が切れる)スイッチ S_1 が短絡される。 $CD[5:0]$ が07Hであれば、第1ドライバ26は区間 P_4 の間に S_n を $V_G[31]$ から $V_G[7]$ で駆動する。区間 P_4 の最後の部分で PD_LATCH が活性化され、これによって1-ビットラッチ83はディスプレイデータ07Hの最上位ビット $CD[5] = \text{論理“0”}$ をラッチして $PD[5] = \text{論理“0”}$ を出力する。

30

【0061】

次に時間 T_5 で、 S_LATCH が活性化され、これによって n -ビットラッチ22は最上位ビット $CD[5]$ が論理“0”であるディスプレイデータ $CD[5:0]$ の値19Hをラッチして出力する。また、 T_5 後の区間 P_5 の間に、 V_{CIR} は活性化されて $GRAY_ON$ は非活性化される。制御信号 $GRAY_ON$ が非活性化されればスイッチ S_1 がオープンされ、ゲーティング信号 V_{CIR} が活性化されれば、XORゲート84の出力はスイッチ S_2 に印加される。現在の最上位ビット $CD[n-1]$ と以前の最上位ビット $PD[n-1]$ とが同一であるため(すなわち、 $CD[5]$ が0であって $PD[5]$ が0)、ANDゲート85の出力は論理“0”になり、これによってスイッチ S_2 は非活性化状態を維持する。 S_2 が非活性化されれば、ソースドライバ出力信号 S_n は区間 P_5 の間に $V_G[7]$ に維持される(すなわち、 $V_G[31]$ にチャージされない)。時間 T_6 の後に、 V_{CIR} は非活性化されて $GRAY_ON$ は活性化される。 $CD[5:0]$ が19Hであれば、第1ドライバ26は S_n を $V_G[25]$ に駆動する。

40

【0062】

図8、9、及び10を参照して説明されたソース駆動回路及び方法は、図2、3、及び4を参照して説明された従来の回路及び方法に比べて大幅に電力消費を減少させる。特に、図9の区間 P_1 でデータライン D_i を部分的に駆動するために V_{CI} 電源を使用することにより、データラインを駆動するために昇圧電源($AVDD$)が使われる図3の従来の方法に比べて電力消費が減少される。また、区間 P_3 でデータラインを駆動するために V_{CI} 電源を使用することにより、 V_{CI} 電源に対する“ネガティブ”電流に起因して電荷

50

リサイクル動作が誘発される。

【 0 0 6 3 】

そのうえ、図 1 0 でグラジエント動作モードは第 3 ドライバ 9 1 に対して V C I 電源を使用することにより、図 4 の従来の方法に比べて電力消費を大きく減少させる。特に、図 1 0 で、データラインを V G [3 1] で駆動するために第 3 ドライバ 9 1 が昇圧されていない V C I 電源を使用することにより、区間 P₁ で電力消費が減少され、区間 P₃ で V C I 電源に対するネガティブ電流が電荷リサイクル動作を誘発する。

【 0 0 6 4 】

例えば、I_D が A V S S から A V D D までの総駆動電流であって区間 P₁ での駆動電流が I_{D1}、区間 P₂ での駆動電流が I_{D2}、I_D = I_{D1} + I_{D2} であると仮定する。そして、A V S S が 0 ボルトであって A V D D が α × V C I であると仮定し、データラインを駆動するために V C I 電源が部分的に使われる図 9 の本発明の方法によれば、区間 P₁、P₂ での総駆動電力消費 P は次の数式によって求められる。

【 0 0 6 5 】

$$\begin{aligned} P &= I_{D1} \times (VCI - AVSS) + I_{D2} \times (AVDD - VCI) \\ &= I_{D1} \times VCI + \{ I_{D2} \times (VCI \times \alpha) - I_{D2} \times VCI \} \\ &= VCI \times (I_{D1} - I_{D2} + \alpha \times I_{D2}) \end{aligned}$$

【 0 0 6 6 】

これと対照的に図 3 の従来方法によれば、区間 P₁、P₂ での総駆動電力消費 P' は次の数式によって求められる。

$$\begin{aligned} P' &= I_D \times (AVDD - AVSS) \\ &= I_D \times AVDD \\ &= I_D \times (\alpha \times VCI) \\ &= VCI \times (\alpha \times I_{D1} + \alpha \times I_{D2}) \end{aligned}$$

【 0 0 6 7 】

総駆動電流が従来方法及び本発明について同一であると仮定すれば、α が 1 より大きい時に、従来方法による総駆動電力消費 P' が本発明の方法による総駆動電力消費 P より大きい。すなわち、従来の方法に比べて本発明による方法において電力消費が減少される。

【 0 0 6 8 】

したがって、図 9 及び図 1 0 の本発明の望ましい方法によれば、区間 P₁ の間に V C I 電源を使用することによって従来の方法に比べて 1 / α の電力を消費する。また、前記のように、区間 P₃ で V C I 電源に対するネガティブ電流に起因して電荷リサイクルが発生する。

【 0 0 6 9 】

図 1 1 は本発明の望ましい実施例による共通電圧ドライバ回路 4 0 を示す。共通電圧ドライバ回路 4 0 は第 1 及び第 2 ドライバ 3 1、3 2、スイッチ 3 3、3 4、及びキャパシタ 3 5、3 6 を備えるというところにおいて、図 5 のドライバ回路 3 0 と類似している。共通電圧ドライバ回路 4 0 は、1 つまたはそれ以上の中間制御信号に応答して 1 つまたはその以上の中間共通電圧を共通電極 V C O M ノード N に出力する中間電圧出力回路 4 1 を備える。

【 0 0 7 0 】

特に、図 1 1 に示された望ましい実施例で、中間電圧出力回路 4 1 は基準電圧 V C I をバッファリングして出力する第 3 ドライバ 4 2、及びそれぞれ中間電圧制御信号 V C I R、V S S R によって制御されるスイッチ 4 3、4 4 を備える。スイッチ 4 3 はドライバ 4 2 の出力を V C O M ノード N に連結するために制御され、スイッチ 4 4 は V C O M ノード N を接地電圧 A V S S に連結するために制御される。本発明の望ましい実施例で、V C O M H は約 4 ボルト、V C I は約 2 ~ 3 ボルト、A V S S は 0 ボルト、そして V C O M L は約 - 1 ボルトである。

【 0 0 7 1 】

図 1 2 を参照して以下で説明される通りに、図 1 1 のドライバ回路 4 0 を使用して共通

10

20

30

40

50

電極を駆動する方法は図 5 の駆動回路 30 と比較して電力消耗が大幅に減少される。

図 12 は、本発明の望ましい実施例によって共通電極を駆動する方法を示すタイミング図である。特に、図 12 は図 11 の共通電圧ドライバ 40 の動作モードを示す。図 12 を参照すれば、時間 T_1 前の区間で極性制御信号 M が論理 “0” である時に、制御信号 V_{CML_ON} はイネーブルされて（スイッチ 34 が短絡される）制御信号 V_{CMH_ON} 、 V_{CIR} 、及び V_{SSR} はディスエーブルされる（スイッチ 33、43、及び 44 がオープンされる）。したがって、共通電極 V_{COM} が第 2 ドライバ 32 によって V_{COML} で駆動される。

【0072】

時間 T_1 で、極性制御信号 M はディスプレイデータを反転させるために論理 “1” に変わり、 V_{CML_ON} がディスエーブルされてスイッチ 34 がオープンされる。そして、制御信号 V_{SSR} はイネーブルされ、これによってスイッチ 44 が短絡されて V_{COM} ノード N が中間電圧 $AVSS$ （すなわち接地電圧）に連結される。時間区間 P_1 の間に、 V_{COM} が V_{COML} から $AVSS$ に駆動される。次に、時間 T_2 に、 V_{SSR} がディスエーブルされてスイッチ 44 がオープンされ、 V_{CIR} がイネーブルされてスイッチ 43 が短絡され、そして、 V_{COM} ノード N が第 3 ドライバ 42 の出力に連結される。したがって、区間 P_2 の間に、 V_{COM} が V_{CI} 電源を使用して $AVSS$ から中間電圧 V_{CI} に駆動される。次に、時間 T_3 で、 V_{CIR} がディスエーブルされてスイッチ 43 がオープンされ、制御信号 V_{CMH_ON} がイネーブルされてスイッチ 33 が短絡され、そして、第 1 ドライバ 31 の出力が V_{COM} ノード N に連結される。したがって、区間 P_3 の間に、 V_{COM} が第 1 ドライバ 31 によって中間電圧 V_{CI} から V_{COMH} に駆動される。

【0073】

次に、時間 T_4 で、極性制御信号 M はポジティブ極性を有するディスプレイデータを示す論理 “0” に変わり、 V_{CMH_ON} がディスエーブルされてスイッチ 33 がオープンされる。そして、制御信号 V_{CIR} はイネーブルされ、これによってスイッチ 43 が短絡されて V_{COM} ノード N が第 3 ドライバ 42 の出力に連結される。したがって、区間 P_4 の間に、 V_{COM} はドライバ 42 によって V_{COMH} から V_{CI} に駆動される。次に、時間 T_5 で、 V_{CIR} がディスエーブルされてスイッチ 43 がオープンされ、 V_{SSR} がイネーブルされてスイッチ 44 が短絡され、そして、 V_{COM} ノード N が接地 $AVSS$ に連結される。したがって、区間 P_5 の間に、 V_{COM} が V_{CI} から V_{SS} に駆動される。次に時間 T_6 で、 V_{SSR} がディスエーブルされてスイッチ 44 がオープンされ、制御信号 V_{CML_ON} がイネーブルされてスイッチ 34 が短絡され、そして、 V_{COM} ノード N が第 2 ドライバ 32 の出力に連結される。したがって、区間 P_6 の間に、 V_{COM} が中間電圧 $AVSS$ から V_{COML} に駆動される。

【0074】

図 11 及び 12 の共通電圧駆動回路及び方法は、図 6 及び 7 の従来の共通電圧駆動回路及び方法に比べて大幅に電力消耗を減少させる。例えば、区間 P_1 で、 V_{COM} を V_{COML} （すなわち、-1 ボルト）から $AVSS$ （すなわち、0 ボルト）に駆動するために接地を使用することによって電力が消費されない。その上、区間 P_2 で、昇圧電源 $AVDD$ の代りに V_{CI} 電源を使用して V_{COM} を $AVSS$ （接地）から V_{CI} に駆動することによって前記のように電力消耗が $1/\alpha$ ほど減少される。しかも、区間 P_4 で、 V_{CI} 電源に対するネガティブ電流供給に起因して電荷リサイクル動作が発生する。また、区間 P_5 で、接地を使用して V_{CI} を $AVSS$ にシンキングすることによって電力が消費されない。

【0075】

以上、図面及び明細書で最適実施例が開示された。ここで、特定の用語が使われたが、これは単に本発明を説明するための目的で使われたものに過ぎず、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使われたものではない。したがって、当業者であればこれより多様な変形及び均等な他の実施例が可能だという点を理解するであろう。よって、本発明の真の技術的な保護範囲は特許請求の範囲の技術的思想によって決

まらなければならない。

【産業上の利用可能性】

【0076】

本発明によるソースドライバ回路及び方法、並びに共通電圧ドライバ回路及び方法はLCDやPDP、電子発光ディスプレイの駆動に採用されうる。

【図面の簡単な説明】

【0077】

【図1】従来のディスプレイシステムを示す概略図である。

【図2】従来のソースドライバ回路を示す概略図である。

【図3】図2のソースドライバ回路の2進動作モードを示すタイミング図である。

10

【図4】図2のソースドライバ回路のグラジエント動作モードを示すタイミング図である。

【図5】従来の共通電極VCOMドライバ回路を示す概略図である。

【図6】図5の共通電極VCOMドライバの動作モードを示すタイミング図である。

【図7】図1の電源発生器の従来の構造を示すブロック図である。

【図8】本発明の望ましい実施例によるソース駆動回路を示す概略図である。

【図9】本発明の望ましい実施例による図8のソース駆動回路の2進動作モードを示すタイミング図である。

【図10】本発明の望ましい実施例による図8のソース駆動回路のグラジエント動作モードを示すタイミング図である。

20

【図11】本発明の望ましい実施例による共通電極VCOMドライバ回路を示す概略図である。

【図12】図11の共通電極VCOMドライバの動作モードを示すタイミング図である。

【符号の説明】

【0078】

21 極性反転回路

22 n - ビットラッチ回路

23 グレイスケール発生器

24 ガンマデコーダ

25 駆動バッファ

30

26 第1ドライバ

27 第2ドライバ

80 ソース駆動回路

81 ソースドライバ

82 比較回路

83 ラッチ回路

84 XOR回路

85 ANDゲート

90 中間電圧発生器

91 第3ドライバ

40

92 キャパシタ

AVDD ソースドライバ電源電圧

AVSS ソースドライバ接地電圧

Di データライン

M、BIN_ON、GRAY_ON、BIN_FLAG 制御信号

N1 第1ノード

N2 第2ノード

S_LATCH、PD_LATCH ラッチ制御信号

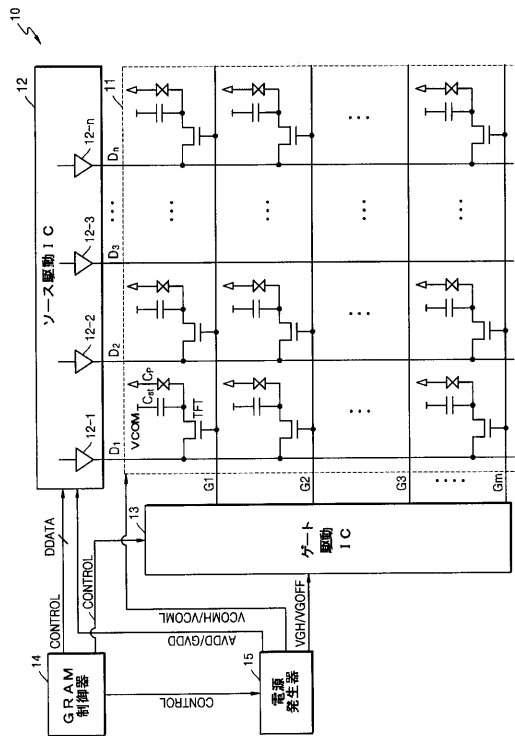
S1、S2、S3 スイッチ素子

Sn ソースドライバ出力信号

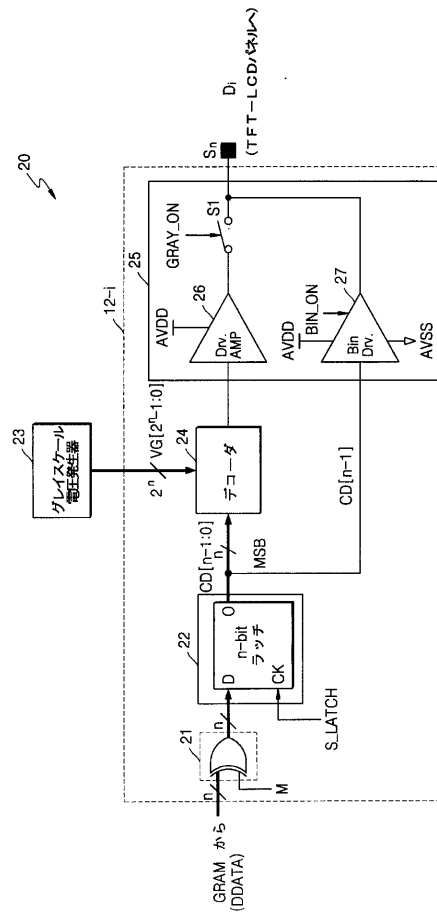
50

VCI 中間ソース駆動電圧
VCIR ゲーティング信号

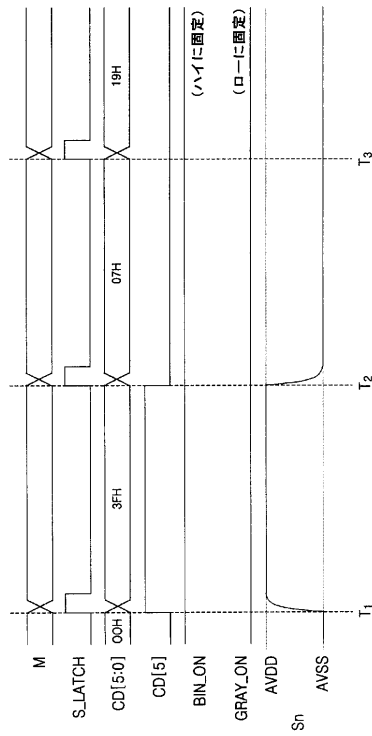
【図 1】



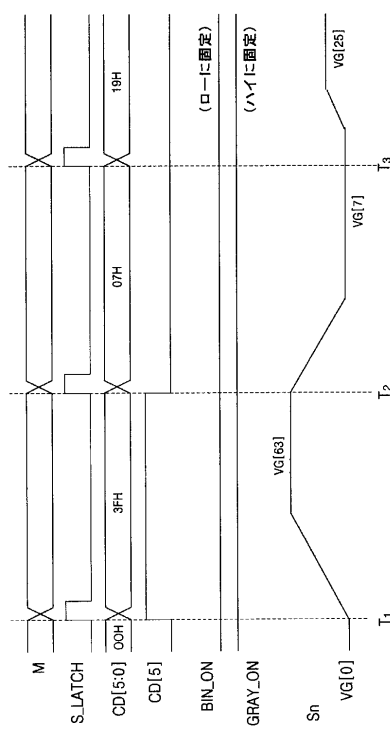
【図 2】



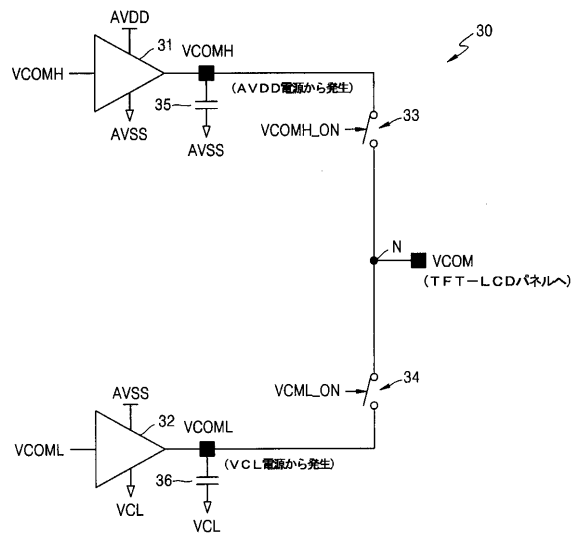
【図 3】



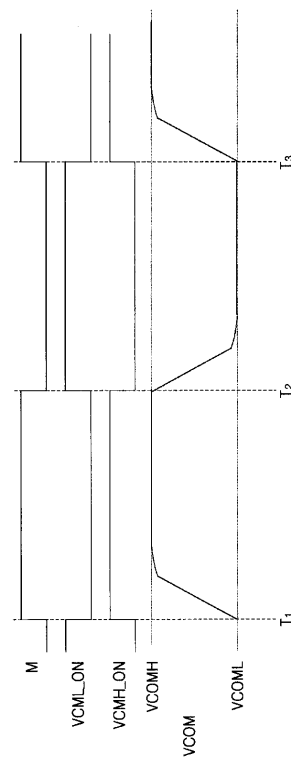
【図 4】



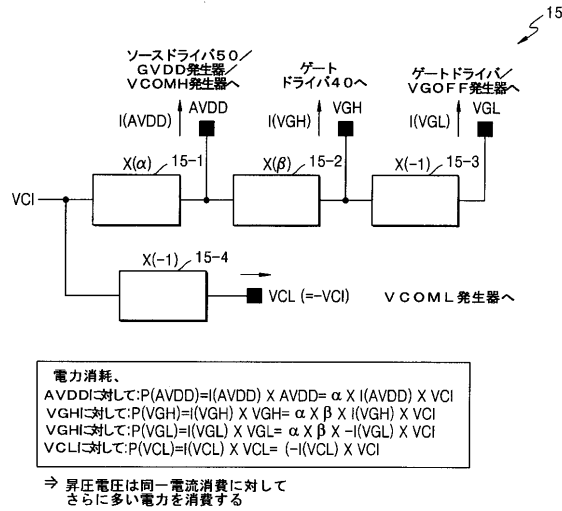
【図 5】



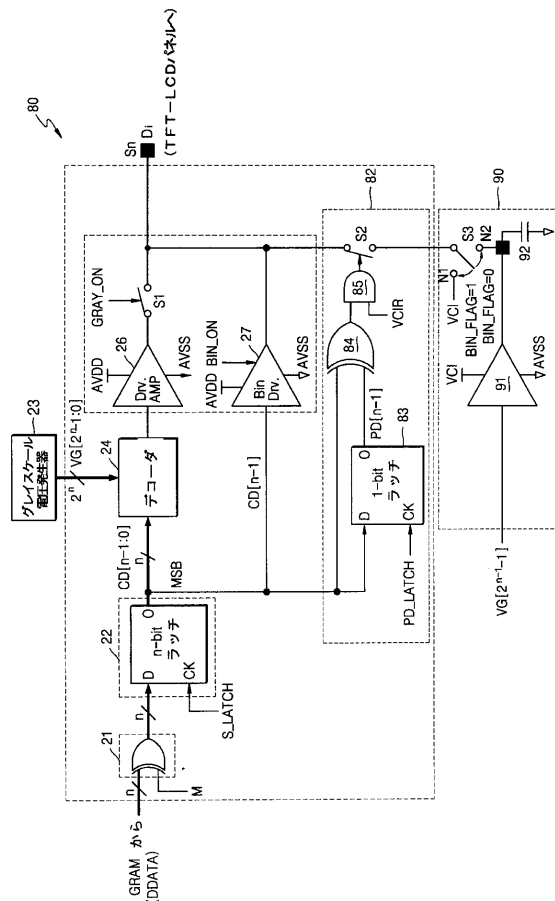
【図 6】



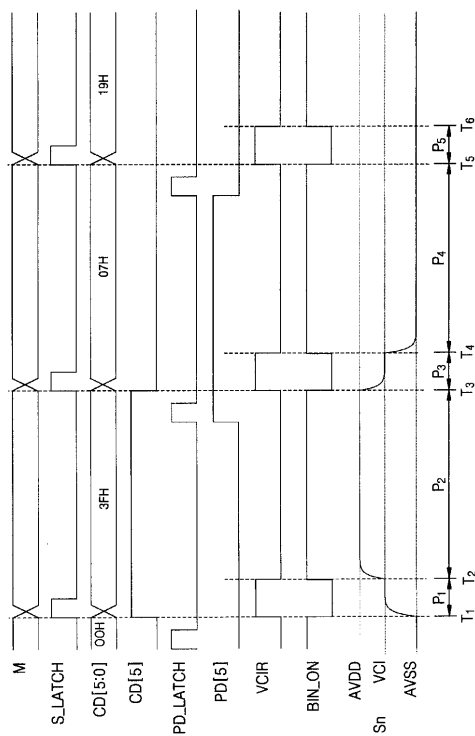
【図 7】



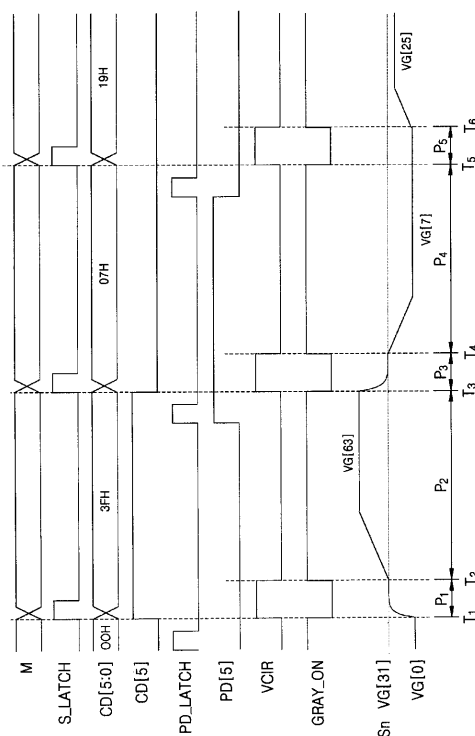
【図 8】



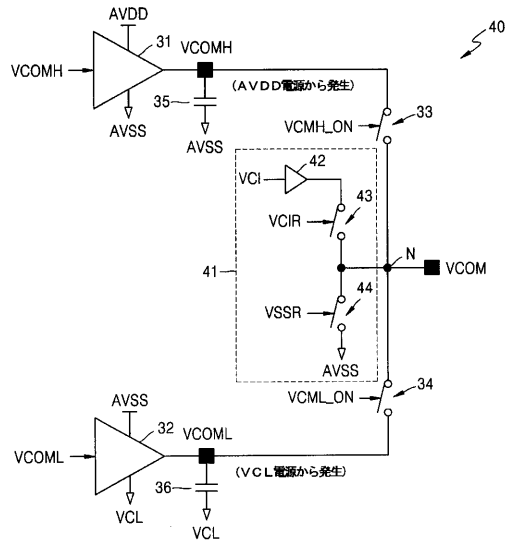
【図 9】



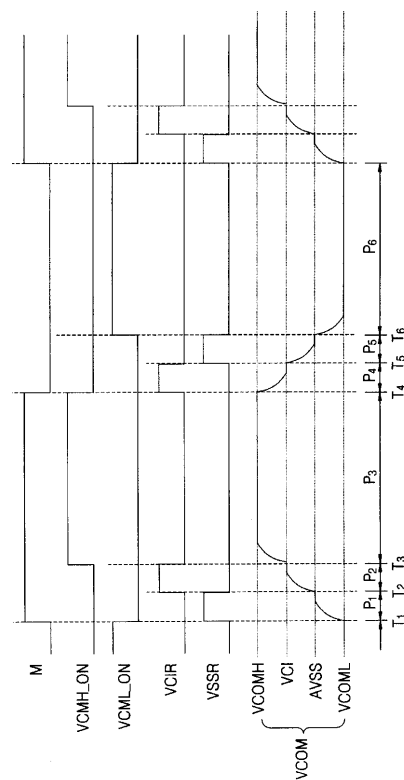
【図 10】



【図 11】



【図 12】



 フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 4 B

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 鄭 圭榮

大韓民国ソウル特別市江東區明逸洞 3 0 9 - 1 5 番地 三益グリーン 1 次アパート 1 0 3 棟 5 1 0 號

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 3 - 2 0 2 8 3 9 (J P , A)

特開 2 0 0 3 - 2 4 1 7 1 7 (J P , A)

特開 2 0 0 1 - 0 7 5 5 3 6 (J P , A)

特開平 0 8 - 2 7 1 8 5 6 (J P , A)

特開 2 0 0 5 - 0 9 9 1 7 0 (J P , A)

特開 2 0 0 4 - 1 8 4 8 4 0 (J P , A)

特開平 0 2 - 0 0 8 8 1 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0

专利名称(译)	源极驱动电路，驱动电路，液晶显示装置及其驱动方法		
公开(公告)号	JP4786897B2	公开(公告)日	2011-10-05
申请号	JP2004314670	申请日	2004-10-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	鄭圭榮		
发明人	鄭圭榮		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.612.F G09G3/20.612.U G09G3/20.623.B G09G3/20.623.C G09G3/20.623.G G09G3/20.624.B		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA43 2H093/NA53 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC18 2H093/NC21 2H093/NC22 2H093/NC25 2H093/NC26 2H093/NC34 2H093/NC35 2H093/NC49 2H093/ND06 2H093/ND39 2H193/ZA04 2H193/ZC02 2H193/ZD23 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZF59 5C006/AC11 5C006/AC21 5C006/AC25 5C006/AF43 5C006/AF45 5C006/BB16 5C006/BC12 5C006/BF04 5C006/BF25 5C006/BF26 5C006/EB05 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	渡边 隆 村山彦		
优先权	1020030075636 2003-10-28 KR 10/880118 2004-06-29 US		
其他公开文献	JP2005134910A		
外部链接	Espacenet		

摘要(译)

提供了一种用于在驱动平板显示器时提供降低的功耗的驱动器电路和方法。解决方案源驱动器电路和方法，用于在平板显示器和公共电压驱动器电路的数据线驱动中提供降低的功耗，以及用于在驱动平板显示器的公共电极时提供降低的功耗的方法它是。用于驱动数据线的源极驱动器电路和方法以及用于驱动公共电极的公共电压驱动器电路和方法仅使用完全升压的驱动电压以降低功耗并提供电荷再循环并且驱动周期中间参考电压和升压驱动电压一起使用。点域8

【图2】

