

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4571845号
(P4571845)

(45) 発行日 平成22年10月27日(2010.10.27)

(24) 登録日 平成22年8月20日(2010.8.20)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 2 F 1/133 (2006.01)

G O 2 F 1/133 5 5 0

G O 9 F 9/30 (2006.01)

G O 9 F 9/30 3 3 8

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 1 2 U

請求項の数 20 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2004-323626 (P2004-323626)
 (22) 出願日 平成16年11月8日(2004.11.8)
 (65) 公開番号 特開2006-133577 (P2006-133577A)
 (43) 公開日 平成18年5月25日(2006.5.25)
 審査請求日 平成19年3月2日(2007.3.2)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100101214
 弁理士 森岡 正樹
 (72) 発明者 上田 一也
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通ディスプレイテクノロジーズ
 株式会社内
 (72) 発明者 鎌田 豪
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通ディスプレイテクノロジーズ
 株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置用基板及びそれを備えた液晶表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

基板上に互いに並列して形成された複数のゲートバスラインと、
 前記複数のゲートバスラインに絶縁膜を介して交差して形成された複数のドレインバスラインと、
 前記ゲートバスラインに並列して形成された複数の蓄積容量バスラインと、
 n 本目の前記ゲートバスラインに電氣的に接続されたゲート電極と、前記ドレインバスラインに電氣的に接続されたドレイン電極とをそれぞれ備えた第1及び第2のトランジスタと、
 前記第1のトランジスタのソース電極に電氣的に接続された第1の画素電極と、
 前記第2のトランジスタのソース電極に電氣的に接続され、前記第1の画素電極から分離された第2の画素電極と、
 前記第1の画素電極が形成された第1の副画素と、前記第2の画素電極が形成された第2の副画素とを備えた画素領域と、
 $(n+1)$ 本目の前記ゲートバスラインに電氣的に接続されたゲート電極と、前記第2の画素電極に電氣的に接続されたソース電極とを備えた第3のトランジスタと、
 前記第3のトランジスタのドレイン電極に電氣的に接続された第1のバッファ容量電極と、絶縁膜を介して前記第1のバッファ容量電極に対向して配置され、前記蓄積容量バスラインに電氣的に接続された第2のバッファ容量電極とを備えたバッファ容量部と
 を有することを特徴とする液晶表示装置用基板。

10

20

【請求項 2】

請求項 1 記載の液晶表示装置用基板において、

前記第 2 のバッファ容量電極は、前記 n 本目のゲートバスラインと前記 $(n + 1)$ 本目のゲートバスラインとの間に配置された前記蓄積容量バスラインに電氣的に接続されていること

を特徴とする液晶表示装置用基板。

【請求項 3】

請求項 1 記載の液晶表示装置用基板において、

前記バッファ容量部は、前記 $(n + 1)$ 本目のゲートバスラインを挟んで隣接する次段の画素領域側に配置され、

前記第 2 のバッファ容量電極は、前記 $(n + 1)$ 本目のゲートバスラインと $(n + 2)$ 本目の前記ゲートバスラインとの間に配置された前記蓄積容量バスラインに電氣的に接続されていること

を特徴とする液晶表示装置用基板。

【請求項 4】

請求項 3 記載の液晶表示装置用基板において、

前記第 3 のトランジスタのドレイン電極は、前記次段の画素領域側に配置されていること

を特徴とする液晶表示装置用基板。

【請求項 5】

基板上に互いに並列して形成された複数のゲートバスラインと、

前記複数のゲートバスラインに絶縁膜を介して交差して形成された複数のドレインバスラインと、

前記ゲートバスラインに並列して形成された複数の蓄積容量バスラインと、

n 本目の前記ゲートバスラインに電氣的に接続されたゲート電極と、前記ドレインバスラインに電氣的に接続されたドレイン電極とをそれぞれ備えた第 1 及び第 2 のトランジスタと、

前記第 1 のトランジスタのソース電極に電氣的に接続された第 1 の画素電極と、

前記第 2 のトランジスタのソース電極に電氣的に接続され、前記第 1 の画素電極から分離された第 2 の画素電極と、

前記第 1 の画素電極が形成された第 1 の副画素と、前記第 2 の画素電極が形成された第 2 の副画素とを備えた画素領域と、

$(n + 1)$ 本目の前記ゲートバスラインに電氣的に接続されたゲート電極と、前記蓄積容量バスラインに電氣的に接続されたドレイン電極とを備えた第 3 のトランジスタと、

前記第 3 のトランジスタのソース電極に電氣的に接続された第 1 のバッファ容量電極と、絶縁膜を介して前記第 1 のバッファ容量電極に対向して配置され、前記第 2 の画素電極に電氣的に接続された第 2 のバッファ容量電極とを備えたバッファ容量部と

を有することを特徴とする液晶表示装置用基板。

【請求項 6】

請求項 5 記載の液晶表示装置用基板において、

前記第 3 のトランジスタのドレイン電極は、前記 n 本目のゲートバスラインと前記 $(n + 1)$ 本目のゲートバスラインとの間に配置された前記蓄積容量バスラインに電氣的に接続されていること

を特徴とする液晶表示装置用基板。

【請求項 7】

請求項 5 記載の液晶表示装置用基板において、

前記第 3 のトランジスタのドレイン電極は、前記 $(n + 1)$ 本目のゲートバスラインと $(n + 2)$ 本目の前記ゲートバスラインとの間に配置された前記蓄積容量バスラインに電氣的に接続されていること

を特徴とする液晶表示装置用基板。

10

20

30

40

50

【請求項 8】

請求項 7 記載の液晶表示装置用基板において、

前記第 3 のトランジスタのドレイン電極は、前記 ($n + 1$) 本目のゲートバスラインを挟んで隣接する次段の画素領域側に配置されていることを特徴とする液晶表示装置用基板。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示装置用基板において、

前記第 1 の画素電極は、前記第 1 のトランジスタにほぼ隣接して配置され、

前記第 2 の画素電極は、前記第 2 のトランジスタにほぼ隣接して配置されていることを特徴とする液晶表示装置用基板。

10

【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の液晶表示装置用基板において、

前記第 1 及び第 2 のバッファ容量電極のうち一方は、他方より幅広に形成されていることを特徴とする液晶表示装置用基板。

【請求項 11】

請求項 1 乃至 9 のいずれか 1 項に記載の液晶表示装置用基板において、

前記第 1 及び第 2 のバッファ容量電極の双方は帯状の形状を有し、長手方向が互いに交差するように配置されていること

を特徴とする液晶表示装置用基板。

20

【請求項 12】

請求項 1 乃至 10 のいずれか 1 項に記載の液晶表示装置用基板において、

前記第 1 の副画素に対する前記第 2 の副画素の面積比は、 $1 / 2$ 以上であること

を特徴とする液晶表示装置用基板。

【請求項 13】

請求項 12 記載の液晶表示装置用基板において、

前記面積比は 4 以下であること

を特徴とする液晶表示装置用基板。

【請求項 14】

対向配置された一対の基板と、前記一対の基板間に封止された液晶とを備えた液晶表示装置であって、

30

前記一対の基板の一方に、請求項 1 乃至 13 のいずれか 1 項に記載の液晶表示装置用基板が用いられていること

を特徴とする液晶表示装置。

【請求項 15】

請求項 14 記載の液晶表示装置において、

前記一対の基板の他方は共通電極を有し、

前記第 2 の画素電極と前記共通電極との間に形成される液晶容量と、前記液晶容量に並列に接続された蓄積容量との和に対する前記バッファ容量部の容量比は、 0.05 以上であること

40

を特徴とする液晶表示装置。

【請求項 16】

請求項 15 記載の液晶表示装置において、

前記容量比は 0.6 以下であること

を特徴とする液晶表示装置。

【請求項 17】

請求項 14 乃至 16 のいずれか 1 項に記載の液晶表示装置において、

前記液晶を配向規制する線状の配向規制用構造物をさらに有し、

前記配向規制用構造物は、前記ゲートバスラインに平行な直線上にない複数の屈曲部を 1 つの前記画素領域内に有し、

50

前記蓄積容量バスラインは、前記複数の屈曲部のうち少なくとも２つにそれぞれ重なって配置されていること

を特徴とする液晶表示装置。

【請求項 18】

請求項 14 乃至 17 のいずれか 1 項に記載の液晶表示装置において、

前記第 1 及び第 2 の画素電極を分離する線状のスリット部を有し、

前記配向規制用構造物は、前記スリット部に並列して配置されていること

を特徴とする液晶表示装置。

【請求項 19】

請求項 14 乃至 18 のいずれか 1 項に記載の液晶表示装置を駆動する駆動方法であって

10

第 m フレームの入力階調データ G_m と、前記画素の第 $(m+1)$ フレームの入力階調データ $G(m+1)$ とを画素毎に比較し、

$G_m < G(m+1)$ の場合に、前記第 $(m+1)$ フレームの出力階調データ $G'(m+1)$ を、 $G_m < G'(m+1) < G(m+1)$ の範囲内で補正すること

を特徴とする液晶表示装置の駆動方法。

【請求項 20】

請求項 19 記載の液晶表示装置の駆動方法において、

$G_m > G(m+1)$ の場合に、前記第 $(m+1)$ フレームの出力階調データ $G'(m+1)$ を、 $G_m > G'(m+1) > G(m+1)$ の範囲内で補正すること

20

を特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器の表示部等に用いられる液晶表示装置用基板及びそれを備えた液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、液晶表示装置は、テレビ受像機やパーソナル・コンピュータのモニタ装置等として用いられるようになってきている。これらの用途では、表示画面をあらゆる方向から見ることのできる高い視角特性が求められている。図 20 は、VA (Vertically Aligned) モードの液晶表示装置の印加電圧に対する透過率特性 (T-V 特性) を示すグラフである。横軸は液晶層に対する印加電圧 (V) を表し、縦軸は光の透過率を表している。線 A は表示画面に対し垂直な方向 (以下、「正面方向」という) での T-V 特性を示し、線 B は表示画面に対して方位角 90° 、極角 60° の方向 (以下、「斜め方向」という) での T-V 特性を示している。ここで、方位角は、表示画面の右方向を基準として反時計回りに計った角度とする。また極角は、表示画面の中心に立てた垂線となす角とする。

30

【0003】

図 20 に示すように、円 C で囲んだ領域近傍において、透過率 (輝度) 変化に歪みが生じている。例えば、印加電圧が約 2.5 V の比較的低階調においては斜め方向の透過率が正面方向の透過率より高くなっているが、印加電圧が約 4.5 V の比較的高階調においては斜め方向の透過率が正面方向の透過率より低くなっている。この結果、斜め方向から見た場合には実効駆動電圧範囲での輝度差が小さくなってしまふ。この現象は色の変化に最も顕著に現れる。

40

【0004】

図 21 は表示画面に表示した画像の見え方の変化を示している。図 21 (a) は正面方向から見た画像を示し、図 21 (b) は斜め方向から見た画像を示している。図 21 (a)、(b) に示すように、表示画面を斜め方向から見ると、正面方向から見たときと比較して画像の色が白っぽく変化してしまう。

50

【 0 0 0 5 】

図 2 2 は、赤みがかった画像における赤 (R)、緑 (G)、青 (B) 3 原色の階調ヒストグラムを示している。図 2 2 (a) は R の階調ヒストグラムを示し、図 2 2 (b) は G の階調ヒストグラムを示し、図 2 2 (c) は B の階調ヒストグラムを示している。図 2 2 (a) ~ (c) の横軸は階調 (0 ~ 2 5 5 の 2 5 6 階調) を表し、縦軸は存在率 (%) を表している。図 2 2 (a) ~ (c) に示すように、この画像では比較的高階調の R と比較的低階調の G 及び B とが高い存在率で存在している。このような画像を V A モードの液晶表示装置の表示画面に表示させて斜め方向から見ると、高階調の R が相対的に暗めに変化し、低階調の G 及び B が相対的に明るめに変化する。これにより 3 原色の輝度差が小さくなるため、画面全体として色が白っぽくなる。

10

【 0 0 0 6 】

上記の現象は、従来型の駆動モードである T N (T w i s t e d N e m a t i c) モードの液晶表示装置でも同様に生じる。特許文献 1 乃至 3 には、T N モードの液晶表示装置における上記の現象を改善する技術が開示されている。図 2 3 はこれらの公知技術に基づく基本的な液晶表示装置の 1 画素の構成を示し、図 2 4 は図 2 3 の X - X 線で切断した液晶表示装置の断面構成を示し、図 2 5 はこの液晶表示装置の 1 画素の等価回路を示している。図 2 3 乃至図 2 5 に示すように、液晶表示装置は、薄膜トランジスタ (T F T) 基板 1 0 2 と対向基板 1 0 4 と両基板 1 0 2、1 0 4 間に封止された液晶層 1 0 6 とを有している。

【 0 0 0 7 】

20

T F T 基板 1 0 2 は、ガラス基板 1 1 0 上に形成された複数のゲートバスライン 1 1 2 と、絶縁膜 1 3 0 を介してゲートバスライン 1 1 2 に交差して形成された複数のドレインバスライン 1 1 4 とを有している。ゲートバスライン 1 1 2 及びドレインバスライン 1 1 4 の交差位置近傍には、スイッチング素子として画素毎に形成された T F T 1 2 0 が配置されている。ゲートバスライン 1 1 2 の一部は T F T 1 2 0 のゲート電極として機能し、T F T 1 2 0 のドレイン電極 1 2 1 はドレインバスライン 1 1 4 に電氣的に接続されている。また、ゲートバスライン 1 1 2 及びドレインバスライン 1 1 4 により画定された画素領域を横切って、ゲートバスライン 1 1 2 に並列して延びる蓄積容量バスライン 1 1 8 が形成されている。蓄積容量バスライン 1 1 8 上には、絶縁膜 1 3 0 を介して蓄積容量電極 1 1 9 が画素毎に形成されている。蓄積容量電極 1 1 9 は、制御電極 1 2 5 を介して T F T 1 2 0 のソース電極 1 2 2 に電氣的に接続されている。蓄積容量バスライン 1 1 8 と蓄積容量電極 1 1 9 との間には、蓄積容量 C s が形成される。

30

【 0 0 0 8 】

ゲートバスライン 1 1 2 及びドレインバスライン 1 1 4 により画定された画素領域は、副画素 A と副画素 B とに分割されている。副画素 A には画素電極 1 1 6 が形成され、副画素 B には画素電極 1 1 6 から分離された画素電極 1 1 7 が形成されている。画素電極 1 1 6 は、コンタクトホール 1 2 4 を介して蓄積容量電極 1 1 9 及び T F T 1 2 0 のソース電極 1 2 2 に電氣的に接続されている。画素電極 1 1 7 は、電氣的にフローティング状態になっている。画素電極 1 1 7 は、保護膜 1 3 2 を介して制御電極 1 2 5 に重なる領域を有し、当該領域に形成される制御容量 C c を介した容量結合によりソース電極 1 2 2 に間接的に接続されている。

40

【 0 0 0 9 】

対向基板 1 0 4 は、ガラス基板 1 1 1 上に形成されたカラーフィルタ (C F) 樹脂層 1 4 0 と、C F 樹脂層 1 4 0 上に形成された共通電極 1 4 2 とを有している。副画素 A の画素電極 1 1 6 と共通電極 1 4 2 との間には液晶容量 C l c 1 が形成され、副画素 B の画素電極 1 1 7 と共通電極 1 4 2 との間には液晶容量 C l c 2 が形成される。T F T 基板 1 0 2 及び対向基板 1 0 4 の液晶 1 0 6 との界面には、配向膜 1 3 6、1 3 7 がそれぞれ形成されている。

【 0 0 1 0 】

T F T 1 2 0 がオン状態になって画素電極 1 1 6 に電圧が印加され、副画素 A の液晶層

50

に電圧 $V_{p \times 1}$ が印加されるとする。このとき、液晶容量 $C_{l \times 2}$ と制御容量 C_c との容量比に従って電位が分割されるため、副画素 B の画素電極 117 には画素電極 116 とは異なる電圧が印加される。副画素 B の液晶層に印加される電圧 $V_{p \times 2}$ は、

$$V_{p \times 2} = (C_c / (C_{l \times 2} + C_c)) \times V_{p \times 1}$$
 となる。実際の電圧比 ($V_{p \times 2} / V_{p \times 1} (= (C_c / (C_{l \times 2} + C_c)))$) は液晶表示装置の表示特性に基づく設計事項であるが、およそ 0.6 ~ 0.8 とするのが理想的である。

【0011】

このように、1 画素内に閾値電圧の互いに異なる副画素 A、B が存在すると、図 20 に示したような T - V 特性の歪みが副画素 A、B で分散される。このため、斜め方向から見たときに画像が白っぽくなる現象を抑制でき、視角特性が改善される。以下、上記の手法を容量結合 HT (ハーフトーン・グレースケール) 法とよぶ。

【0012】

なお、特許文献 1 乃至 3 では TN モードの液晶表示装置を前提として上記の技術が記載されているが、近年 TN モードに代わって主流となった VA モードの液晶表示装置に上記の技術を適用することによって、より高い効果が得られる。

【0013】

図 26 は、容量結合 HT 法を用いた従来の液晶表示装置に生じる焼付きを説明する図である。図 26 (a) は、焼付き試験の際に画面に表示する白黒のチェッカパターンを示している。焼付き試験では、図 26 (a) に示すチェッカパターンを一定時間 (例えば 48 時間) 連続表示させた直後に画面全体に同階調の中間調を表示させて、チェッカパターンが視認されるか否かを検査する。チェッカパターンが視認された場合には、画面の輝度をチェッカパターンに沿って測定し、焼付き率を算出する。ここで、視認されるチェッカパターンのうち低輝度領域の輝度を a とし高輝度領域の輝度を a + b としたとき、b / a を焼付き率と定義した。

【0014】

図 26 (b) は容量結合 HT 法を用いていない液晶表示装置に中間調を表示させた画面を示し、図 26 (c) は容量結合 HT 法を用いた液晶表示装置に中間調を表示させた画面を示している。図 26 (b) に示すように、容量結合 HT 法を用いていない液晶表示装置では、中間調表示の際にチェッカパターンはほとんど視認されなかった。図 26 (b) の Y - Y' 線に沿って輝度を測定したところ、輝度は図 26 (d) の線 c に示すような分布を有していた。焼付き率は 0 ~ 5 % に過ぎなかった。これに対し、容量結合 HT 法を用いた液晶表示装置では、図 26 (c) に示すようなチェッカパターンが視認された。図 26 (c) の Y - Y' 線に沿って輝度を測定したところ、輝度は図 26 (d) の線 d に示すような分布を有していた。焼付き率は 10 % 以上であった。このように、容量結合 HT 法を用いていない液晶表示装置では焼付きがほとんど発生しないのに対し、容量結合 HT 法を用いた液晶表示装置では比較的濃い焼付きが発生するという問題が生じていた。

【0015】

焼付きが発生した液晶表示装置の画素内の特性分布などを評価し、解析した結果、焼付きは、電氣的にフローティング状態の画素電極 117 の形成された副画素 B で発生していることが判明した。画素電極 117 は、極めて電気抵抗の高いシリコン窒化膜 (SiN 膜) 等を介して制御電極 125 に接続され、また極めて電気抵抗の高い液晶層を介して共通電極 142 に接続されている。このため、画素電極 117 に充電された電荷は容易に放電されないようになっている。一方、TF T 120 のソース電極 122 に電氣的に接続された副画素 A の画素電極 116 にはフレーム毎に電位が書き込まれ、かつ画素電極 116 は、SiN 膜や液晶層に比較して極めて電気抵抗の低い TF T 120 の動作半導体層を介してドレインバスライン 114 に接続されている。このため、画素電極 117 に充電された電荷が放電されなくなることはあり得ない。

【0016】

図 27 (a) は、容量結合 HT 法を用いた従来の液晶表示装置における容量比、電圧比

10

20

30

40

50

及び液晶の誘電率 ϵ の変化を示すグラフである。図 27 (a) の横軸は副画素 A の液晶層への印加電圧 (V) を表し、縦軸は容量比、電圧比及び誘電率を表している。線 e は制御容量 C_c と液晶容量 C_{lc2} との容量比 C_c / C_{lc2} を示し、線 f は副画素 A の液晶層に印加される電圧 V_{px1} と副画素 B の液晶層に印加される電圧 V_{px2} との電圧比 V_{px2} / V_{px1} を示し、線 g は VA モードの液晶表示装置に用いられるネガ型液晶の誘電率 ϵ を示している。また図 27 (b) は、電圧比 V_{px2} / V_{px1} の変化を縦軸 (電圧比) のスケールを拡大して示している。

【0017】

図 27 (a)、(b) に示すように、容量結合 HT 法を用いた従来の液晶表示装置では、印加電圧の増加とともに電圧比 V_{px2} / V_{px1} が減少している。容量結合 HT 法を用いた従来の液晶表示装置では、副画素 A よりも液晶層に印加される電圧が低く輝度の低い副画素 B が、画素全体の 50 ~ 80 % 程度を占めている。このため、白を表示させる電圧 (5.5 ~ 7 V) を画素電極 116 に印加しても副画素 B では高い透過率が得られないため、容量結合 HT 法を用いていない液晶表示装置と比較すると、画素全体の輝度はおよそ 40 ~ 80 % に低下してしまう。図 20 に示したように、輝度変化に歪みが生じるのは低階調 ~ 中階調の領域であるため、副画素 A、B の閾値電圧の差は、理想的には低電圧側ほど大きく高電圧側ほど小さくなるのがよい。例えば、副画素 A の液晶層に印加される電圧 V_{px1} が 2.5 V のときには副画素 B の液晶層に 1.5 ~ 2 V と低い電圧 V_{px2} が印加され (すなわち電圧差 ($V_{px1} - V_{px2}$) が大きい)、副画素 A の液晶層に印加される電圧 V_{px1} が 5.5 V のときには副画素 B の液晶層に 5 ~ 5.5 V と高い電圧 V_{px2} が印加される (すなわち電圧差 ($V_{px1} - V_{px2}$) が小さい) 方が、視角特性及び輝度の双方に優れた理想的な液晶表示装置が得られる。しかしながら、図 23 乃至図 25 に示したように制御容量 C_c と液晶容量 C_{lc2} とが直列に接続された構成を有する液晶表示装置では、電圧比 V_{px2} / V_{px1} は、容量比 $C_c / (C_{lc2} + C_c)$ により決定される。容量比 $C_c / (C_{lc2} + C_c)$ が一定とすると電圧比 V_{px2} / V_{px1} は一定であるので、上記の理想とは逆に電圧差 ($V_{px1} - V_{px2}$) は高電圧側ほど大きくなってしまう。

【0018】

さらに、上記の問題を大きくしてしまうのが液晶容量 C_{lc2} の変動である。図 27 (a) の線 g で示すように、液晶の誘電率 ϵ は、高電圧印加時ほど大きくなることから、誘電率 ϵ が大きくなると液晶容量 C_{lc2} も大きくなるため、容量比 C_c / C_{lc2} が小さくなり、 $C_c / (C_{lc2} + C_c)$ で決定される電圧比 V_{px2} / V_{px1} も小さくなる。図 27 (b) に示すように、電圧 0 ~ 2 V 程度の低電圧側での電圧比 V_{px2} / V_{px1} は 0.72 であるが、白を表示させる電圧 5 V 程度での電圧比 V_{px2} / V_{px1} は 0.62 程度まで低下している。すなわち、高電圧側での電圧差 ($V_{px1} - V_{px2}$) はさらに大きくなってしまう。したがって、容量結合 HT 法を用いた従来の液晶表示装置では、高い輝度を得るのが困難であるという問題が生じている。

【0019】

また、液晶容量と電圧比の関係は、セル厚変動時の表示むらの悪化も引き起こす。液晶表示パネルの透過率は液晶層の有するリタレーション値で決定され、セル厚が厚くなると高くなり、セル厚が薄くなると低くなるのが一般的である。容量結合 HT 法を用いた従来の液晶表示装置の場合、セル厚が厚くなると液晶容量 C_{lc2} が減少し、電圧比 V_{px2} / V_{px1} が 1 に近づくため画素全体の輝度は増加する。逆に、セル厚が薄くなると液晶容量 C_{lc2} が増加し、電圧比 V_{px2} / V_{px1} が 0 に近づくため画素全体の輝度は低下する。すなわち、容量結合 HT 法を用いた液晶表示装置では、セル厚の変動に対してリタレーション値の変化による透過率の変化と電圧比の変化による透過率の変化とが相乗的に作用するため、表示むらが視認され易いという問題が生じている。

【0020】

【特許文献 1】特開平 2 - 12 号公報

【特許文献 2】米国特許第 4840460 号明細書

10

20

30

40

50

【特許文献3】特許第3076938号公報
【特許文献4】特開平8-146464号公報
【特許文献5】特開2001-235766号公報
【発明の開示】
【発明が解決しようとする課題】

【0021】

本発明の目的は、良好な表示特性の得られる液晶表示装置用基板及びそれを備えた液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0022】

上記目的は、基板上に互いに並列して形成された複数のゲートバスラインと、前記複数のゲートバスラインに絶縁膜を介して交差して形成された複数のドレインバスラインと、前記ゲートバスラインに並列して形成された複数の蓄積容量バスラインと、 n 本目の前記ゲートバスラインに電氣的に接続されたゲート電極と、前記ドレインバスラインに電氣的に接続されたドレイン電極とをそれぞれ備えた第1及び第2のトランジスタと、前記第1のトランジスタのソース電極に電氣的に接続された第1の画素電極と、前記第2のトランジスタのソース電極に電氣的に接続され、前記第1の画素電極から分離された第2の画素電極と、前記第1の画素電極が形成された第1の副画素と、前記第2の画素電極が形成された第2の副画素とを備えた画素領域と、 $(n+1)$ 本目の前記ゲートバスラインに電氣的に接続されたゲート電極と、前記第2の画素電極に電氣的に接続されたソース電極とを備えた第3のトランジスタと、前記第3のトランジスタのドレイン電極に電氣的に接続された第1のバッファ容量電極と、絶縁膜を介して前記第1のバッファ容量電極に対向して配置され、前記蓄積容量バスラインに電氣的に接続された第2のバッファ容量電極とを備えたバッファ容量部とを有することを特徴とする液晶表示装置用基板によって達成される。

【発明の効果】

【0023】

本発明によれば、良好な表示特性の得られる液晶表示装置を実現できる。

【発明を実施するための最良の形態】

【0024】

〔第1の実施の形態〕

本発明の第1の実施の形態による液晶表示装置用基板及びそれを備えた液晶表示装置及びその駆動方法について図1乃至図13を用いて説明する。図1は、本実施の形態による液晶表示装置の概略構成を示している。図1に示すように、液晶表示装置は、絶縁膜を介して互いに交差して形成されたゲートバスライン及びドレインバスラインと、画素毎に形成されたTFT及び画素電極とを備えたTFT基板2を有している。また、液晶表示装置は、CFや共通電極が形成された対向基板4と、両基板2、4間に封止された例えば負の誘電率異方性を有する液晶6（図1では図示せず）とを備えている。

【0025】

TFT基板2には、複数のゲートバスラインを駆動するドライバICが実装されたゲートバスライン駆動回路80と、複数のドレインバスラインを駆動するドライバICが実装されたドレインバスライン駆動回路82とが接続されている。これらの駆動回路80、82は、制御回路84から出力された所定の信号に基づいて、走査信号やデータ信号を所定のゲートバスラインあるいはドレインバスラインに出力するようになっている。TFT基板2のTFT素子形成面と反対側の面には偏光板87が配置され、対向基板4の共通電極形成面と反対側の面には、偏光板87とクロスニコルに配置された偏光板86が配置されている。偏光板87のTFT基板2と反対側の面にはバックライトユニット88が配置されている。

【0026】

図2は、本実施の形態による液晶表示装置用基板としてTFT基板2の1画素の構成を

10

20

30

40

50

示している。図3は、図2のC-C線に対応する位置で切断した液晶表示装置の断面構成を示している。図4は、本実施の形態による液晶表示装置の1画素の等価回路を示している。図2乃至図4に示すように、TFT基板2は、ガラス基板10上に形成された複数のゲートバスライン12と、SiN膜等からなる絶縁膜30を介してゲートバスライン12に交差して形成された複数のドレインバスライン14とを有している。ここで、複数のゲートバスライン12は例えば線順次走査され、図2及び図4では、 n 番目に走査される n 本目のゲートバスライン12 n と、 $(n+1)$ 番目に走査される $(n+1)$ 本目のゲートバスライン12 $(n+1)$ とを示している。ゲートバスライン12及びドレインバスライン14の交差位置近傍には、画素毎に形成された第1のTFT21及び第2のTFT22が互いに隣り合って配置されている。ゲートバスライン12の一部はTFT21、22のゲート電極として機能する。ゲートバスライン12上には、絶縁膜30を介してTFT21、22の動作半導体層（図示せず）が例えば一体的に形成されている。動作半導体層上にはチャネル保護膜21d、22dが例えば一体的に形成されている。TFT21のチャネル保護膜21d上には、ドレイン電極21a及びその下層の n 型不純物半導体層（図示せず）と、ソース電極21b及びその下層の n 型不純物半導体層（図示せず）とが所定の間隙を介して対向して形成されている。また、TFT22のチャネル保護膜22d上には、ドレイン電極22a及びその下層の n 型不純物半導体層（図示せず）と、ソース電極22b及びその下層の n 型不純物半導体層（図示せず）とが所定の間隙を介して互に対向して形成されている。TFT21のドレイン電極21a及びTFT22のドレイン電極22aは、ドレインバスライン14にそれぞれ電氣的に接続されている。TFT21、22は並列に配置されている。

【0027】

また、ゲートバスライン12及びドレインバスライン14により画定された画素領域を横切って、ゲートバスライン12に並列して延びる蓄積容量バスライン18が形成されている。図2及び図4では、ゲートバスライン12 n とゲートバスライン12 $(n+1)$ との間に配置された蓄積容量バスライン18 n を示している。蓄積容量バスライン18 n 上には、絶縁膜30を介して蓄積容量電極19が画素毎に形成されている。蓄積容量電極19は、接続電極25を介してTFT21のソース電極21bに電氣的に接続されている。絶縁膜30を介して対向する蓄積容量バスライン18 n と蓄積容量電極19との間には、第1の蓄積容量 $Cs1$ が形成される。

【0028】

ゲートバスライン12及びドレインバスライン14により画定された画素領域は、副画素Aと副画素Bとに分割されている。図2において、例えば台形状の副画素Aは画素領域の中央部左寄りに配置され、副画素Bは画素領域のうち副画素Aの領域を除いた上部、下部及び中央部右側端部に配置されている。画素領域内の副画素A、Bの配置は、例えば蓄積容量バスライン18 n に対しほぼ線対称になっている。副画素Aには画素電極16が形成され、副画素Bには画素電極16から分離された画素電極17が形成されている。画素電極16、17は、共にITO等の透明導電膜により形成されている。高い視角特性を得るためには、副画素Aに対する副画素Bの面積比が $1/2$ 以上4以下であることが望ましい。画素電極16は、保護膜32が開口されたコンタクトホール24を介して、蓄積容量電極19及びTFT21のソース電極21bに電氣的に接続されている。画素電極17は、保護膜32が開口されたコンタクトホール26を介してTFT22のソース電極22bに電氣的に接続されている。また画素電極17は、保護膜32及び絶縁膜30を介して蓄積容量バスライン18 n に重なる領域を有している。当該領域では、保護膜32及び絶縁膜30を介して対向する画素電極17と蓄積容量バスライン18 n との間に第2の蓄積容量 $Cs2$ が形成される。

【0029】

また、各画素領域の図2中下方には、第3のTFT23が配置されている。TFT23のゲート電極23cは、当該画素の次段のゲートバスライン12 $(n+1)$ に電氣的に接続されている。ゲート電極23c上には、絶縁膜30を介して動作半導体層23eが形成

されている。動作半導体層 2 3 e 上には、チャネル保護膜 2 3 d が形成されている。チャネル保護膜 2 3 d 上には、ドレイン電極 2 3 a 及びその下層の n 型不純物半導体層 2 3 f と、ソース電極 2 3 b 及びその下層の n 型不純物半導体層 2 3 f とが所定の間隙を介して対向して形成されている。ソース電極 2 3 b は、コンタクトホール 2 7 を介して画素電極 1 7 に電氣的に接続されている。T F T 2 3 の近傍には、接続電極 3 5 を介して蓄積容量バスライン 1 8 n に電氣的に接続されたバッファ容量電極 2 8 が配置されている。バッファ容量電極 2 8 上には、絶縁膜 3 0 を介してバッファ容量電極 2 9 が配置されている。バッファ容量電極 2 9 は、ドレイン電極 2 3 a に電氣的に接続されている。絶縁膜 3 0 を介して互に対向するバッファ容量電極 2 8、2 9 の間には、バッファ容量 C b が形成される。

10

【0030】

対向基板 4 は、ガラス基板 1 1 上に形成された C F 樹脂層 4 0 と、C F 樹脂層 4 0 上に形成された共通電極 4 2 とを有している。液晶 6 を介して対向する副画素 A の画素電極 1 6 と共通電極 4 2 との間には液晶容量 C 1 c 1 が形成され、副画素 B の画素電極 1 7 と共通電極 4 2 との間には液晶容量 C 1 c 2 が形成される。T F T 基板 2 の液晶 6 との界面には配向膜（垂直配向膜）3 6 が形成され、対向基板 4 の液晶 6 との界面には配向膜 3 7 がそれぞれ形成されている。これにより、電圧無印加時の液晶 6 は、基板面にほぼ垂直に配向する。

【0031】

容量結合 H T 法を用いた従来の液晶表示装置に比較的濃い焼付きが発生する要因は、副画素 B の画素電極が制御電極や共通電極に対してそれぞれ極めて高い電気抵抗を介して接続されるため、蓄えられた電荷が放電され難い点にある。これに対し、本実施の形態では、副画素 B の画素電極 1 7 が T F T 2 2 を介してドレインバスライン 1 4 に接続されている。T F T 2 2 の動作半導体層の電気抵抗は、オフ状態であっても絶縁膜 3 0 や保護膜 3 2 等の電気抵抗よりも極めて低い。このため、画素電極 1 7 に蓄えられた電荷は容易に放電されるようになっている。したがって本実施の形態によれば、ハーフトーン法を用いているにもかかわらず、濃い焼付きが生じることがない。

20

【0032】

次に、本実施の形態による液晶表示装置の動作について説明する。図 5 は、本実施の形態による液晶表示装置の駆動波形を示している。図 5 (a) は、ある画素の T F T 2 1、2 2 のドレイン電極 2 1 a、2 2 a に接続されたドレインバスライン 1 4 に印加されるデータ電圧の波形を示している。図 5 (b) は、当該画素の T F T 2 1、2 2 のゲート電極に接続された n 本目のゲートバスライン 1 2 n に印加されるゲート電圧の波形を示し、図 5 (c) は当該画素の T F T 2 3 のゲート電極 2 3 c に接続された (n + 1) 本目のゲートバスライン 1 2 (n + 1) に印加されるゲート電圧の波形を示している。図 5 (a) ~ (c) の横方向は時間を表し、縦方向は電圧レベルを表している。また図 6 は、当該画素の T F T 2 3 の動作及び電圧の変化を示している。ここで、副画素 B の液晶容量 C 1 c 2 と蓄積容量 C s 2 との和を容量 C 1 とし、バッファ容量 C b を容量 C 2 とする。

30

【0033】

図 6 (a) は、図 5 (a) ~ (c) の状態 1 を示している。図 6 (a) に示すように、ゲートバスライン 1 2 n、1 2 (n + 1) が共に非選択である状態 1 では、容量 C 1、C 2 の電圧 V 1 (例えば 0 V) は等しい。このとき、容量 C 1 に蓄えられている電荷 Q 1 は $Q 1 = C 1 \times V 1$ であり、容量 C 2 に蓄えられている電荷 Q b 1 は $Q b 1 = C 2 \times V 1$ である。ゲートバスライン 1 2 (n + 1) が非選択であるので T F T 2 3 はオフ状態である。

40

【0034】

図 6 (b) は、図 5 (a) ~ (c) の状態 2 を示している。図 6 (b) に示すように、ゲートバスライン 1 2 n が選択状態になる状態 2 では、T F T 2 1、2 2 がオン状態となる。この結果、容量 C 1 の電圧は V 2 になる (例えば $V 2 \neq V 1$)。このとき、容量 C 1 に蓄えられる電荷 Q 2 は $Q 2 = C 1 \times V 2$ である。T F T 2 3 はオフ状態なので容量 C 2

50

の電圧は V_1 のままであり、容量 C_2 に蓄えられている電荷は Q_{b1} のままである。また、図示していないが、副画素Aの液晶容量 C_{1c1} 及び蓄積容量 C_{s1} の電圧も容量 C_1 と同様に V_2 となる。

【0035】

図6(c)は、図5(a)～(c)の状態3を示している。図6(c)に示すように、ゲートバスライン12nが非選択状態となり次段のゲートバスライン12(n+1)が選択状態となる状態3では、TF T 2 1、2 2がオフ状態となり、TF T 2 3がオン状態となる。TF T 2 3がオン状態になると、容量 C_1 の電圧と容量 C_2 の電圧とが等しくなるように電荷が再配分される。状態3で容量 C_1 、 C_2 に蓄えられる電荷の和 $Q_3 + Q_{b2}$ は、状態2で容量 C_1 、 C_2 に蓄えられていた電荷の和 $Q_2 + Q_{b1}$ に等しい($Q_3 + Q_{b2} = Q_2 + Q_{b1}$)。印加電圧の極性が1フレーム毎に反転される通常の駆動では、容量 C_2 に蓄えられていた電荷 Q_2 と新たに流入する電荷は極性が逆であるため、全体の電荷量は減少し電圧が低下することになる。容量 C_1 、 C_2 の電圧 V_3 は、

$$V_3 = Q_3 / C_1 = Q_{b2} / C_2$$

となる。ここで $C_2 / C_1 = \alpha$ とすると、

$$V_3 = 1 / (1 + \alpha) \times V_2 + \alpha / (1 + \alpha) \times V_1$$

となる。

【0036】

一方、副画素Aではこの現象が起きないため、副画素Aの液晶容量 C_{1c1} の電圧は V_2 のままである。これにより、副画素Aの液晶容量 C_{1c1} の電圧 V_2 と、副画素Bの液晶容量 C_{1c2} の電圧 V_3 との間に差が生じることになる。状態3で容量 C_1 、 C_2 の電圧が共に V_3 となった後、TF T 2 3はオフ状態となって状態1と同様の状態になる。これ以降、フレーム期間毎に状態1→状態2→状態3→状態1を繰り返すことになる。

【0037】

容量結合HT法を用いた従来の液晶表示装置と比較して、本実施の形態の液晶表示装置が有する最大の特徴は、副画素Bの電圧を副画素Aの電圧より低下させるための容量が、液晶容量 C_{1c2} に対し直列ではなく並列に接続されているという点にある。この結果、液晶容量 C_{1c2} が変動したときの電圧比の変動は、全く逆の傾向を示す。図7は、本実施の形態による液晶表示装置及び従来の液晶表示装置における容量比の変化に対する電圧比の変化を示すグラフである。横軸は、容量結合HT法を用いた従来の液晶表示装置における制御容量 C_c と液晶容量 C_{1c2} との容量比 C_c / C_{1c2} 、及び本実施の形態による液晶表示装置におけるバッファ容量 C_b と液晶容量 C_{1c2} との容量比 C_b / C_{1c2} を表している。縦軸は、副画素Aの液晶層に印加される電圧 V_{px1} 及び副画素Bの液晶層に印加される電圧 V_{px2} の電圧比 V_{px2} / V_{px1} を表している。線hは、従来の液晶表示装置の電圧比の変化を示し、線iは、本実施の形態による液晶表示装置の電圧比の変化を示している。既に述べたように液晶容量 C_{1c2} は印加電圧が低いほど小さく、印加電圧が高いほど大きくなるため、容量比 C_c / C_{1c2} 又は C_b / C_{1c2} の大きくなるグラフ右側は低電圧を印加した状態を表し、容量比 C_c / C_{1c2} 又は C_b / C_{1c2} の小さくなるグラフ左側は高電圧を印加した状態を表している。

【0038】

図7に示すように、容量結合HT法を用いた従来の液晶表示装置では、液晶層への印加電圧が高くなるほど電圧比 V_{px2} / V_{px1} が0に近づき、電圧差($V_{px1} - V_{px2}$)は必要以上に拡大してしまう。したがって、従来は輝度の高い液晶表示装置を得るのが困難であった。これに対し、本実施の形態による液晶表示装置では、液晶層への印加電圧が高くなるほど電圧比 V_{px2} / V_{px1} が1に近づくため、高電圧印加時の電圧差($V_{px1} - V_{px2}$)が比較的小さくなる。

【0039】

図8は、本実施の形態による液晶表示装置における容量比、電圧比及び液晶の誘電率 ϵ の変化を示すグラフである。図8の横軸は副画素Aの液晶層への印加電圧(V)を表し、縦軸は容量比、電圧比及び誘電率を表している。線jは容量比 C_b / C_{1c2} を示し、線

k は電圧比 $V_{p \times 2} / V_{p \times 1}$ を示し、線 l はネガ型液晶の誘電率 ϵ を示している。図 8 の線 k に示すように、電圧比 $V_{p \times 2} / V_{p \times 1}$ は、印加電圧の増加とともに増加している。印加電圧が約 2 V 以下のときの電圧比 $V_{p \times 2} / V_{p \times 1}$ が 0.72 であるのに対し、印加電圧が 5 V のときの電圧比 $V_{p \times 2} / V_{p \times 1}$ は 0.78 である。このため、白を表示させる電圧を副画素 A の液晶層に印加すると、副画素 B の液晶層に比較的高い電圧が印加され、副画素 B でも比較的高い光透過率が得られるため、画素全体の輝度は大きく向上する。したがって本実施の形態によれば、輝度の高い液晶表示装置が得られる。

【0040】

図 9 は、本実施の形態を MVA (Multi-domain Vertical Alignment) 方式の液晶表示装置に適用した画素構成を示している。図 10 は、図 9 の D-D 線で切断した液晶表示装置の断面構成を示している。図 9 及び図 10 に示すように、対向基板 4 上には、画素領域端部に対して斜めに延びる線状突起 44 が感光性樹脂等を用いて形成されている。線状突起 44 は、液晶 6 の配向を規制する配向規制用構造物として機能する。また、配向規制用構造物として線状突起 44 の代わりに共通電極 (対向電極) 42 にスリットが設けられていてもよい。画素電極 16 と画素電極 17 とを分離する線状のスリット 46 は、線状突起 44 に並列し、画素領域端部に対して斜めに延びている。スリット 46 は、TFT 基板 2 側の配向規制用構造物としても機能する。

【0041】

容量結合 HT 法を用いた液晶表示装置では、電圧比 $V_{p \times 2} / V_{p \times 1}$ が 0.9 ~ 0.5 程度のときに良好な視角特性が得られることが分かっている。図 7 に示したように、この範囲の電圧比 $V_{p \times 2} / V_{p \times 1}$ が得られる容量比 C_b / C_{1c2} (蓄積容量 C_{s2} を有する構成では容量比 $C_b / (C_{1c2} + C_{s2})$) の範囲は、ほぼ 0.05 以上 0.6 以下である。本例では、最適な条件として電圧比 $V_{p \times 2} / V_{p \times 1}$ がほぼ 0.72 になるように、容量比 C_b / C_{1c2} を 0.2 とした。

【0042】

図 11 は、図 9 に示した画素において、第 0 フレームに電圧 0 V を画素電極 16 に印加して黒を表示させ、第 1 ~ 第 10 フレームに電圧 ± 5 V を画素電極 16 に印加して白を表示させ、第 11 ~ 第 20 フレームに電圧 0 V を画素電極 16 に印加して黒を表示させた場合の画素電極 16、17 の電圧の変化を示すグラフである。グラフの横軸はフレーム数を表し、縦軸は印加電圧 (V) を表している。線 m は画素電極 16 に印加される電圧 $V_{p \times 1}$ を示し、線 n は画素電極 17 に印加される電圧 $V_{p \times 2}$ を示している。グラフ中の破線は、電圧 $V_{p \times 1}$ の 0.72 倍となる点を正極性側及び負極性側でそれぞれ結んで示している。図 11 に示すように、本実施の形態による液晶表示装置の副画素 B の画素電極 17 に印加される電圧 $V_{p \times 2}$ は、以下のような特徴を有している。

【0043】

第 2 ~ 第 10 フレーム及び第 11 ~ 第 20 フレームでは、電圧 $V_{p \times 2}$ が電圧 $V_{p \times 1}$ のほぼ 0.72 倍で安定しているが、電圧 $V_{p \times 1}$ が前フレームから変動した第 1 及び第 11 フレームでは、電圧 $V_{p \times 2}$ の大きさが電圧 $V_{p \times 1}$ の 0.72 倍よりも大きくなっている。これは、バッファ容量 C_b に蓄えられている電荷量が前フレームの階調により決まるためである。電圧の極性が 1 フレーム毎に反転される駆動では、第 2 ~ 第 10 フレームではバッファ容量 C_b に逆極性の電荷が蓄えられているため電圧 $V_{p \times 2}$ がより低下する。ところが、前フレームで黒を表示している第 1 フレームでは、バッファ容量 C_b に蓄えられた電荷がほぼ 0 であるため、電圧 $V_{p \times 2}$ が大きめになるオーバーシュートが生じてしまう。また、前フレームで白を表示している第 11 フレームでは、バッファ容量 C_b に蓄えられた逆極性の電荷量が大きいため、電圧 $V_{p \times 2}$ が大きめになるオーバーシュートが生じてしまう。

【0044】

図 12 は、第 1 ~ 第 5 フレームで当該画素の画素電極 16 に印加される電圧 $V_{p \times 1}$ 及び輝度の時間変化を示すグラフである。横方向は時間を表し、縦方向は電圧レベル及び輝度レベルを表している。線 o は電圧 $V_{p \times 1}$ を示し、線 p は輝度を表している。図 12 に

示すように、液晶の応答が十分に速い場合、オーバーシュートが生じると、図中楕円で囲んだ第1フレーム(1f)の輝度だけが所望の輝度よりも高くなってしまう。具体的には、動画像を表示した際にエッジが強調され過ぎてしまう現象が起こり得る。

【0045】

図13は、本実施の形態による液晶表示装置の駆動方法を用いた場合の電圧 V_{px1} 及び輝度の時間変化を示すグラフである。例えば液晶表示装置の有する制御部は、フレームメモリに記憶された2フレーム分の入力階調データ(第mフレームの入力階調データ G_m 、及び第 $(m+1)$ フレームの入力階調データ $G(m+1)$)を画素毎に比較する。 $G_m < G(m+1)$ の場合には、図13に示すように、第 $(m+1)$ フレームの出力階調データ $G'(m+1)$ を、 $G_m < G'(m+1) < G(m+1)$ の範囲内で補正し、第 $(m+1)$ フレームに小さめの電圧を液晶層に印加するアンダードライブ方式の駆動を行う。一方、図示していないが $G_m > G(m+1)$ の場合には、第 $(m+1)$ フレームの出力階調データ $G'(m+1)$ を、 $G_m > G'(m+1) > G(m+1)$ の範囲内で補正し、第 $(m+1)$ フレームに大きめの電圧を液晶層に印加するオーバードライブ方式の駆動を行う。

10

【0046】

上記のようなオーバーシュートは、本実施の形態による液晶表示装置において新たに生じた現象であり、容量結合HT法を用いた従来の液晶表示装置では生じない。したがって、それを解消する本実施の形態による液晶表示装置の駆動方法は、本実施の形態により初めて明らかにされた新しい技術である。

20

【0047】

一般に、容量結合HT法を用いた従来の液晶表示装置は、極めて良好な視角特性が得られるものの、焼付きが発生するために実用化が困難であった。これに対し、本実施の形態では従来の構成とは異なり、閾値電圧の低い副画素Aの画素電極16と閾値電圧の高い副画素Bの画素電極17とがいずれもフローティング状態でなく、TF T 2 1又はTF T 2 2をそれぞれ介してドレインバスライン14に接続されている。このため、焼付きが生じず表示特性の良好な液晶表示装置が得られる。また本実施の形態では、副画素Bの液晶層への印加電圧を低下させるためのバッファ容量 C_b を液晶容量 C_{lc2} 及び蓄積容量 C_{s2} に対して並列に接続することにより、液晶層への印加電圧が高くなるほど電圧比 V_{px2}/V_{px1} が1に近づくため、高電圧印加時の電圧差($V_{px1} - V_{px2}$)が比較的

30

【0048】

〔第2の実施の形態〕

次に、本発明の第2の実施の形態による液晶表示装置について図14及び図15を用いて説明する。上記第1の実施の形態による液晶表示装置では、副画素Bでも比較的高い光透過率が得られるものの、画素の開口率の低下によって輝度がさほど向上しない場合もあり得る。図9に示したように、開口率を低下させる最大の要因はTF T 2 3にある。図14は、本実施の形態による液晶表示装置の構成を示している。図14に示すように、本実施の形態では、TF T 2 3は次段のゲートバスライン12($n+1$)を跨ぐように配置される。これにより、画素領域内でのTF T 2 3の面積が減少し、開口率が向上する。

40

【0049】

ただし、次段のゲートバスライン12($n+1$)を跨ぐようにTF T 2 3を配置すると、ドレイン電極23a又はソース電極23bの一方が、隣接する次段の画素領域側に配置されることになる。例えばドレイン電極23a及びバッファ容量 C_b を次段の画素領域側に配置したとき、バッファ容量電極28と蓄積容量バスライン18nとの間を接続する接続電極35がゲートバスライン12($n+1$)を再度乗り越えるような構成にしてしまうと、これによって開口率の低下が生じてしまうので望ましくない。そこでバッファ容量電極28を、ゲートバスライン12($n+1$)とゲートバスライン12($n+2$)との間に配置された蓄積容量バスライン18($n+1$)に、接続電極35を介して接続する構成と

50

した。蓄積容量バスライン 18 は全て同電位であるため、バッファ容量電極 28 を次段の蓄積容量バスライン 18 (n + 1) に接続しても何ら問題は生じない。

【0050】

図 15 は、バッファ容量 C_b の構成を示している。図 15 (a) に示すように、バッファ容量 C_b は、蓄積容量バスライン 18 と同層のバッファ容量電極 28 と、ドレインバスライン 23a と同層のバッファ容量電極 29 とを、絶縁膜 30 を介して重ねることにより形成される。図 7 に示したように、電圧比 $V_{p \times 2} / V_{p \times 1}$ を例えば 0.72 にするためには、従来の構成では容量比 C_c / C_{1c2} を約 2.5 にすればよいのに対して、本実施の形態では容量比 C_b / C_{1c2} をより小さい約 0.2 にする必要がある。また本実施の形態では、望ましい電圧比 $V_{p \times 2} / V_{p \times 1}$ (例えば 0.5 ~ 0.9) が得られる容量比 C_b / C_{1c2} の範囲も狭く、容量比 C_b / C_{1c2} の変動に対する電圧比 $V_{p \times 2} / V_{p \times 1}$ の変化も大きい。したがって本実施の形態では、液晶表示装置の表示むらを抑制するために、バッファ容量 C_b の値を各画素で一定にすることが特に重要になる。しかしながら、図 15 (a) に示すようにバッファ容量電極 28、29 をほぼ同じ形状かつ同じ大きさに設計してしまうと、バッファ容量電極 28、29 の線幅むらやパターンングの際の位置ずれ等により重なり面積に変動が生じ易い。このため、バッファ容量 C_b の値が各画素で均一にならず、表示むらが生じ易いという問題がある。

10

【0051】

図 15 (b) ~ (d) は、表示むらを抑制できるバッファ容量電極 28、29 の構成の例を示している。図 15 (b) に示す構成では、バッファ容量電極 28 がバッファ容量電極 29 よりも幅広に設計されている。このため、バッファ容量電極 28、29 を形成する際に相対的な位置ずれが生じて重なり面積の変動は生じ難い。また、幅広に設計されたバッファ容量電極 28 に線幅むらが生じて重なり面積の変動は生じ難い。図 15 (c) に示す構成では、バッファ容量電極 29 がバッファ容量電極 28 よりも幅広に設計されている。このため、バッファ容量電極 28、29 を形成する際に相対的な位置ずれが生じて重なり面積の変動は生じ難い。また、幅広に設計されたバッファ容量電極 29 に線幅むらが生じて重なり面積の変動は生じ難い。図 15 (d) に示す構成では、バッファ容量電極 28、29 が帯状 (長形状) の形状を有し、その長手方向が互いに交差するように設計されている。このため、バッファ容量電極 28、29 を形成する際に相対的な位置ずれが生じて重なり面積の変動は生じ難い。また、バッファ容量電極 28、29 の長手方向の線幅むらが生じて重なり面積の変動は生じ難い。このように、バッファ容量電極 28、29 を図 15 (b) ~ (d) に示す構成のように形成することによって、表示むらの生じない表示特性の良好な液晶表示装置が得られる。

20

30

【0052】

〔第 3 の実施の形態〕

次に、本発明の第 3 の実施の形態による液晶表示装置について図 16 及び図 17 を用いて説明する。図 14 に示した第 2 の実施の形態による液晶表示装置において製造歩留りが低下する要因として、ドレインバスライン 14 と接続電極 25 との短絡欠陥がある。ドレインバスライン 14 及び接続電極 25 は互いに同層で形成されかつ比較的長い距離に亘って互いに近接して延びているため、フォトリソグラフィ工程において、塵などの混入による短絡欠陥が生じ易い。一方、接続電極 25 と副画素 B の画素電極 17 とを重ねて配置すると、接続電極 25 と画素電極 17 との間に形成される容量によって副画素 A の画素電極 16 の電圧が低下するため、画素全体としての輝度が低下してしまう。また、ドレインバスライン 14 と接続電極 25 との間隔を広げると、画素電極 16 とドレインバスライン 14 との間隔をさらに広げる必要があるため、画素の開口率が低下してしまう。したがって、図 14 に示した液晶表示装置では、製造歩留りを向上させるのが困難な場合があった。

40

【0053】

図 16 は、本実施の形態による液晶表示装置の画素構成を示している。図 16 に示すように、第 2 の実施の形態による液晶表示装置と比較すると、副画素 A が画素領域上方にず

50

れて配置されている。画素電極 16、17 の図中上方の端辺は共にゲートバスライン 12n に対向し、画素電極 16 は T F T 21 に隣接し、画素電極 17 は T F T 22 に隣接している。画素電極 16 は、コンタクトホール 31 を介して T F T 21 のソース電極 21b に電氣的に接続される。蓄積容量電極 19 は、コンタクトホール 24 を介して画素電極 16 に電氣的に接続される。また、画素電極 16 が画素領域上方にずれて配置されることによりスリット 46 も上方にずれるため、線状突起 44 も上方にずれて配置される。本実施の形態によれば、ソース電極 21b と蓄積容量電極 19 及び画素電極 16 との間を電氣的に接続する接続電極 25 が不要になるため、短絡欠陥による液晶表示装置の製造歩留りの低下を抑制できる。

【0054】

10

図 14 に示した第 2 の実施の形態による液晶表示装置では、線状突起 44 がほぼ直角に屈曲する屈曲部 44a に重なるように蓄積容量バスライン 18 (及び蓄積容量電極 19) が配置されている。この領域に蓄積容量バスライン 18 が配置されるのは、屈曲部 44a を通りゲートバスライン 12 に平行な直線を境界として液晶 6 の配向方位が異なるためである。仮に蓄積容量バスライン 18 が配置されていないとしても、この領域では液晶 6 の配向乱れにより光透過率が低下することになる。画素電位を 1 フレーム期間維持するのに必要な蓄積容量バスライン 18 をこの領域に配置することによって、蓄積容量バスライン 18 で遮光されることによる輝度の低下が最小限に抑えられている。

【0055】

ところで図 16 に示した構成では、画素ピッチの関係で、ゲートバスライン 12 に平行な直線上にない 2 つの屈曲部 44a、44b が 1 画素内に配置されている。すなわち、屈曲部 44a を通り蓄積容量バスライン 18 に重なる液晶配向の境界線に加え、屈曲部 44b を通りゲートバスライン 12 に平行な液晶配向の境界線がさらに存在することになる。

【0056】

20

図 17 は、本実施の形態による液晶表示装置の構成の変形例を示している。図 17 に示すように、本変形例では、ゲートバスライン 12n とゲートバスライン 12 (n+1) との間に、屈曲部 44a に重なりゲートバスライン 12 に平行に延びる蓄積容量バスライン 18n と、屈曲部 44b に重なりゲートバスライン 12 に平行に延びる蓄積容量バスライン 18n' とが配置されている。蓄積容量バスライン 18n' 上には、絶縁膜 30 を介して蓄積容量電極 19' が形成されている。絶縁膜 30 を介して対向する蓄積容量バスライン 18n' と蓄積容量電極 19' との間には、蓄積容量 Cs2 が形成される。蓄積容量バスライン 18n' は、接続電極 38 を介して蓄積容量バスライン 18n に電氣的に接続されている。蓄積容量バスライン 18n、18n' (蓄積容量電極 19、19') の幅は、図 16 に示す構成の蓄積容量バスライン 18n (蓄積容量電極 19) の幅よりも細くなっている。このように、ゲートバスライン 12 に平行な直線上にない複数の屈曲部が 1 画素内に配置されている場合に、複数の屈曲部のうち少なくとも 2 つにそれぞれ重なるように複数の蓄積容量バスライン 18 を配置し、接続電極 38 を介して複数の蓄積容量バスライン 18 を梯子状に接続する。本変形例によれば、蓄積容量バスライン 18 に断線欠陥が生じてパネル不良にならない液晶表示装置が得られる。また本変形例によれば、蓄積容量バスライン 18n、18n' 及び蓄積容量電極 19、19' の幅を細くできるため、画素の実質的な開口率が向上する。さらに本変形例によれば、蓄積容量 Cs2 の値を大きくするのが容易である。

30

40

【0057】

〔第 4 の実施の形態〕

次に、本発明の第 4 の実施の形態による液晶表示装置について図 18 及び図 19 を用いて説明する。図 18 及び図 19 に示すように、本実施の形態では、第 3 の T F T 23 のソース電極 23b がバッファ容量電極 29 に電氣的に接続されている。バッファ容量電極 29 は、副画素 B の画素電極 17 の一部の領域に重なって配置されている。当該領域の画素電極 17 はバッファ容量電極として機能し、SiN 膜等からなる保護膜 32 を介して互いに対向するバッファ容量電極 29 との間に、バッファ容量 Cb が形成される。なお画素電

50

極 17 に電氣的に接続されたバッファ容量電極を別途設け、当該バッファ容量電極とバッファ容量電極 29 とを絶縁膜を介して重ねて配置してもよい。この場合、別途設けられたバッファ容量電極とバッファ容量電極 29 との間にバッファ容量 C_b が形成される。

【0058】

また、TF T 23 のドレイン電極 23 a は、保護膜 32 を開口して形成されたコンタクトホール 50 を介して繋ぎ替え電極 52 に電氣的に接続されている。繋ぎ替え電極 52 は、画素電極 16、17 と同層で形成されている。繋ぎ替え電極 52 は、保護膜 32 及び絶縁膜 30 を開口して形成されたコンタクトホール 51 を介して接続電極 35 及び蓄積容量バスライン 18 n に電氣的に接続されている。すなわち TF T 23 のドレイン電極 23 a は、蓄積容量バスライン 18 n に電氣的に接続されている。ここで、図 14 に示した構成と同様に、次段のゲートバスライン 12 (n + 1) を跨ぐように TF T 23 を配置し、ドレイン電極 23 a を蓄積容量バスライン 18 (n + 1) に電氣的に接続してもよい。

10

【0059】

本実施の形態によれば、第 1 の実施の形態と同様の効果が得られる。ただし本実施の形態では、互いに異なる層に形成されたドレイン電極 23 a と接続電極 35 とを電氣的に接続するために、繋ぎ替え電極 52 を用いた繋ぎ替えが必要になる。したがって、画素の開口率が若干低下する場合がある。

【0060】

〔第 5 の実施の形態〕

次に、本発明の第 5 の実施の形態による液晶表示装置について図 28 を用いて説明する。例えば、上記の実施例では画素電極を A B の二つの領域に分割したが、視角特性をさらに改善するには A B C ・ ・ ・ と分割数を増やすことが考えられる。図 28 は 3 分割にする場合の例であり、図 4 に対して追加された C_{1c3} 、 C_{s3} がそれぞれ画素容量（液晶容量）と補助容量（蓄積容量）を示している。また電位差を付けるための構造としてバッファ容量 C_{b2} も設けられる。副画素 C は第 4 の TF T 54 によりドレインバスラインに接続され、さらに第 5 の TF T 55 でバッファ容量 C_{b2} に接続される。

20

この場合、各副画素毎に電圧差を付ける必要があり、 $C_{b1} / (C_{1c2} + C_{s2})$ と $C_{b2} / (C_{1c3} + C_{s3})$ は異なる値とする。

画素をさらに 4 分割以上とする場合も同様にすればよい。

【0061】

30

以上説明した第 1 乃至第 5 の実施の形態による液晶表示装置の表示画面に、50 の温度条件下で白黒チェッカパターンを 48 時間連続表示させ、焼付き試験を行った。その結果、実施の形態による液晶表示装置では、容量結合 H T 法を用いた従来の液晶表示装置に生じたような焼付きは全く生じないことが確認できた。また、従来の液晶表示装置と同じ開口率の場合、輝度が約 10 % 向上した。

【0062】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では M V A 方式等の V A モードの液晶表示装置を例に挙げたが、本発明はこれに限らず、T N モード等の他の液晶表示装置にも適用できる。

【0063】

40

また、上記実施の形態では透過型の液晶表示装置を例に挙げたが、本発明はこれに限らず、反射型や半透過型等の他の液晶表示装置にも適用できる。

【0064】

さらに上記実施の形態では、TF T 基板に対向して配置された対向基板上に C F が形成された液晶表示装置を例に挙げたが、本発明はこれに限らず、TF T 基板上に C F が形成された、いわゆる C F - o n - T F T 構造の液晶表示装置にも適用できる。

【0065】

以上説明した実施の形態による液晶表示装置用基板及びそれを備えた液晶表示装置及びその駆動方法は、以下のようにまとめられる。

（付記 1）

50

基板上に互いに並列して形成された複数のゲートバスラインと、
前記複数のゲートバスラインに絶縁膜を介して交差して形成された複数のドレインバスラインと、

前記ゲートバスラインに並列して形成された複数の蓄積容量バスラインと、

n 本目の前記ゲートバスラインに電氣的に接続されたゲート電極と、前記ドレインバスラインに電氣的に接続されたドレイン電極とをそれぞれ備えた第 1 及び第 2 のトランジスタと、

前記第 1 のトランジスタのソース電極に電氣的に接続された第 1 の画素電極と、

前記第 2 のトランジスタのソース電極に電氣的に接続され、前記第 1 の画素電極から分離された第 2 の画素電極と、

10

前記第 1 の画素電極が形成された第 1 の副画素と、前記第 2 の画素電極が形成された第 2 の副画素とを備えた画素領域と、

(n + 1) 本目の前記ゲートバスラインに電氣的に接続されたゲート電極と、前記第 2 の画素電極に電氣的に接続されたソース電極とを備えた第 3 のトランジスタと、

前記第 3 のトランジスタのドレイン電極に電氣的に接続された第 1 のバッファ容量電極と、絶縁膜を介して前記第 1 のバッファ容量電極に対向して配置され、前記蓄積容量バスラインに電氣的に接続された第 2 のバッファ容量電極とを備えたバッファ容量部と

を有することを特徴とする液晶表示装置用基板。

(付記 2)

付記 1 記載の液晶表示装置用基板において、

20

前記第 2 のバッファ容量電極は、前記 n 本目のゲートバスラインと前記 (n + 1) 本目のゲートバスラインとの間に配置された前記蓄積容量バスラインに電氣的に接続されていること

を特徴とする液晶表示装置用基板。

(付記 3)

付記 1 記載の液晶表示装置用基板において、

前記バッファ容量部は、前記 (n + 1) 本目のゲートバスラインを挟んで隣接する次段の画素領域側に配置され、

前記第 2 のバッファ容量電極は、前記 (n + 1) 本目のゲートバスラインと (n + 2) 本目の前記ゲートバスラインとの間に配置された前記蓄積容量バスラインに電氣的に接続されていること

30

を特徴とする液晶表示装置用基板。

(付記 4)

付記 3 記載の液晶表示装置用基板において、

前記第 3 のトランジスタのドレイン電極は、前記次段の画素領域側に配置されていること

を特徴とする液晶表示装置用基板。

(付記 5)

基板上に互いに並列して形成された複数のゲートバスラインと、

前記複数のゲートバスラインに絶縁膜を介して交差して形成された複数のドレインバスラインと、

40

前記ゲートバスラインに並列して形成された複数の蓄積容量バスラインと、

n 本目の前記ゲートバスラインに電氣的に接続されたゲート電極と、前記ドレインバスラインに電氣的に接続されたドレイン電極とをそれぞれ備えた第 1 及び第 2 のトランジスタと、

前記第 1 のトランジスタのソース電極に電氣的に接続された第 1 の画素電極と、

前記第 2 のトランジスタのソース電極に電氣的に接続され、前記第 1 の画素電極から分離された第 2 の画素電極と、

前記第 1 の画素電極が形成された第 1 の副画素と、前記第 2 の画素電極が形成された第 2 の副画素とを備えた画素領域と、

50

($n + 1$) 本目の前記ゲートバスラインに電氣的に接続されたゲート電極と、前記蓄積容量バスラインに電氣的に接続されたドレイン電極とを備えた第3のトランジスタと、

前記第3のトランジスタのソース電極に電氣的に接続された第1のバッファ容量電極と、絶縁膜を介して前記第1のバッファ容量電極に対向して配置され、前記第2の画素電極に電氣的に接続された第2のバッファ容量電極とを備えたバッファ容量部と

を有することを特徴とする液晶表示装置用基板。

(付記6)

付記5記載の液晶表示装置用基板において、

前記第3のトランジスタのドレイン電極は、前記 n 本目のゲートバスラインと前記($n + 1$)本目のゲートバスラインとの間に配置された前記蓄積容量バスラインに電氣的に接

10

続されていること

を特徴とする液晶表示装置用基板。

(付記7)

付記5記載の液晶表示装置用基板において、

前記第3のトランジスタのドレイン電極は、前記($n + 1$)本目のゲートバスラインと($n + 2$)本目の前記ゲートバスラインとの間に配置された前記蓄積容量バスラインに電氣的に接続されていること

を特徴とする液晶表示装置用基板。

(付記8)

付記7記載の液晶表示装置用基板において、

前記第3のトランジスタのドレイン電極は、前記($n + 1$)本目のゲートバスラインを挟んで隣接する次段の画素領域側に配置されていること

20

を特徴とする液晶表示装置用基板。

(付記9)

付記1乃至8のいずれか1項に記載の液晶表示装置用基板において、

前記第1の画素電極は、前記第1のトランジスタにほぼ隣接して配置され、

前記第2の画素電極は、前記第2のトランジスタにほぼ隣接して配置されていること

を特徴とする液晶表示装置用基板。

(付記10)

付記1乃至9のいずれか1項に記載の液晶表示装置用基板において、

前記第1及び第2のバッファ容量電極のうち一方は、他方より幅広に形成されていること

30

と

を特徴とする液晶表示装置用基板。

(付記11)

付記1乃至9のいずれか1項に記載の液晶表示装置用基板において、

前記第1及び第2のバッファ容量電極の双方は帯状の形状を有し、長手方向が互いに交差するように配置されていること

を特徴とする液晶表示装置用基板。

(付記12)

付記1乃至10のいずれか1項に記載の液晶表示装置用基板において、

前記第1の副画素に対する前記第2の副画素の面積比は、 $1/2$ 以上であること

を特徴とする液晶表示装置用基板。

40

(付記13)

付記12記載の液晶表示装置用基板において、

前記面積比は4以下であること

を特徴とする液晶表示装置用基板。

(付記14)

対向配置された一対の基板と、前記一対の基板間に封止された液晶とを備えた液晶表示装置であって、

前記一対の基板の一方に、付記1乃至13のいずれか1項に記載の液晶表示装置用基板

50

が用いられていること

を特徴とする液晶表示装置。

(付記 15)

付記 14 記載の液晶表示装置において、

前記一对の基板の他方は共通電極を有し、

前記第 2 の画素電極と前記共通電極との間に形成される液晶容量と、前記液晶容量に並列に接続された蓄積容量との和に対する前記バッファ容量部の容量比は、0.05 以上であること

を特徴とする液晶表示装置。

(付記 16)

付記 15 記載の液晶表示装置において、

前記容量比は 0.6 以下であること

を特徴とする液晶表示装置。

(付記 17)

付記 14 乃至 16 のいずれか 1 項に記載の液晶表示装置において、

前記液晶は負の誘電率異方性を有し、電圧無印加時に基板面にほぼ垂直に配向していること

を特徴とする液晶表示装置。

(付記 18)

付記 14 乃至 17 のいずれか 1 項に記載の液晶表示装置において、

前記液晶を配向規制する線状の配向規制用構造物をさらに有し、

前記配向規制用構造物は、前記ゲートバスラインに平行な直線上にない複数の屈曲部を 1 つの前記画素領域内に有し、

前記蓄積容量バスラインは、前記複数の屈曲部のうち少なくとも 2 つにそれぞれ重なって配置されていること

を特徴とする液晶表示装置。

(付記 19)

付記 14 乃至 18 のいずれか 1 項に記載の液晶表示装置において、

前記第 1 及び第 2 の画素電極を分離する線状のスリット部を有し、

前記配向規制用構造物は、前記スリット部に並列して配置されていること

を特徴とする液晶表示装置。

(付記 20)

第 m フレームの入力階調データ G_m と、前記画素の第 $(m+1)$ フレームの入力階調データ $G(m+1)$ とを画素毎に比較し、

$G_m < G(m+1)$ の場合に、前記第 $(m+1)$ フレームの出力階調データ $G'(m+1)$ を、 $G_m < G'(m+1) < G(m+1)$ の範囲内で補正すること

を特徴とする液晶表示装置の駆動方法。

(付記 20)

付記 20 記載の液晶表示装置の駆動方法において、

$G_m > G(m+1)$ の場合に、前記第 $(m+1)$ フレームの出力階調データ $G'(m+1)$ を、 $G_m > G'(m+1) > G(m+1)$ の範囲内で補正すること

を特徴とする液晶表示装置の駆動方法。

【図面の簡単な説明】

【0066】

【図 1】本発明の第 1 の実施の形態による液晶表示装置の概略構成を示す図である。

【図 2】本発明の第 1 の実施の形態による液晶表示装置用基板の構成を示す図である。

【図 3】本発明の第 1 の実施の形態による液晶表示装置の構成を示す断面図である。

【図 4】本発明の第 1 の実施の形態による液晶表示装置の 1 画素の等価回路を示す図である。

【図 5】本発明の第 1 の実施の形態による液晶表示装置の駆動波形を示す図である。

10

20

30

40

50

【図 6】本発明の第 1 の実施の形態による液晶表示装置における T F T 2 3 の動作及び電圧の変化を示す図である。

【図 7】本発明の第 1 の実施の形態による液晶表示装置及び従来の液晶表示装置における容量比の変化に対する電圧比の変化を示すグラフである。

【図 8】本発明の第 1 の実施の形態による液晶表示装置における容量比、電圧比及び液晶の誘電率 ϵ の変化を示すグラフである。

【図 9】本発明の第 1 の実施の形態による M V A 方式の液晶表示装置の構成を示す図である。

【図 10】本発明の第 1 の実施の形態による M V A 方式の液晶表示装置の構成を示す断面図である。

10

【図 11】本発明の第 1 の実施の形態による M V A 方式の液晶表示装置における副画素 A、B の各画素電極の電圧の変化を示すグラフである。

【図 12】電圧 V_{px1} 及び輝度の時間変化を示すグラフである。

【図 13】電圧 V_{px1} 及び輝度の時間変化を示すグラフである。

【図 14】本発明の第 2 の実施の形態による液晶表示装置の構成を示す図である。

【図 15】バッファ容量 C_b の構成を示す図である。

【図 16】本発明の第 3 の実施の形態による液晶表示装置の構成を示す図である。

【図 17】本発明の第 3 の実施の形態による液晶表示装置の構成の変形例を示す図である。

【図 18】本発明の第 4 の実施の形態による液晶表示装置の構成を示す図である。

20

【図 19】本発明の第 4 の実施の形態による液晶表示装置の 1 画素の等価回路を示す図である。

【図 20】V A モードの液晶表示装置の T - V 特性を示すグラフである。

【図 21】表示画面に表示した画像の見え方の変化を示す図である。

【図 22】赤みがかった画像における R、G、B の階調ヒストグラムを示す図である。

【図 23】公知技術に基づく基本的な液晶表示装置の構成を示す図である。

【図 24】公知技術に基づく基本的な液晶表示装置の構成を示す断面図である。

【図 25】公知技術に基づく基本的な液晶表示装置の等価回路を示す断面図である。

【図 26】容量結合による H T 法を用いた場合に生じる焼付き現象を説明する図である。

【図 27】容量結合による H T 法を用いた液晶表示装置における容量比、電圧比及び液晶の誘電率 ϵ の変化を示すグラフである。

30

【図 28】本発明の第 5 の実施の形態による液晶表示装置の 1 画素の等価回路を示す図である。

【符号の説明】

【 0 0 6 7 】

2 T F T 基板

4 対向基板

6 液晶

10、11 ガラス基板

12 ゲートバスライン

14 ドレインバスライン

16、17 画素電極

18 蓄積容量バスライン

19 蓄積容量電極

21、22、23、54、55 T F T

21a、22a、23a ドレイン電極

21b、22b、23b ソース電極

21d、22d、23d チャネル保護膜

23c ゲート電極

23e 動作半導体層

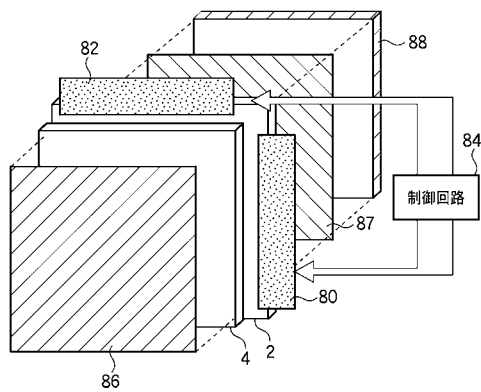
40

50

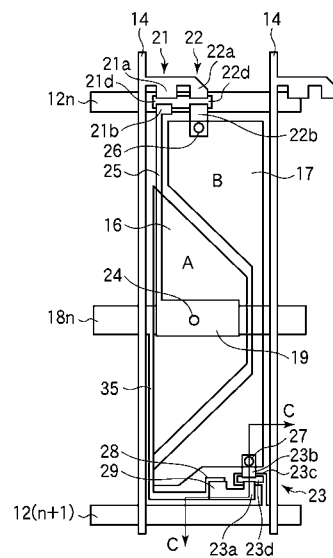
2 3 f n 型不純物半導体層
 2 4、2 6、2 7、3 1、3 3、5 0、5 1 コンタクトホール
 2 5、3 5、3 8 接続電極
 2 8、2 9 バッファ容量電極
 3 0 絶縁膜
 3 2 保護膜
 3 6、3 7 配向膜
 4 0 C F 樹脂層
 4 2 共通電極
 4 4 線状突起
 4 4 a、4 4 b 屈曲部
 4 6 スリット
 5 2 繋ぎ替え電極
 8 0 ゲートバスライン駆動回路
 8 2 ドレインバスライン駆動回路
 8 4 制御回路
 8 6、8 7 偏光板
 8 8 バックライトユニット

10

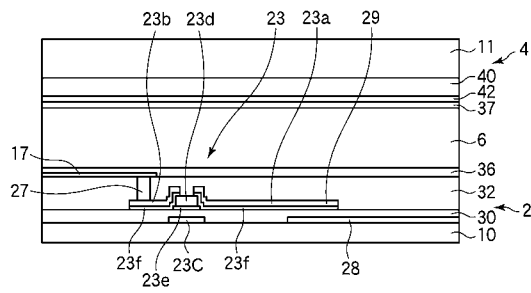
【図 1】



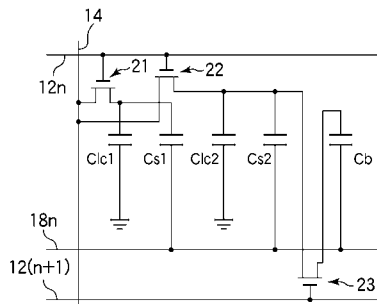
【図 2】



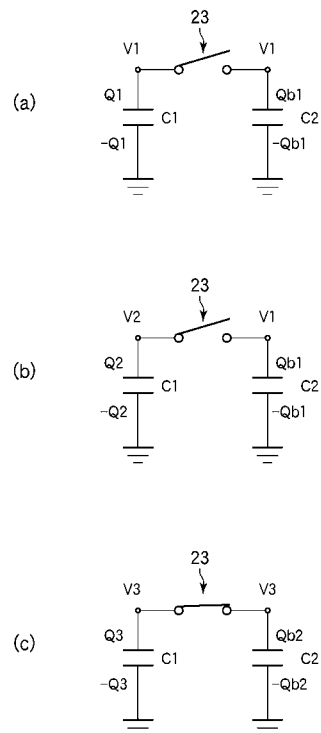
【図 3】



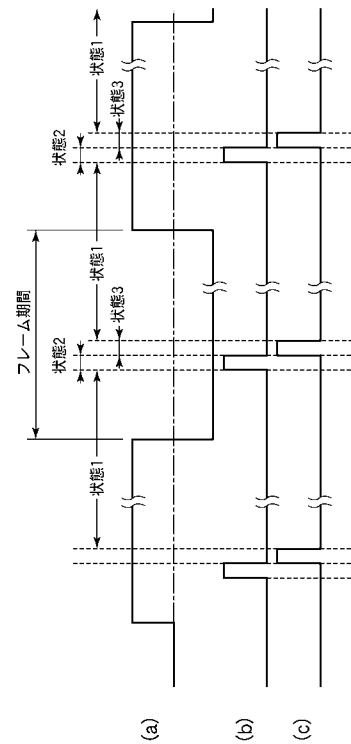
【図 4】



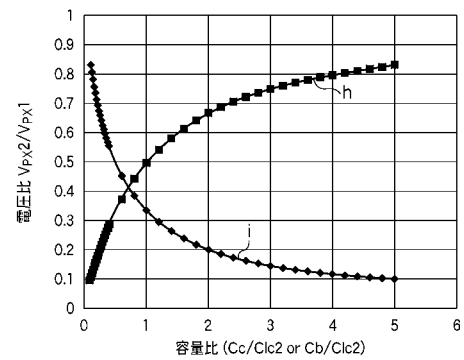
【図 6】



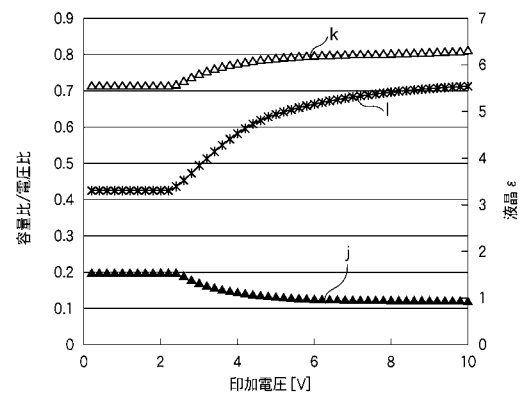
【図 5】



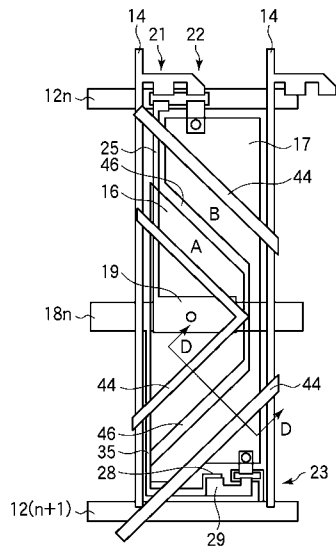
【図 7】



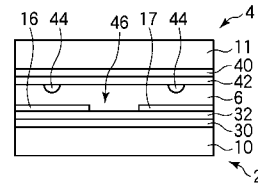
【図 8】



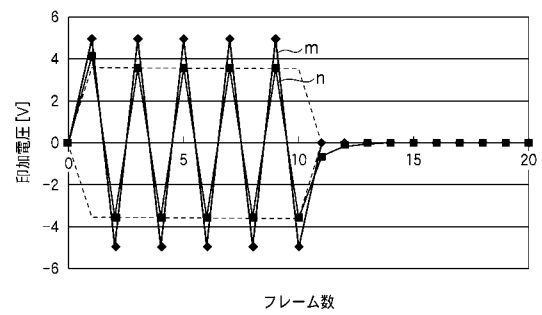
【図 9】



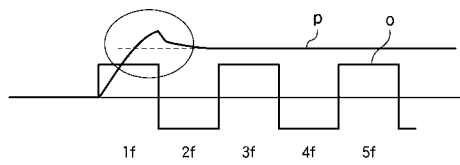
【図 10】



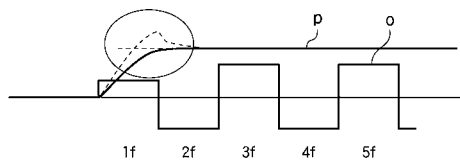
【図 11】



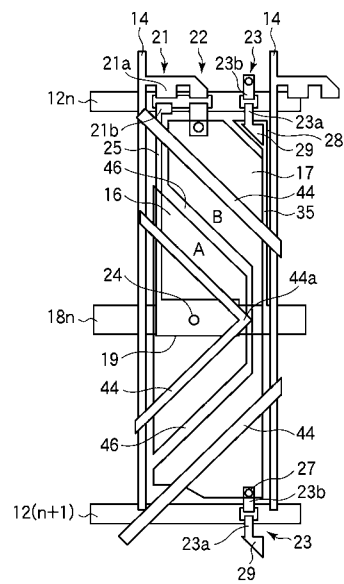
【図 12】



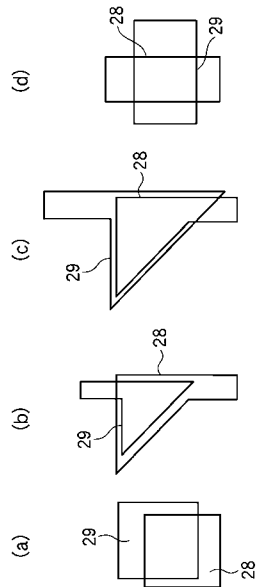
【図 13】



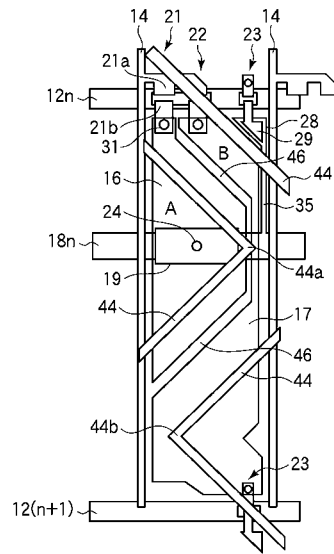
【図 14】



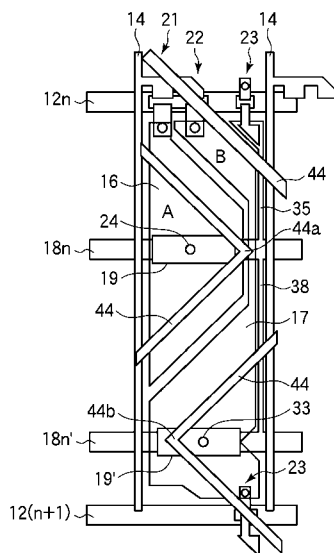
【図 15】



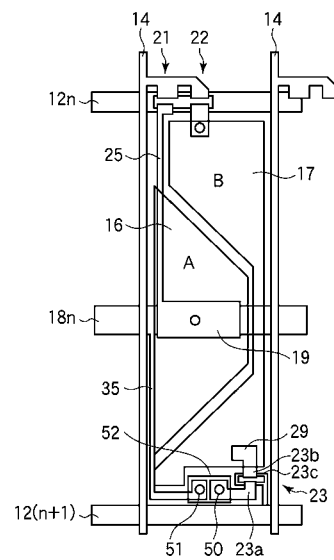
【図 16】



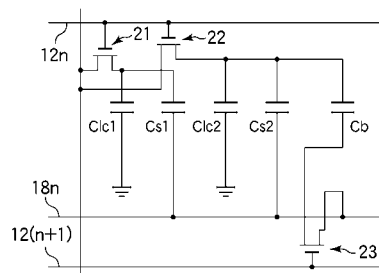
【図 17】



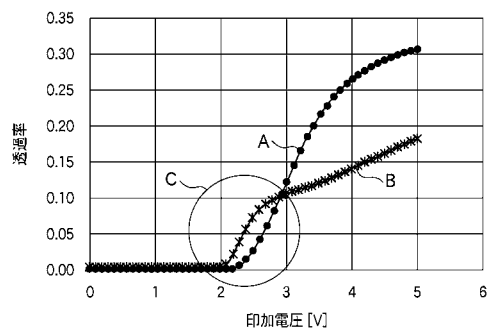
【図 18】



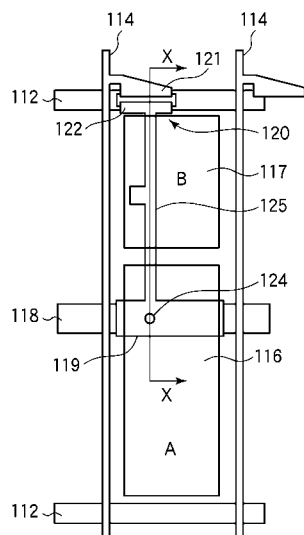
【 図 1 9 】



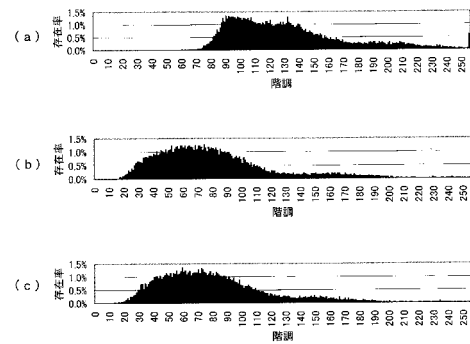
【 図 2 0 】



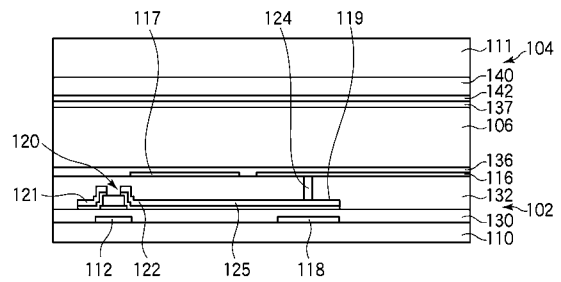
【 図 2 3 】



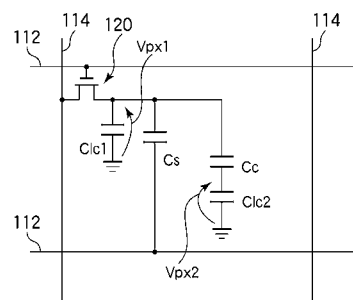
【 図 2 2 】



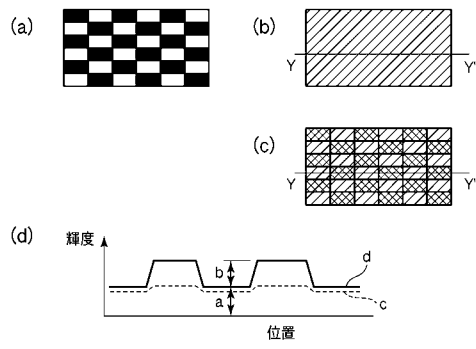
【圖 24】



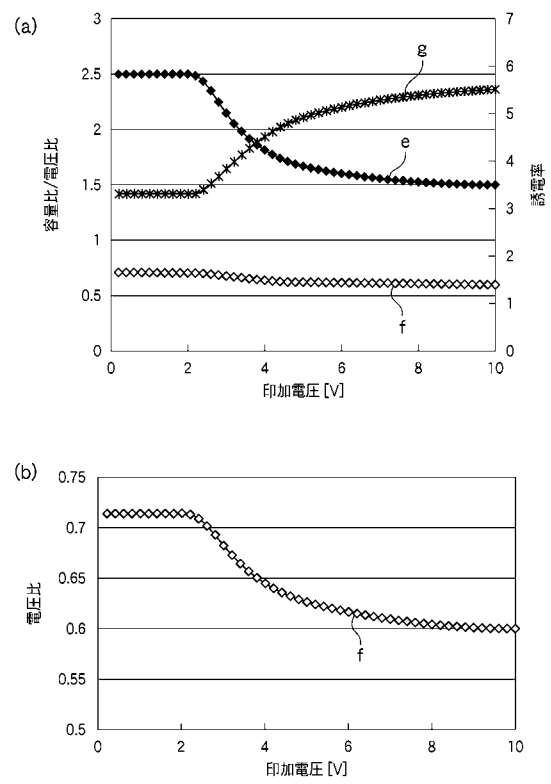
【圖 25】



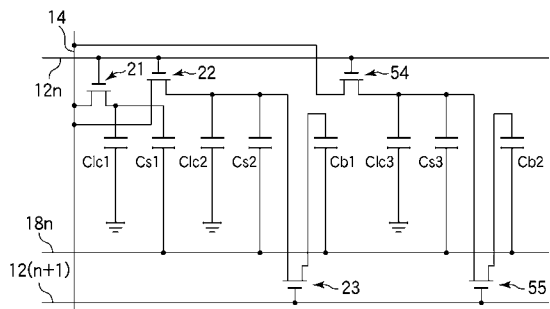
【図 26】



【図 27】

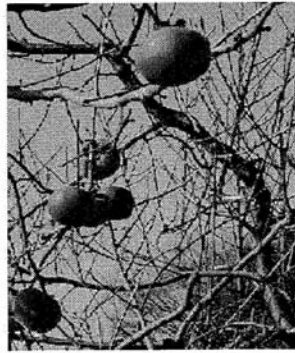


【図 28】

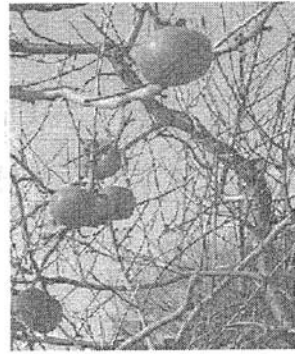


【図 21】

(a)



(b)



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/36 (2006.01) G 0 9 G 3/20 6 2 4 B
 G 0 9 G 3/20 6 4 1 P
 G 0 9 G 3/20 6 4 2 A
 G 0 9 G 3/20 6 4 2 D
 G 0 9 G 3/36

(72)発明者 仲西 洋平
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
 (72)発明者 吉田 秀史
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
 (72)発明者 津田 英昭
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
 (72)発明者 柴崎 正和
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内
 (72)発明者 田坂 泰俊
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

審査官 藤田 都志行

(56)参考文献 特開2005-004212(JP,A)
 特開2005-062882(JP,A)

(58)調査した分野(Int.Cl., DB名)
 G 0 2 F 1 / 1 3 6 8
 G 0 2 F 1 / 1 3 4 3
 G 0 2 F 1 / 1 3 3
 G 0 9 F 9 / 3 0
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 6

专利名称(译)	用于液晶显示装置的基板，具有该基板的液晶显示装置及其驱动方法		
公开(公告)号	JP4571845B2	公开(公告)日	2010-10-27
申请号	JP2004323626	申请日	2004-11-08
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	上田一也 鎌田豪 仲西洋平 吉田秀史 津田英昭 柴崎正和 田坂泰俊		
发明人	上田 一也 鎌田 豪 仲西 洋平 吉田 秀史 津田 英昭 柴崎 正和 田坂 泰俊		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/133 G09F9/30 G09G3/20 G09G3/36		
CPC分类号	G02F1/134309 G02F1/136213 G02F1/13624 G02F2001/134345 G09G2300/04		
FI分类号	G02F1/1368 G02F1/1343 G02F1/133.550 G09F9/30.338 G09G3/20.612.U G09G3/20.624.B G09G3/20.641.P G09G3/20.642.A G09G3/20.642.D G09G3/36		
F-TERM分类号	2H092/GA11 2H092/GA12 2H092/GA13 2H092/JA24 2H092/JA42 2H092/JB01 2H092/JB02 2H092/JB41 2H092/JB42 2H092/JB45 2H092/JB46 2H092/JB61 2H092/JB63 2H092/JB69 2H093/NA16 2H093/NA41 2H093/NC11 2H093/NC21 2H093/NC34 2H093/NC35 2H093/NC40 2H093/ND13 2H192/AA24 2H192/BA25 2H192/BC24 2H192/BC31 2H192/BC42 2H192/CB05 2H192/CB12 2H192/CB71 2H192/CC04 2H192/CC42 2H192/DA12 2H192/DA43 2H192/DA65 2H192/DA81 2H192/EA43 2H192/GD14 2H192/GD61 2H192/JA13 2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZD24 2H193/ZE01 2H193/ZQ11 2H193/ZQ44 2H193/ZQ45 2H193/ZQ47 5C006/AF44 5C006/AF45 5C006/BB16 5C006/BC03 5C006/BC08 5C006/BF34 5C006/BF37 5C006/FA22 5C006/FA55 5C006/GA03 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA03 5C094/AA10 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB01 5C094/EA04 5C094/FB19 5C094/GA10		
代理人(译)	盛冈正树		
其他公开文献	JP2006133577A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为可获得优异显示特性的液晶显示装置提供基板，配备有该液晶显示装置的液晶显示装置和用于驱动液晶显示装置的方法，相对于基板用于液晶显示装置，具备该液晶显示装置的液晶显示装置以及液晶显示装置的驱动方法。解决方案：液晶显示

装置的基板构造具有：TFT21,22，其配备有连接到栅极总线12n的栅极，以及连接到漏极总线14的漏极21a，22a;像素电极16连接到源电极21b;像素电极17连接到源电极22b并与像素电极16分离;TFT23，其配备有连接到栅极总线12 (n + 1) 的栅电极和连接到像素电极17的源电极23b;缓冲电容部分，其配备有连接到漏电极23a的缓冲电容电极29和连接到存储电容总线18n的缓冲电容电极28。Ž

【图 1】

