

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4452453号  
(P4452453)

(45) 発行日 平成22年4月21日(2010.4.21)

(24) 登録日 平成22年2月5日(2010.2.5)

(51) Int.Cl. F I  
**GO2F 1/1368 (2006.01)** GO2F 1/1368  
**HO1L 29/786 (2006.01)** HO1L 29/78 616T  
 HO1L 29/78 618C

請求項の数 9 (全 13 頁)

(21) 出願番号	特願2003-100565 (P2003-100565)	(73) 特許権者	501426046
(22) 出願日	平成15年4月3日(2003.4.3)		エルジー ディ스플레이 カンパニー リ
(65) 公開番号	特開2003-309269 (P2003-309269A)		ミテッド
(43) 公開日	平成15年10月31日(2003.10.31)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成15年4月3日(2003.4.3)		イドードン 20
審査番号	不服2007-3485 (P2007-3485/J1)	(74) 代理人	100110423
審査請求日	平成19年2月5日(2007.2.5)		弁理士 曾我 道治
(31) 優先権主張番号	2002-018961	(74) 代理人	100084010
(32) 優先日	平成14年4月8日(2002.4.8)		弁理士 古川 秀利
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に第1マスク工程で、ゲート配線とゲート電極を形成する段階と；  
 前記ゲート配線とゲート電極上部にゲート絶縁膜と純粋非晶質シリコン層、不純物非晶質シリコン層、及び金属層を順に蒸着する段階と；  
 前記金属層上部にフォトレジスト層を塗布する段階と；  
 第2マスク工程を通して前記フォトレジスト層を露光及び現像して、第1厚さとソース電極とドレイン電極との間の第1部分とコンタクトホールに対応する第2部分とに対応して前記第1厚さより薄い第2厚さを有するフォトレジストパターンを形成する段階と；  
 前記フォトレジストパターンにより露出された前記金属層、不純物非晶質シリコン層及び前記非晶質シリコン層をパターン化してソース及びドレインパターンと、データ配線、不純物非晶質シリコンパターン及びアクティブ層を形成する段階と；  
 除灰工程を通して前記フォトレジストパターンの第2厚さを除去して前記ソース及びドレインパターンを露出させる段階と；  
 前記フォトレジストパターンにより露出された前記ソース及びドレインパターンと不純物非晶質シリコンパターンをパターンニングして、ドレイン電極下部のオーミックコンタクト層の終端と前記ドレイン電極の終端が一致し、前記アクティブ層の幅が前記ドレイン電極及び前記オーミックコンタクト層よりも広い幅を有するよう、ソース及びドレイン電極とオーミックコンタクト層を形成する段階と；  
 前記基板の全面に保護膜を形成する段階と；

10

20

第3マスク工程で前記保護膜をパターン化し、前記アクティブ層上部に配置して前記ドレイン電極と前記アクティブ層を露出させるコンタクトホールを形成する段階と；

第4マスク工程で、前記保護膜上に前記コンタクトホールを通してドレイン電極と接触する画素電極を形成する段階とを含むことを特徴とする液晶表示装置用アレー基板の製造方法。

【請求項2】

前記第2マスク工程は、マスクを利用してなされ、前記マスクは透過領域と遮断領域、及び半透過領域を含むことを特徴とする請求項1に記載の液晶表示装置用アレー基板の製造方法。

【請求項3】

前記フォトレジストパターンの第1厚さは、前記マスクの遮断領域に対応し、前記フォトレジストパターンの第2厚さは、前記マスクの半透過領域に対応することを特徴とする請求項2に記載の液晶表示装置用アレー基板の製造方法。

【請求項4】

前記アクティブ層は、前記ソース及びドレイン電極間の第1部分と前記コンタクトホールに対応する第2部分を除いて前記データ配線、ソース及びドレイン電極と同一の形状を有することを特徴とする請求項1に記載の液晶表示装置用アレー基板の製造方法。

【請求項5】

前記ソース電極は、“U”字形態を有し、前記ドレイン電極を囲んでいることを特徴とする請求項1に記載の液晶表示装置用アレー基板の製造方法。

【請求項6】

前記コンタクトホールは、前記ドレイン電極の側面を露出させることを特徴とする請求項1に記載の液晶表示装置用アレー基板の製造方法。

【請求項7】

前記アクティブ層は、非晶質シリコンで形成されることを特徴とする請求項1に記載の液晶表示装置用アレー基板の製造方法。

【請求項8】

前記オーミックコンタクト層は、前記データ配線、前記ソース及びドレイン電極と同一の形状を有することを特徴とする請求項1に記載の液晶表示装置用アレー基板の製造方法。

【請求項9】

前記オーミックコンタクト層は、不純物非晶質シリコンで形成されることを特徴とする請求項8に記載の液晶表示装置用アレー基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、特に液晶表示装置用アレー基板の製造方法に関する。

【0002】

【従来の技術】

図1は、一般的な液晶表示装置を概略的に示した平面図である。図示したように、一般的な液晶表示装置11は、ブラックマトリックス6と赤(R)、緑(G)、青(B)のサブカラーフィルタでなされたカラーフィルタ層7、及び前記カラーフィルタ層7の上部に蒸着された共通電極9が形成された上部基板5と、画素領域Pと画素領域上に形成された画素電極52とスイッチング素子Tを含んだアレー配線が形成された下部基板22で構成され、前記上部基板5と下部基板22間には液晶15が充填されている。

【0003】

前記下部基板22は、アレー基板とも言い、スイッチング素子である薄膜トランジスタTをマトリックス状(matrix type)に配置してなり、このような複数の薄膜トランジスタを交差して経路するゲート配線12とデータ配線38が形成される。

【0004】

10

20

30

40

50

前記画素領域 P は、前記ゲート配線 1 2 とデータ配線 3 8 が交差して定義される領域である。前記画素領域 P 上に形成される画素電極 5 2 はインジウム - スズ - オキサイド ( i n d i u m - t i n - o x i d e : I T O ) のように光の透過率が比較的優れた透明導電性金属を用いる。

【 0 0 0 5 】

前述したように構成される液晶表示装置は、前記薄膜トランジスタ T と前記薄膜トランジスタに連結された画素電極 5 2 がマトリックス内に存在することによって映像を表示する。

【 0 0 0 6 】

前記ゲート配線 1 2 は、前記薄膜トランジスタ T の第 1 電極であるゲート電極を駆動するパルス電圧を伝達し、前記データ配線 3 8 は前記薄膜トランジスタ T の第 2 電極であるソース電極を駆動する信号電圧を伝達する手段である。

【 0 0 0 7 】

前述したような構成を有する液晶パネルは、液晶の電気光学的効果に起因して駆動される。詳細に説明すれば、前記液晶 1 5 層は、自発分極 ( S p o n t a n e o u s P o l a r i z a t i o n ) 特性を有する誘電異方性物質であり、電圧が印加されれば自発分極により双極子 ( d i p o l e ) を形成することにより電界の印加方向によって分子の配列方向が変わる特性を有する。したがって、このような配列状態により光学的特性が変わることによって電気的な光変調が生じるようになる。このような液晶の光変調現象により、光を遮断または通過させる方法でイメージを具現するようになる。

【 0 0 0 8 】

図 2 を参照して前述したアレー基板の構成をさらに詳細に説明する。図 2 は、液晶表示装置用アレー基板の一部を概略的に示した拡大平面図である。図示したように、ゲート配線 1 2 とデータ配線 3 8 が直交して画素領域 P を定義し、前記ゲート配線 1 2 とデータ配線 3 8 の交差点にスイッチング素子である薄膜トランジスタ T を配置する。前記薄膜トランジスタ T は、前記ゲート配線 1 2 と連結されて走査信号の印加を受けるゲート電極 1 4 と、前記データ配線 3 8 と連結されてデータ信号の印加を受けるソース電極 4 0 及びこれとは所定間隔離隔されたドレイン電極 4 2 で構成される。また、前記ゲート電極 1 4 上部に構成されて前記ソース電極 4 0 及びドレイン電極 4 2 と接触するアクティブ層 3 2 を含む。

【 0 0 0 9 】

前記ゲート配線 1 2 の上部にはアイランド状の金属パターン 2 8 が形成されていて、前記金属パターン 2 8 は画素領域 P 内に形成された透明画素電極 5 2 と接触する。このような構成で、前記ゲート配線 1 2 の一部は、第 1 ストレージキャパシタ電極として機能し、前記画素電極 5 2 と側面接触する金属パターン 2 8 は第 2 ストレージキャパシタ電極として機能する。

【 0 0 1 0 】

前記第 1 ストレージキャパシタ電極と前記第 2 ストレージキャパシタ電極間には誘電体の役割を有するゲート絶縁膜 ( 図示せず ) を配置し、第 1 及び第 2 ストレージキャパシタ電極はストレージキャパシタ ( s t o r a g e c a p a c i t o r : C s t ) を構成することができる。このとき、図示しなかったが、前記アクティブ層 3 2 とソース及びドレイン電極 4 0、4 2 間にはオーミックコンタクト層 ( 図示せず ) が構成され、前記アクティブ層とオーミックコンタクト層を形成する純粋非晶質シリコン層と不純物非晶質シリコン層がパターン化されて前記データ配線 3 8 の下部に延びた第 1 パターン 3 5 が形成されると同時に、前記金属パターン 2 8 の下部には第 2 パターン 2 9 が形成される。

【 0 0 1 1 】

前述したようなアレー基板の構成は、従来の 4 マスク工程で製作されたものであり、前記ドレイン電極と接触する部分の画素電極が断線される場合が発生して表示不良を誘発する場合がある。これは 4 マスク工程上発生しやすい不良であり、以下、工程を通して詳細に説明する。

10

20

30

40

50

## 【 0 0 1 2 】

図面を参照して従来の4マスク工程を利用したアレー基板の製造工程を説明する。図3(A)ないし(C)、図4(A)ないし(C)、図5(A)と(B)、及び図6(A)と(B)は、従来の液晶表示装置用アレー基板の製造方法を図示したものであって、図2のD領域に対応する。図3(A)と図4(A)、図5(A)及び図6(A)は、従来のアレー基板の製造方法を示した平面図であって、図3(B)と(C)、図4(B)と(C)、図5(B)、及び図6(B)は各々図3(A)のIII-III線、図4(A)のIV-V線、図5(A)のV-V線、及び図6(A)のVI-VI線を沿って切断した断面図である。

## 【 0 0 1 3 】

まず、図3(A)と(B)に示したように、透明な絶縁基板22上に第1金属層を形成した後、第1マスク工程で、ゲート配線12とゲート電極14を形成する。前記ゲート電極の物質としては、アルミニウム(Al)、アルミニウム合金、モリブデン(Mo)、タングステン(W)、クロム(Cr)のような多様な導電性金属を用いることができ、特にアルミニウム(Al)とアルミニウム合金を用いる場合にはモリブデン(Mo)やクロム(Cr)等を用いて二重層で構成する。

## 【 0 0 1 4 】

前記ゲート配線12とゲート電極14が形成された基板22の全面に第1絶縁膜であるゲート絶縁膜16と、純粋非晶質シリコン層18と、不純物非晶質シリコン層20と、第2金属層24を積層する。このとき、前記ゲート絶縁膜16は、窒化シリコン(SiNx)と酸化シリコン(SiO2)を含む無機絶縁物質グループ中選択された一つを蒸着して形成し、前記第2金属層24は、クロム(Cr)、モリブデン(Mo)、タングステン(W)、タantal(Ta)などの導電性金属物質中選択された一つを蒸着して形成する。

## 【 0 0 1 5 】

次に、図3(C)に示したように、前記第2金属層24が形成された基板の全面にフォトレジスト(photo-resist:以下“PR”層と称する)を塗布してPR層26を形成する。このとき、前記PR層26は、光を受けた部分が露光されて現像されるポジティブ型(positive type)を用いることとする。

## 【 0 0 1 6 】

前記PR層26が形成された基板22の上部に透過領域Aと遮断領域Bとスリット領域である半透過領域Cで構成されたマスク50を配置させる。前記半透過領域Cは、前記ゲート電極14上部の一部領域に対応して配置するようにする。続いて、前記マスク50の上部に光を照射する露光工程(exposure)を進める。このとき、前記半透過領域Cに対応するPR層26は、前記透過領域Aに比べて一部分のみ露光される。

## 【 0 0 1 7 】

次に、図4(A)と(B)に示したように、露光された部分を除去する現像工程(develop)を進める。したがって、前記ゲート電極14の上部には相異なる厚さを有するPRパターン26aが形成される。前記PRパターン26a中厚さが薄い部分は、前記マスク50の半透過領域Cに対応した部分である。

## 【 0 0 1 8 】

続いて、前記PRパターン26a間に露出された第2金属層24を湿式エッチング方式でエッチングした後、下部の不純物非晶質シリコン層20と純粋非晶質シリコン層18を乾式エッチングを通して除去する工程を進めて、前記ゲート電極14の上部にソース/ドレイン電極パターン28を形成して、前記ソース/ドレイン電極パターン28から1方向に延びたデータ配線38を形成する。

## 【 0 0 1 9 】

同時に、前記純粋非晶質シリコン層18と、不純物非晶質シリコン層20は、前記ソース/ドレイン電極パターン28とデータ配線38の下部に同一な形状でパターン化されてアクティブ層32と不純物非晶質シリコンパターン30aが形成される。

## 【 0 0 2 0 】

続いて、図示しなかったが前記PRパターン26aの一部を除去する除灰工程(ashing processing)を進めて、前記薄い厚さのPRパターン26aの一部を除去して下部のソース/ドレイン電極パターン28の一部を露出する工程を進める。前記除灰工程中、前記PRパターン26aの縁も一部除去されてその下部のソース/ドレイン電極パターン28が露出される。

#### 【0021】

次に、図4(C)に示す工程を進める。この工程は、露出されたソース/ドレイン電極パターン(図4(B)の28)の一部とその下部の不純物非晶質シリコンパターン30aを除去する工程であって、相互離隔されたソース及びドレイン電極40、42とオーミックコンタクト層30が形成される。このとき、前記ソース電極40とドレイン電極42間の離隔された領域は、前記マスク(図3Cの50)の半透過領域Cに対応する領域である。また、前記ソース電極40は、“U”状で構成して、前記ドレイン電極42は一部が前記ソース電極42の内部に所定間隔離隔されてソース電極40がドレイン電極42を囲むように構成する。

10

#### 【0022】

前述したような第2マスク工程で、ソース及びドレイン電極40、42とアクティブ層32とオーミックコンタクト層30とデータ配線38を形成することができる。

#### 【0023】

次に、図5(A)と(B)に示したように、前記ソース及びドレイン電極40、42が形成された基板22の全面にベンゾシクロブテン(BCB)とアクリル(acryl)系樹脂(resin)を含む透明な有機絶縁物質グループまたは窒化シリコン(SiNx)と酸化シリコン(SiO<sub>2</sub>)を含む無機絶縁物質グループ中選択された一つを蒸着して保護膜46を形成する。前記保護膜46を第3マスク工程でパターン化して、前記ドレイン電極42の一部を露出するドレインコンタクトホール48を形成する。

20

#### 【0024】

前述したように、ソース電極40が“U”字形態に形成されるので、前記ソース電極40とドレイン電極42間のチャンネル長さLを短くし、チャンネル幅Wを広くして電荷の移動度(mobility)を改善することができる構成である。

#### 【0025】

前記ドレインコンタクトホール48は、ドレイン電極42の側面にかけて形成されるが、このとき、前記保護膜46をエッチングする間下部のゲート絶縁膜16がエッチングされる。このような場合には、ゲート絶縁膜16による前記ドレイン電極42の側面に段差Eが発生するために、これによる上部層の蒸着不良を誘発できる。

30

#### 【0026】

次に、図6(A)と(B)に示したように、前記保護膜46の上部にインジウム-スズ-オキサイド(ITO)と、インジウム-酸化亜鉛(IZO)を含んだ透明な有機絶縁物質グループ中選択された一つを蒸着してパターン化し、前記ドレイン電極42と接触する画素電極52を形成する。このとき、前記画素電極52は、ドレインコンタクトホール48の段差Eにより断線される不良が発生する。

#### 【0027】

##### 【発明が解決しようとする課題】

前述したような従来の4マスク製造工程でアレ基板を製作すれば、ドレインコンタクトホール48が形成される部分でドレイン電極42の内側に前記ゲート絶縁膜16がアンダーエッチ(under etch)されて、前記ドレイン電極42と接触する画素電極52が断線される不良が発生する。

40

#### 【0028】

本発明は前述したような問題を解決するために提案されたものであって、前記ドレイン電極の一侧に下部のアクティブ層をさらに延ばして、前記保護膜をエッチングする工程中ドレイン電極下部のゲート絶縁膜がエッチングされることを防止することを目的とする。

#### 【0035】

50

【課題を解決するための手段】

前記した目的を達成するための本発明による液晶表示装置用アレー基板の製造方法は、基板上に第1マスク工程で、ゲート配線とゲート電極を形成する段階、前記ゲート配線とゲート電極上部にゲート絶縁膜と純粋非晶質シリコン層、不純物非晶質シリコン層、及び金属層を順に蒸着する段階、前記金属層上部にフォトレジスト層を塗布する段階、第2マスク工程を通して前記フォトレジスト層を露光及び現像して、第1厚さとソース電極とドレイン電極との間の第1部分とコンタクトホールに対応する第2部分とに対応して前記第1厚さより薄い第2厚さを有するフォトレジストパターンを形成する段階、前記フォトレジストパターンにより露出された前記金属層、不純物非晶質シリコン層及び前記非晶質シリコン層をパターン化してソース及びドレインパターンと、データ配線、不純物非晶質シリコンパターン及びアクティブ層を形成する段階、除灰工程を通して前記フォトレジストパターンの第2厚さを除去して前記ソース及びドレインパターンを露出させる段階、前記フォトレジストパターンにより露出された前記ソース及びドレインパターンと不純物非晶質シリコンパターンをパターニングして、ドレイン電極下部のオーミックコンタクト層の終端と前記ドレイン電極の終端が一致し、前記アクティブ層の幅が前記ドレイン電極及び前記オーミックコンタクト層よりも広い幅を有するよう、ソース及びドレイン電極とオーミックコンタクト層を形成する段階、前記基板の全面に保護膜を形成する段階、第3マスク工程で前記保護膜をパターン化し、前記アクティブ層上部に配置して前記ドレイン電極と前記アクティブ層を露出させるコンタクトホールを形成する段階、第4マスク工程で、前記保護膜上に前記コンタクトホールを通してドレイン電極と接触する画素電極を形成する段階とを含む。

10

20

【0036】

前記第2マスク工程は、マスクを利用してなされ、前記マスクは透過領域と遮断領域、及び半透過領域を含む。

【0037】

ここで、前記フォトレジストパターンの第1厚さは、前記マスクの遮断領域に対応し、前記フォトレジストパターンの第2厚さは、前記マスクの半透過領域に対応する。

【0038】

一方、前記アクティブ層は、前記ソース及びドレイン電極間の第1部分と前記コンタクトホールに対応する第2部分を除いて前記データ配線、ソース及びドレイン電極と同一な形態を有する。

30

【0039】

前記ソース電極は、“U”字形態を有し、前記ドレイン電極を囲んでいる。

【0040】

本発明で、前記コンタクトホールは、前記ドレイン電極の側面を露出させる。

【0041】

前記アクティブ層は、非晶質シリコンで形成することができる。

【0042】

また、前記オーミックコンタクト層は、前記データ配線、前記ソース及びドレイン電極と同一な形態を有し、前記オーミックコンタクト層は不純物非晶質シリコンで形成することができる。

40

【0043】

【発明の実施の形態】

以下、添付した図面を参照しながら本発明の望ましい実施の形態を詳細に説明する。図7は、本発明による液晶表示装置用アレー基板の一部を概略的に示した平面図である。図示したように、基板100上にゲート配線112とデータ配線138が直交して画素領域Pを定義し、前記ゲート配線112とデータ配線138の交差点にスイッチング素子である薄膜トランジスタTを配置する。

【0044】

前記薄膜トランジスタTは、前記ゲート配線112と連結されて走査信号の印加を受ける

50

ゲート電極 114 と、前記データ配線 134 と連結されてデータ信号の印加を受ける“U”状のソース電極 140 と、前記ソース電極 140 の内部で所定間隔離されたドレイン電極 142 を構成する。また、前記ゲート電極 114 上部に構成されて前記ソース電極 140 及びドレイン電極 142 と接触するアクティブ層 132 を含む。前記ゲート配線 112 の上部にはアイランド状の金属パターン 128 を構成する。前記金属パターン 128 は、前記画素領域 P 内に形成された画素電極 152 と接触する。

【0045】

このとき、前記ゲート配線 112 の一部は、第 1 ストレージ電極の機能をし、前記画素電極 152 と直接接触する金属パターン 128 が第 2 ストレージ電極の機能をする。前記第 1 ストレージ電極と前記第 2 ストレージ電極間に誘電体の役割を有するゲート絶縁膜（図示せず）を配置して前記第 1 及び第 2 ストレージ電極はストレージキャパシタを構成することができる。図示しなかったが、前記アクティブ層 132 とソース及びドレイン電極 140、142 間にはオーミックコンタクト層（図示せず）が構成され、前記アクティブ層 132 とオーミックコンタクト層を形成する純粋非晶質シリコン層と不純物非晶質シリコン層はパターン化されて前記データ配線 138 の下部に延びた第 1 パターン 135 が形成されると同時に、前記金属パターン 128 の下部には第 2 パターン 129 が形成される。

【0046】

前述した構成において、前記アクティブ層 132 を前記ドレイン電極 142 の一側である画素領域 P に延ばして構成し、前記延びたアクティブ層 132 の上部にコンタクトホール 148 を形成する。前記コンタクトホール 148 を通して透明画素電極 152 とドレイン電極 142 を接触するようにする。このような構成は、従来とは異なりコンタクトホール 148 がアクティブ層 132 上部に形成されてゲート絶縁膜（図示せず）がエッチングされることを防止できるために、画素電極 152 が断線される不良を防止できる。

【0047】

以下、図 8（A）ないし（C）と図 9（A）ないし（C）、図 10（A）及び（B）、及び図 11（A）及び（B）を参照して本発明の工程順序による液晶表示装置用アレー基板の製造方法を説明する。図 8（A）ないし（C）、図 9（A）ないし（C）、図 10（A）と（B）、及び図 11（A）と（B）は、本発明の液晶表示装置用アレー基板の製造方法を図示したものであって、図 7 の F 領域に対応する。図 8（A）と図 9（A）、図 10（A）及び図 11（A）は、本発明のアレー基板の製造方法を示した平面図であって、図 8（B）と（C）、図 9（B）と（c）、図 10（B）、及び図 11（B）は各々図 8（A）の V I I I - V I I I 線、図 9（A）の I X - I X 線、図 10（A）の X - X 線、及び図 11（A）の X I - X I 線を沿って切断した断面図である。

【0048】

まず、図 8（A）と（B）に示したように、透明な絶縁基板 100 上に第 1 金属層を形成した後、第 1 マスク工程で、ゲート配線 112 とゲート電極 114 を形成する。前記ゲート電極の物質としては、アルミニウム（Al）、アルミニウム合金、モリブデン（Mo）、タングステン（W）、クロム（Cr）のような多様な導電性金属を用いることができ、特にアルミニウム（Al）とアルミニウム合金を用いる場合にはモリブデン（Mo）やクロム（Cr）等を用いて二重層で構成する。

【0049】

前記ゲート配線 112 とゲート電極 114 が形成された基板 100 の全面に第 1 絶縁膜であるゲート絶縁膜 116 と、純粋非晶質シリコン層 118 と、不純物非晶質シリコン層 120 と、第 2 金属層 124 を積層する。このとき、前記ゲート絶縁膜 116 は、窒化シリコン（SiNx）と酸化シリコン（SiO<sub>2</sub>）を含む有機絶縁物質グループ中選択された一つを蒸着して形成し、前記第 2 金属層 124 は、クロム（Cr）、モリブデン（Mo）、タングステン（W）、タンタル（Ta）などの導電性金属物質中選択された一つを蒸着して形成する。

【0050】

次に、図 8（C）に示したように、前記第 2 金属層 124 が形成された基板 100 の全面

10

20

30

40

50

にフォトリソを塗布してPR層126を形成する。このとき、前記PR層126は、光を受けた部分が露光されて現像されるポジティブ型を用いることにする。

【0051】

前記PR層126が形成された基板100の上部に透過領域Gと遮断領域Hとスリット領域である半透過領域Iで構成されたマスク150を配置させる。前記半透過領域Iは、前記ゲート電極114の上部の一部領域に対応して配置するようにする。このとき、前記半透過領域Iに対応するPR層126は、前記透過領域Gに比べて一部分のみ露光される。

【0052】

続いて、図9(A)と(B)に示したように、前記マスク150の上部に光を照射する露光工程と、露光された部分を除去する現像工程を進める。前記ゲート電極の上部には相異なる厚さを有するPRパターン126aが形成される。前記PRパターン126a中厚さが薄い部分は、前記マスク(図8(C)の150)の半透過領域Iに対応した部分である。

10

【0053】

続いて、前記PRパターン126aにより露出された第2金属層124を湿式エッチング方式でエッチングした後、下部の不純物非晶質シリコン層120と純粋非晶質シリコン層118を乾式エッチングを通して除去する工程を進めて、前記ゲート電極114の上部にソース/ドレイン電極パターン128を形成して、前記ソース/ドレイン電極パターン128から1方向に延びたデータ配線138を形成する。

【0054】

同時に、前記純粋非晶質シリコン層118と不純物非晶質シリコン層120は、前記ソース/ドレイン電極パターン128とデータ配線138の下部に同一な形状でパターン化されてアクティブ層132と不純物非晶質シリコンパターン130aが形成される。

20

【0055】

続いて、図示しなかったが前記PRパターン126aの一部を除去する除灰工程を進めて、前記薄い厚さのPRパターン126aの一部を除去して下部のソース/ドレイン電極パターン128の一部を露出する工程を進める。前記除灰工程中、前記PRパターン126aの縁も一部除去されてその下部のソース/ドレイン電極パターン128がまた露出される。

【0056】

図9(C)に示したように、露出されたソース/ドレイン電極パターン(図9(B)の128)の一部とその下部の不純物非晶質シリコンパターン130aを除去する工程で、相互離隔されたソース及びドレイン電極140、142とオーミックコンタクト層130を形成する。

30

【0057】

前記ソース及びドレイン電極140、142により露出されたアクティブ層132は、前記マスク(図8(C)の150)の半透過領域Iに対応する領域である。このとき、前記ソース電極140は、“U”状で構成して、前記ドレイン電極142は一部が前記ソース電極142の内部に所定間隔離隔されてソース電極140がドレイン電極142を囲むように構成する。

40

【0058】

このような構成は、前記ソース電極140とドレイン電極142間のチャンネル長さを短くし、チャンネル幅を広くして電荷の移動度を改善することができる構成である。

【0059】

前述したような第2マスク工程で、ソース及びドレイン電極140、142、アクティブ層132、オーミックコンタクト層130及びデータ配線318を形成することができる。

【0060】

次に、図10(A)及び(B)に示したように、前記ソース及びドレイン電極140、142が形成された基板100の全面にベンゾシクロブテン(BCB)とアクリル系樹脂を

50



含む透明な有機絶縁物質グループまたは窒化シリコン (SiNx) と酸化シリコン (SiO<sub>2</sub>) を含む無機絶縁物質グループ中選択された一つを蒸着して保護膜 146 を形成する。

【0061】

前記保護膜 146 を第 3 マスク工程でパターン化して、前記ドレイン電極 142 の一部を露出するドレインコンタクトホール 148 を形成する。このとき、前記ドレインコンタクトホール 148 は、アクティブ層 132 上部に形成されて、前記ドレイン電極 142 の側面のみならず、前記アクティブ層 132 も露出するように形成される。したがって、従来とは異なり、前記ドレインコンタクトホール 148 を形成する間下部のゲート絶縁膜 116 がエッチングされることはない。

10

【0062】

次に、図 11 (A) と (B) に示したように、前記保護膜 146 の上部にインジウム - スズ - オキサイド (ITO) と、インジウム - 酸化亜鉛 (IZO) を含んだ透明な有機絶縁物質グループ中選択された一つを蒸着してパターン化し、前記ドレイン電極 142 と接触する画素電極 152 を形成する。

【0063】

本発明ではドレインコンタクトホール 148 がアクティブ層 132 上部に形成されて、ドレインコンタクトホール 148 に対応するゲート絶縁膜 116 がエッチングされない。したがって、ゲート絶縁膜 116 内に段差が生じないので、前記画素電極 150 が断線される不良が発生しない。前述したような工程を通して本発明の 4 マスク工程で液晶表示装置用アレー基板を製作することができる。

20

【0064】

【発明の効果】

前述したような本発明の 4 マスク工程でアレー基板を製作すれば、ドレイン電極の一側段差により画素電極が断線される不良を防止できるので、製品の収率を改善することができる。

【図面の簡単な説明】

【図 1】 一般的な液晶表示装置を概略的に示した平面図である。

【図 2】 従来の液晶表示装置用アレー基板の一部を概略的に示した平面図である。

【図 3】 従来の液晶表示装置用アレー基板の製造方法を示した図面である。

30

【図 4】 従来の液晶表示装置用アレー基板の製造方法を示した図面である。

【図 5】 従来の液晶表示装置用アレー基板の製造方法を示した図面である。

【図 6】 従来の液晶表示装置用アレー基板の製造方法を示した図面である。

【図 7】 本発明による液晶表示装置用アレー基板の一部を概略的に示した平面図である。

【図 8】 本発明の液晶表示装置用アレー基板の製造方法を示した図面である。

【図 9】 本発明の液晶表示装置用アレー基板の製造方法を示した図面である。

【図 10】 本発明の液晶表示装置用アレー基板の製造方法を示した図面である。

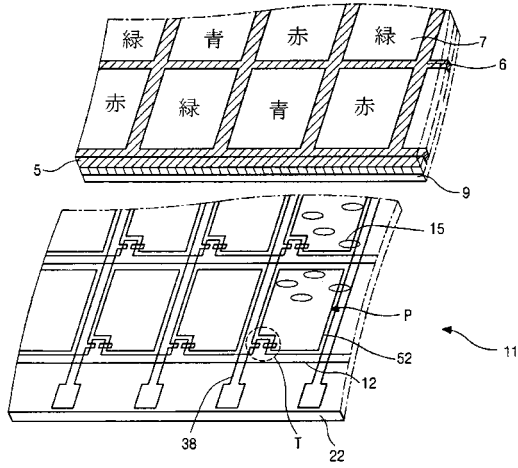
【図 11】 本発明の液晶表示装置用アレー基板の製造方法を示した図面である。

【符号の説明】

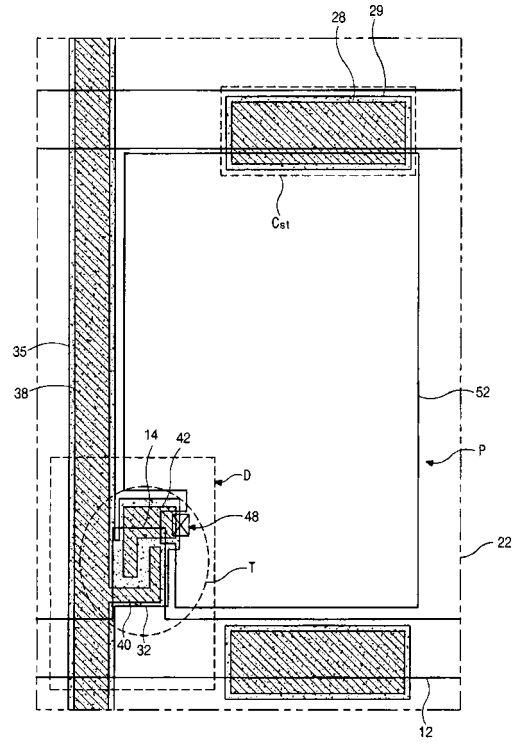
40

100 : 基板、112 : ゲート配線、114 : ゲート電極、116 : ゲート絶縁膜、118 : 純粋非晶質シリコン層、120 : 不純物非晶質シリコン層、124 : 第 2 金属層、126 : フォトリジスト層、128 : ソース / ドレイン電極パターン、130 : オーミックコンタクト層、132 : アクティブ層。

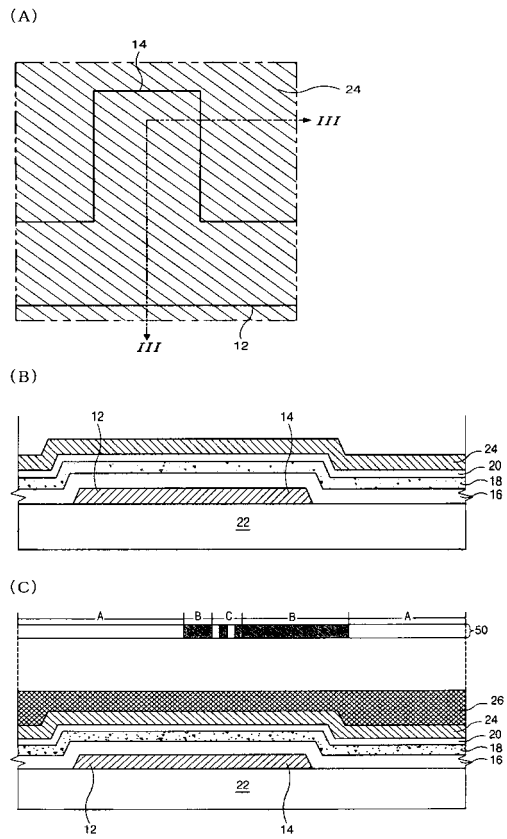
【図1】



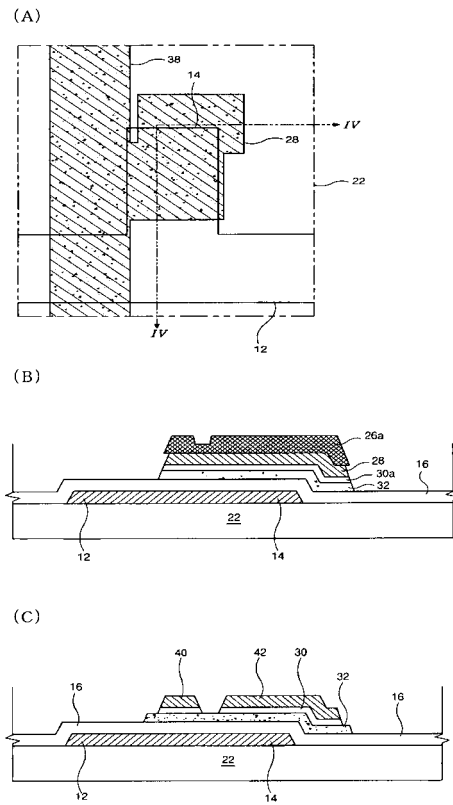
【図2】



【図3】

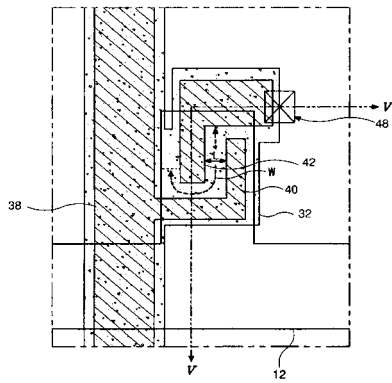


【図4】

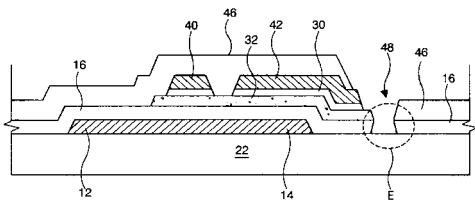


【図5】

(A)

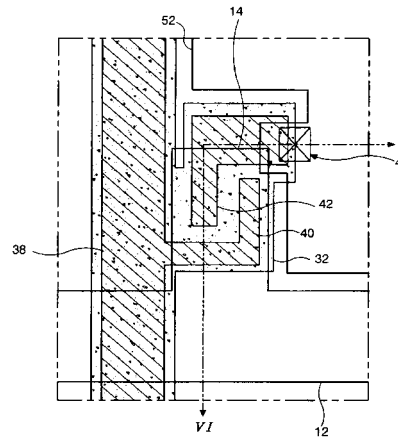


(B)

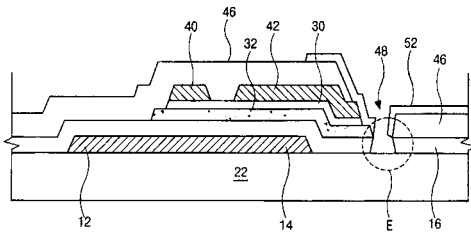


【図6】

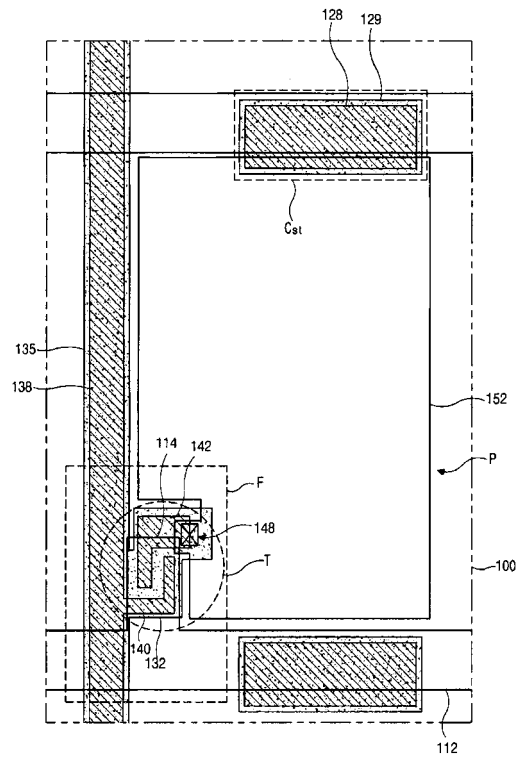
(A)



(B)

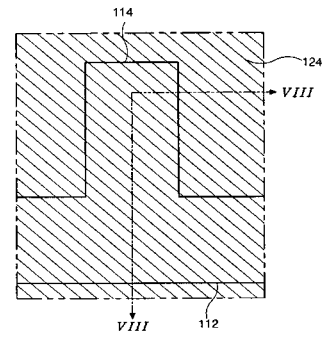


【図7】

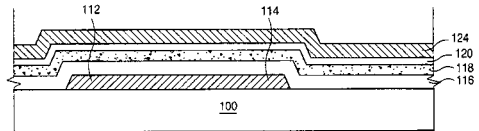


【図8】

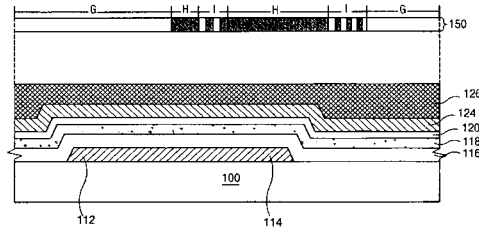
(A)



(B)

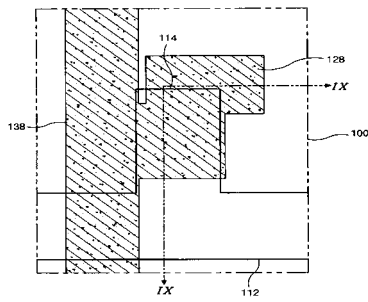


(C)

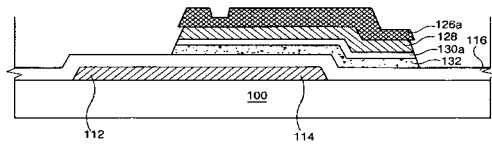


【 図 9 】

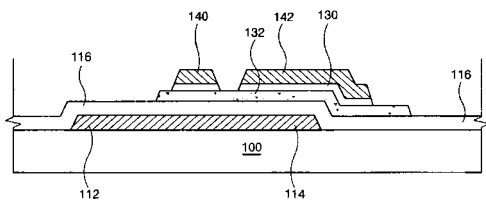
(A)



(B)

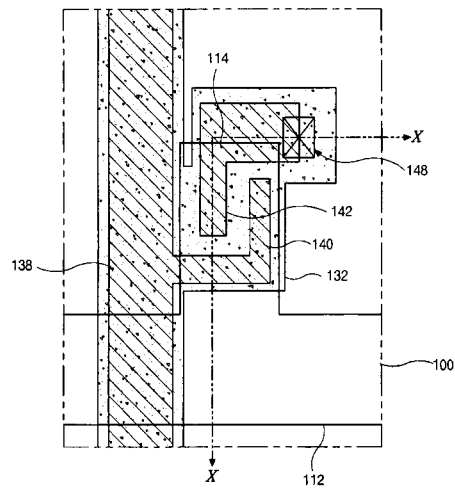


(C)

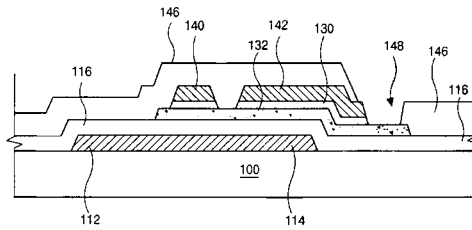


【 図 10 】

(A)

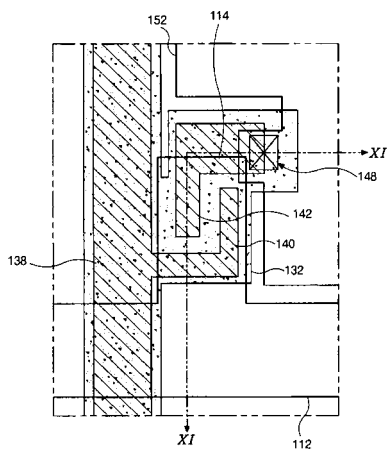


(B)

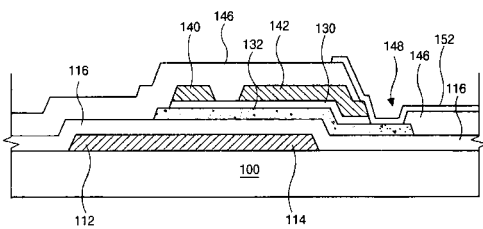


【 図 11 】

(A)



(B)



---

フロントページの続き

(72)発明者 ビョン・テ・チェ

大韓民国、701-821 テグ、トン-グ、シナム4-ドン 651-18

合議体

審判長 北島 健次

審判官 小野田 誠

審判官 安田 雅彦

(56)参考文献 特開平05-188396(JP,A)

特開昭64-082674(JP,A)

特開2000-206571(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L21/336

H01L29/786

G02F1/1368

专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	<a href="#">JP4452453B2</a>	公开(公告)日	2010-04-21
申请号	JP2003100565	申请日	2003-04-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ビヨンテチェ		
发明人	ビヨン・テ・チェ		
IPC分类号	G02F1/1368 H01L29/786 G02F1/136 G02F1/1362		
CPC分类号	G02F1/136286 G02F1/136227		
FI分类号	G02F1/1368 H01L29/78.616.T H01L29/78.618.C		
F-TERM分类号	2H092/GA29 2H092/JA26 2H092/JA29 2H092/JA42 2H092/JA46 2H092/JA47 2H092/JB61 2H092/KA05 2H092/KA12 2H092/KA13 2H092/KA18 2H092/KB25 2H092/MA04 2H092/MA13 2H092/MA15 2H092/MA17 2H092/NA15 2H092/NA21 2H092/PA08 2H092/PA09 2H092/QA06 2H092/QA13 2H092/QA14 2H192/AA24 2H192/BC35 2H192/CB05 2H192/CB42 2H192/CB45 2H192/CB46 2H192/CC32 2H192/CC42 2H192/DA02 2H192/DA42 2H192/GA41 2H192/HA44 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE27 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG15 5F110/GG23 5F110/HK04 5F110/HK09 5F110/HK21 5F110/HK32 5F110/HL14 5F110/HM18 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN72 5F110/NN73		
代理人(译)	英年古河 Kajinami秩序		
助理审查员(译)	小野田诚 安田彦		
优先权	1020020018961 2002-04-08 KR		
其他公开文献	JP2003309269A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：通过在漏电极的一侧进一步延伸下部的有源层，防止在蚀刻保护膜的过程中在漏电极的下部处的栅极绝缘膜被蚀刻。液晶显示装置技术领域本发明涉及液晶显示装置，特别涉及液晶显示装置用阵列基板的制造方法。对于通过传统的四掩模工艺制造的阵列基板，在漏电极侧发生由于在下部过度蚀刻栅极绝缘膜而形成的台阶导致像素电极打开的问题。为了解决这个问题，提出了一种用于形成暴露有源层上部的漏电极的接触孔的结构。由于这种结构防止了接触孔下部的栅极绝缘膜被蚀刻，所以防止了打开像素电极的麻烦。Ž

【 図 2 】

