

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4386375号
(P4386375)

(45) 発行日 平成21年12月16日(2009.12.16)

(24) 登録日 平成21年10月9日(2009.10.9)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 12 (全 9 頁)

(21) 出願番号 特願2006-305097 (P2006-305097)
 (22) 出願日 平成18年11月10日(2006.11.10)
 (65) 公開番号 特開2008-96940 (P2008-96940A)
 (43) 公開日 平成20年4月24日(2008.4.24)
 審査請求日 平成18年11月10日(2006.11.10)
 (31) 優先権主張番号 095137357
 (32) 優先日 平成18年10月11日(2006.10.11)
 (33) 優先権主張国 台湾(TW)

(73) 特許権者 502352807
 中華映管股▲ふん▼有限公司
 台湾台北市中山北路3段22號
 (74) 代理人 100082670
 弁理士 西脇 民雄
 (72) 発明者 林 光祥
 台湾桃園縣八▲徳▼市和平路1127號
 (72) 発明者 游 輝鐘
 台湾桃園縣八▲徳▼市和平路1127號

審査官 金高 敏康

最終頁に続く

(54) 【発明の名称】画素構造、及び、その補修方法

(57) 【特許請求の範囲】

【請求項1】

画素構造であって、

基板上に交錯設置されると共に、複数の画素領域を定義する複数のスキャンラインと複数の信号ラインと、

前記複数のスキャンライン方向に沿って設置され、前記画素領域を跨置し、且つ、前記信号ラインと交錯設置される複数のストレージキャパシタ電極ラインと、

任意の前記複数の画素領域内に相対して設置される複数の画素電極と、

前記画素領域の前記スキャンライン上にそれぞれ設置される複数の薄膜トランジスタとからなり、

任意の前記薄膜トランジスタは、

ゲート電極と、

前記信号ラインと電氣的に接続するソース電極と、

前記ゲート電極の一側に設置され、且つ、前記画素電極と電氣的に接続する第一ドレイン電極と、

前記第一ドレイン電極と対称に前記ゲート電極のもう一側に設置され、相隣する画素領域の前記画素電極の一部と重畳し、且つ、互いに電氣的に隔絶される第二ドレイン電極とからなることを特徴とする画素構造。

【請求項2】

更に、第一絶縁層を前記基板上に設置し、且つ、前記ゲート電極を被覆することを特徴

とする請求項 1 に記載の画素構造。

【請求項 3】

前記薄膜トランジスタは、更に、半導体層を前記ゲート電極上方の前記第一絶縁層と前記ソース電極、前記第一ドレイン電極、及び、前記第二ドレイン電極間に設置することを特徴とする請求項 2 に記載の画素構造。

【請求項 4】

前記第一絶縁層の材質は酸化ケイ素か窒化ケイ素であることを特徴とする請求項 2 に記載の画素構造。

【請求項 5】

更に、第二絶縁層を前記ソース電極と前記第一ドレイン電極上に被覆することを特徴とする請求項 1 に記載の画素構造。

10

【請求項 6】

前記第一ドレイン電極は、前記第二絶縁層上のコンタクトホールにより前記画素電極と電氣的に接続することを特徴とする請求項 5 に記載の画素構造。

【請求項 7】

前記第二ドレイン電極と前記薄膜トランジスタの相隣する前記画素領域の前記画素電極は、前記第二絶縁層により互いに電氣的に隔絶することを特徴とする請求項 5 に記載の画素構造。

【請求項 8】

前記第二絶縁層の材質は、酸化ケイ素か窒化ケイ素であることを特徴とする請求項 5 に記載の画素構造。

20

【請求項 9】

前記基板の材質はガラスであることを特徴とする請求項 1 に記載の画素構造。

【請求項 10】

前記スキャンライン、前記信号ライン、前記ストレージキャパシタ電極ライン、前記ゲート電極、前記ソース電極、前記第一ドレイン電極、前記第二ドレイン電極の材質は、アルミ、銅、金、クロム、タンタル、チタン、マンガン、ニッケル、銀、或いは、その組み合わせであることを特徴とする請求項 1 に記載の画素構造。

【請求項 11】

前記画素電極の材質は、インジウムスズ酸化物、或いは、インジウム亜鉛酸化物であることを特徴とする請求項 1 に記載の画素構造。

30

【請求項 12】

画素構造補修方法であって、

複数のスキャンラインと複数の信号ラインを基板上に交錯設置すると共に、複数の画素領域を定義する工程と、

複数のストレージキャパシタ電極ラインを前記複数のスキャンライン方向に沿って設置し、前記画素領域を跨置し、且つ、前記信号ラインと交錯設置する工程と、

前記複数の画素電極を任意の前記複数の画素領域内に形成する工程と、

前記複数の薄膜トランジスタを前記画素領域のスキャンライン上に設置する工程とからなり、

40

任意の前記薄膜トランジスタは、

ゲート電極と、

前記信号ラインと電氣的に接続するソース電極と、

前記ゲート電極の一側に設置され、前記画素電極と電氣的に接続する第一ドレイン電極と、

前記第一ドレイン電極と対称に前記ゲート電極のもう一側に設置され、相隣する画素領域の前記画素電極の一部と重畳し、且つ、互いに電氣的に隔絶される第二ドレイン電極とからなり、

レーザーを照射し、前記第二ドレイン電極は相隣する画素領域の前記画素電極と一部の重畳箇所で溶接し短絡することを特徴とする画素構造の補修方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイに関するものであって、特に、液晶ディスプレイに適用する画素構造、及び、その補修方法に関するものである。

【背景技術】

【0002】

薄膜トランジスタ (Thin Film Transistor-Liquid Crystal Display, TFT-LCD) は、現在、幅広く使用されているフラットパネルディスプレイで、低消費電力、薄型、軽量、及び、低電圧駆動である等の長所がある。通常、薄膜トランジスタ液晶ディスプレイの液晶は、電極を含有する薄膜トランジスタパネル (panel) と電極を含有するカラーフィルタ (color filter, CF) パネル間に充填され、且つ、液晶対光の透過性は各電極に供給される電圧により制御される。薄膜トランジスタパネルのイメージディスプレイ領域は、多くが、マトリクス方式で配列された画素から構成される。

【0003】

パネルの生産過程で画素はホコリや油分により汚染されやすく、静電気による破壊も生じ、薄膜トランジスタの異常の短絡や開回路が画素欠点 (pixel defect)、ホワイト欠点 (white defect)、ダーク欠点 (dark defect)、グレイ欠点 (gray defect) を生じる。

【0004】

図1は公知技術の液晶ディスプレイ装置の部分画素構造の平面図である。図1で示されるように、導電可能な画素電極110と接続する第二金属層120を利用し、第一金属層130、第二金属層120を配置し、且つ、信号ライン140と重畳するが互いに絶縁する。薄膜トランジスタが正常に作動しない時、レーザーによりこの二点 (レーザー補修領域A) が短絡し、補修効果を達成する。しかし、この種の補修方式は金属層を必要とし、口径比が低下してしまう。また、固定電圧レベルがないので、データライン上の電圧信号が画素の電位に影響してパネルのディスプレイ品質を低下させる。この他、静電気の累積により、第一金属層と第二金属層の重畳箇所が静電気破壊や、或いは、相隣する同層の金属と短絡を生じ、不良率が高くなる。画素を補修する時、二点にレーザー照射して短絡させないと画素の補修目的が達成されない。画素の補修完成後、データ信号上の平均電圧を表示することができ、視覚上の表示はグレイレベルで、全黒画面下で可視される。

【0005】

この補修方法はレーザー照射を二回する必要がある、工程が複雑で、補修時間もコストもかかる。よって、液晶ディスプレイパネルの製品歩留まりと製造コストの問題をいかにして解決するかが重要な問題である。

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、液晶ディスプレイの画素構造、及び、その補修方法を提供し、前の一画素の薄膜トランジスタを信号の提供源とし、正常に作動しない画素が正常な表示信号を獲得して欠点の補修を実行することを目的とする。

【0007】

本発明は、液晶ディスプレイの画素構造、及び、その補修方法を提供し、画素補修設計により、薄膜トランジスタ失効時に、正常な動作が不能でホワイト欠点やダーク欠点を生じる問題を解決し、正常な画素グレイレベル表示能力を有させることをもう一つの目的とする。

【0008】

本発明は、液晶ディスプレイの画素構造、及び、その補修方法を提供し、この画素補修設計は、画素上方のブラックマトリクス領域内に設置され、遮光パターンとなって、口径比に影響させないことを更なる目的とする。

【0009】

本発明は、液晶ディスプレイの画素構造、及び、その補修方法を提供し、一度のレーザー照射により補修が完成し、且つ、画素表示の輝度は上方の画素と完全に相同でグレイ欠点がなく、いかなる表示画面下でも発見されにくく、補修時間を短縮し、製品歩留まりを高めることを更なる目的とする。

【課題を解決するための手段】

【0010】

上述の目的を達成するため、本発明の実施例の画素構造は、基板上に交錯設置されると共に、複数の画素領域を定義する複数のスキャンラインと複数の信号ラインと、複数のスキャンライン方向に沿って設置され、画素領域を跨置し、且つ、信号ラインと交錯設置される複数のストレージキャパシタ電極ラインと、任意の複数の画素領域内に相対して設置される複数の画素電極と、複数の画素領域の複数のスキャンライン上にそれぞれ設置される複数の薄膜トランジスタと、からなる。任意の薄膜トランジスタは、ゲート電極と、信号ラインと電氣的に接続するソース電極と、ゲート電極の一側に設置され、画素電極と電氣的に接続する第一ドレイン電極と、第一ドレイン電極と対称にゲート電極のもう一侧に設置され、相隣する画素領域の画素電極の一部と重畳し、且つ、互いに絶縁される第二ドレイン電極と、からなる。

【0011】

本発明のもう一つの実施例による画素構造の補修方法は、以下の工程からなる。複数のスキャンラインと複数の信号ラインを基板上に交錯設置すると共に、複数の画素領域を定義する工程と、複数のストレージキャパシタ電極ラインを複数のスキャンライン方向に沿って設置し、画素領域を跨置し、且つ、信号ラインと交錯設置する工程と、複数の画素電極を任意の複数の画素領域内に形成する工程と、複数の薄膜トランジスタを画素領域のスキャンライン上に設置する工程と、からなる。任意の薄膜トランジスタは、ゲート電極と、信号ラインと電氣的に接続するソース電極と、ゲート電極の一側に設置され、画素電極と電氣的に接続する第一ドレイン電極と、第一ドレイン電極と対称にゲート電極のもう一侧に設置され、相隣する画素領域の画素電極の一部と重畳し、且つ、互いに絶縁される第二ドレイン電極と、からなる。続いて、レーザーを照射し、第二ドレイン電極は相隣する画素領域の画素電極と一部の重畳箇所を溶接し短絡する。

【発明の効果】

【0012】

本発明により、一度のレーザー照射により補修が完成し、且つ、画素表示の輝度は上方の画素と完全に相同でグレイ欠点がなく、いかなる表示画面下でも発見されにくく、補修時間を短縮し、製品歩留まりを高める。

【発明を実施するための最良の形態】

【0013】

図2は本発明による画素構造の平面図である。図2で示されるように、本実施例中、複数のスキャンライン(scan line)22と複数の信号ライン42は一基板(図示しない)上に設置される。スキャンライン22と信号ライン42は交錯設置されて、複数の画素領域(pixel region)を定義する。複数のストレージキャパシタ電極ライン24は、スキャンライン22方向に沿って設置され、画素領域を跨置し、信号ライン42を交差する。複数の画素電極50(pixel electrode)はそれぞれ任意の画素領域内に設置される。複数の薄膜トランジスタ40は、それぞれ、各画素領域のスキャンライン22上に設置される。任意の薄膜トランジスタ40は、ゲート電極(gate electrode)(図示しない)、ソース電極44(source electrode)(図示しない)、第一ドレイン電極46(drain electrode)、及び、第二ドレイン電極46'、からなる。ゲート電極はスキャンライン22と電氣的に接続する。ソース電極44は信号ライン42と電氣的に接続する。第一ドレイン電極46は画素電極50と電氣的に接続する。スキャンライン22内はゲート電極を有し、第二ドレイン電極46'は第一ドレイン電極46と対称にゲート電極のもう一侧に設置し、且つ、第二ドレイン電極46'はこの薄膜トランジスタ40と相隣する画素領域内の画素電極50の一部と重畳するが、電氣的には隔絶されている。

【 0 0 1 4 】

第一絶縁層（図示しない）は基板上に設置されると共に、ゲート電極を被覆する。薄膜トランジスタ 4 0 は更に半導体層 3 4 を第一絶縁層とソース電極 4 4、第一ドレイン電極 4 6、及び、第二ドレイン電極 4 6' の間に設置している。この他、第二絶縁層（図示しない）がソース電極 4 4 と第一ドレイン電極 4 6 上に被覆設置され、且つ、第一ドレイン電極 4 6 は第二絶縁層上のコンタクトホール（contact hole）4 8 により画素電極 5 0 と電氣的に接続する。第二ドレイン電極 4 6' は画素電極 5 0 と第二絶縁層により互いに電氣的に隔絶される。

【 0 0 1 5 】

上述の実施例中、スキャンライン 2 2、信号ライン 4 2、ストレージキャパシタ電極ライン 2 4、ゲート電極、ソース電極 4 4、第一ドレイン電極 4 6、及び、第二ドレイン電極 4 6' の材質は、アルミ、銅、金、クロム、タンタル、チタン、マンガン、ニッケル、銀、或いは、その組み合わせである。画素電極 5 0 の材質はインジウムスズ酸化物、或いは、インジウム亜鉛酸化物である。第一絶縁層と第二絶縁層の材質は酸化ケイ素か窒化ケイ素である。本実施例中、スキャンライン 2 2 とストレージキャパシタ電極ライン 2 4 は、第一金属層 2 0 から形成され、第一金属層の材質は、アルミ、銅、金、クロム、タンタル、チタン、マンガン、ニッケル、銀、或いは、その組み合わせである。信号ライン 4 2、ソース電極 4 4、第一ドレイン電極 4 6、及び、第二ドレイン電極 4 6' は、第二金属層 4 0 から形成され、第二金属層の材質は、アルミ、銅、金、クロム、タンタル、チタン、マンガン、ニッケル、銀、或いは、その組み合わせである。

【 0 0 1 6 】

図 2 で示されるように、本実施例中、下方の画素領域の薄膜トランジスタが失効し正常に作動しない時、レーザーにより画素電極 5 0 とその上方の画素領域の薄膜トランジスタ中の第二ドレイン電極 4 6' と溶接短絡させる。この時、第二ドレイン電極 4 6' とソース電極 4 4 は、バックアップ薄膜トランジスタ（backup TFT）を形成する。表示信号はこの薄膜トランジスタにより本来は操作できなかった画素中に伝送され、つまり、表示信号は同時に二つの画素を制御する。

【 0 0 1 7 】

図 3 は、図 2 の B - B' に沿った薄膜トランジスタの断面拡大図である。図 3 で示されるように、本実施例中、ゲート電極 2 2' は基板 1 0 上に設置され、このゲート電極 2 2' はスキャンラインに含まれる。この基板 1 0 の材質はガラスである。第一絶縁層 3 0 はゲート電極 2 2' と基板 1 0 上を被覆する。半導体層 3 4 はゲート電極 2 2' 上の第一絶縁層 3 0 表面に設置される。ソース電極 4 4、第一ドレイン電極 4 6、及び、第二ドレイン電極 4 6' は半導体層 3 4 上に設置される。第一ドレイン電極 4 6 と第二ドレイン電極 4 6' は対称に設置される。第二絶縁層 3 2 は、ソース電極 4 4、第一ドレイン電極 4 6、及び、第二ドレイン電極 4 6' を被覆して設置される。画素領域の画素電極 5 0 は第一ドレイン電極 4 6 の一部と重畳設置され、第二絶縁層 3 2 上のコンタクトホールにより、第一ドレイン電極 4 6 と画素電極 5 0 を電氣的に接続させる。第二ドレイン電極 4 6' は、相隣する画素領域の画素電極 5 0 の一部と重畳設置されるが、第二絶縁層 3 2 により、第二ドレイン電極 4 6' と画素電極 5 0 を互いに電氣的に隔絶する。

【 0 0 1 8 】

図 4 と図 5 を参照すると、上述の画素構造は補修が必要な時、レーザー照射して、画素電極 5 0 と第二ドレイン電極 4 6' の重畳領域 6 0 を溶接短絡させる。この時、第二ドレイン電極 4 6' とソース電極 4 4 はバックアップ薄膜トランジスタを形成する。

【 0 0 1 9 】

上述によると、本発明の特徴の一つは、第二ドレイン電極は浮動（floating）設置で、且つ、ゲート電極と重畳するが、ゲート電極は画素起動時にだけ電圧の変化があるので、第二ドレイン電極は長時間固定電位が維持され、信号が画素電圧レベルに影響する問題が生じない。また、第二ドレイン電極が短絡の問題や静電気破壊が生じる場合、レーザーによる補修を要していないので、第二ドレイン電極は画素電極と電氣的に接続せず、表示不良

10

20

30

40

50

を生じない。

【 0 0 2 0 】

上述を総合すると、本発明は、前の一画素の薄膜トランジスタを信号の提供源とすることにより、正常に作動しない画素が正常な表示信号を獲得して欠点の補修を実行させる。画素補修設計により、薄膜トランジスタ失効時の正常な動作が不能でホワイト欠点やダーク欠点を生じる問題を解決し、正常な画素グレイレベル表示能力を有させる。この画素補修設計は、画素上方のブラックマトリクス領域内に設置され、遮光パターンとなり、口径比に影響させない。本発明は、一度のレーザー照射により補修が完成し、且つ、画素表示の輝度は上方の画素と完全に相同で非グレイ欠点であり、いかなる表示画面下でも発見されにくく、補修時間を短縮し、製品歩留まりを高める。

10

【 0 0 2 1 】

本発明では好ましい実施例を前述の通り開示したが、これらは決して本発明に限定するものではなく、当該技術を熟知する者なら誰でも、本発明の精神と領域を脱しない範囲内で各種の変動や潤色を加えることができ、従って本発明の保護範囲は、特許請求の範囲で指定した内容を基準とする。

【図面の簡単な説明】

【 0 0 2 2 】

【図 1】公知技術による液晶ディスプレイ装置の一部の画素を示した説明図である。

【図 2】本発明の画素構造の平面図である。

【図 3】図 2 の B - B ' 線に沿った薄膜トランジスタの断面拡大図である。

20

【図 4】本発明の画素構造補修方法を示す平面図である。

【図 5】図 4 の D - D ' 線に沿った薄膜トランジスタの断面拡大図である。

【符号の説明】

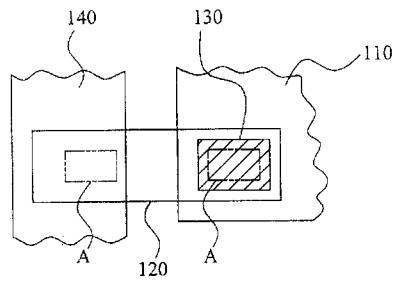
【 0 0 2 3 】

- 1 0 基板
- 2 0 第一金属層
- 2 2 スキャンライン
- 2 2 ' ゲート電極
- 2 4 ストレージキャパシタ電極ライン
- 3 0 第一絶縁層
- 3 2 第二絶縁層
- 3 4 半導体層
- 4 0 薄膜トランジスタ
- 4 2 信号ライン
- 4 4 ソースライン
- 4 6 第一ドレイン電極
- 4 6 ' 第二ドレイン電極
- 4 8 コンタクトホール
- 5 0 画素電極
- 6 0 重畳領域
- 1 1 0 画素電極
- 1 2 0 第二金属層
- 1 3 0 第一金属層
- 1 4 0 信号ライン

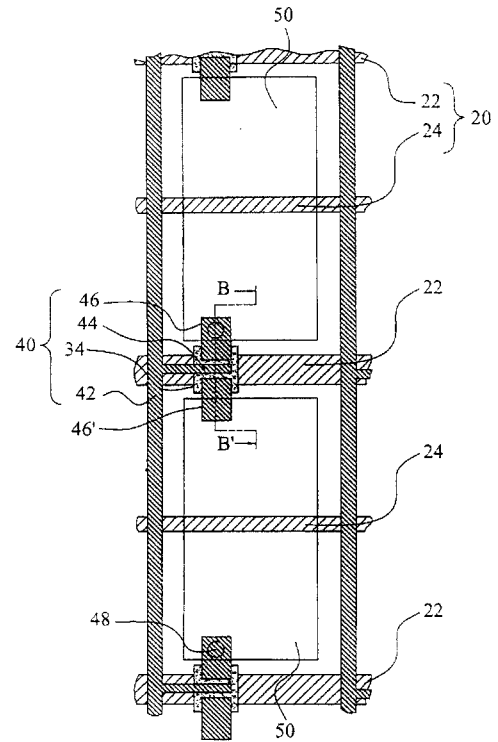
30

40

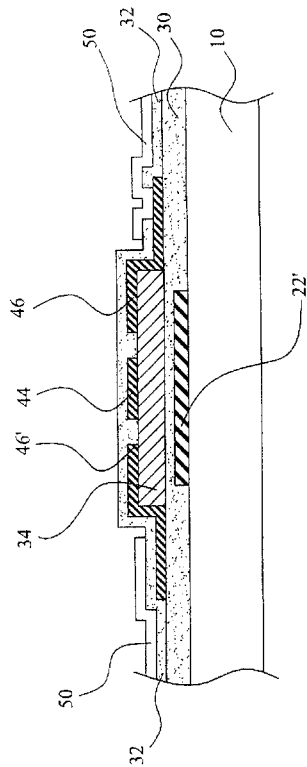
【図 1】



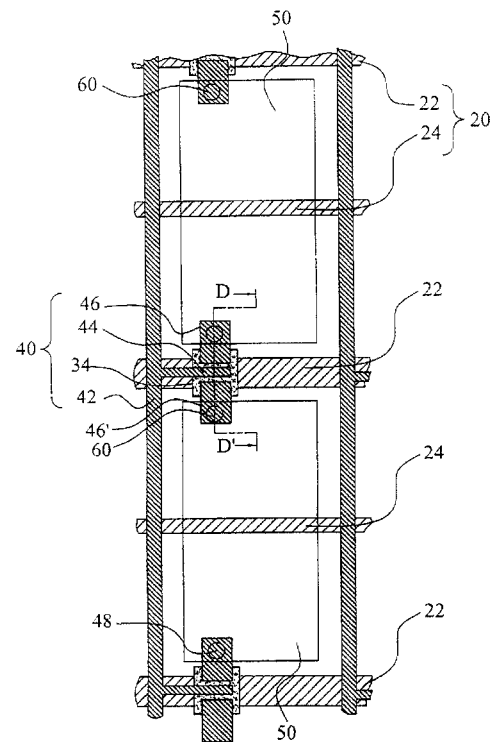
【図 2】



【図 3】



【図 4】



フロントページの続き

- (56)参考文献 特開平04 - 136918 (JP, A)
特開平02 - 251930 (JP, A)
特開平02 - 055339 (JP, A)
特開平02 - 001823 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1 / 1368

专利名称(译)	像素结构及其修复方法		
公开(公告)号	JP4386375B2	公开(公告)日	2009-12-16
申请号	JP2006305097	申请日	2006-11-10
[标]申请(专利权)人(译)	中华映管股份有限公司		
申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
当前申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
[标]发明人	林光祥 游輝鐘		
发明人	林 光祥 游 輝鐘		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/136259 G02F1/136227 G02F2001/136268		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB42 2H092/JB65 2H092/JB69 2H092/JB72 2H092/MA47 2H092/NA12 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC22 2H192/DA12 2H192/EA43 2H192/HB33 2H192/HB44		
优先权	095137357 2006-10-11 TW		
其他公开文献	JP2008096940A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供液晶显示器的像素结构及其修复方法。解决方案：像素结构包括多条扫描线和多条信号线，多条信号线限定多个像素区域，多条存储电容器电极线，多个像素电极和多个薄膜晶体管。任意薄膜晶体管具有与第一漏电极对称安装的第二漏电极。第一漏电极安装在栅电极的一侧并电连接到像素电极，第二漏电极与第一漏电极对称地安装在栅电极的另一侧，以与像素电极的一部分重叠在像素区域中，彼此绝缘。本发明的修复方法是在激光照射阶段中将第二漏电极与相邻的像素电极焊接并短路，部分重叠。 Z

