

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3810681号
(P3810681)

(45) 発行日 平成18年8月16日(2006.8.16)

(24) 登録日 平成18年6月2日(2006.6.2)

(51) Int. Cl.

F I

GO2F 1/1368 (2006.01)
 GO2F 1/1343 (2006.01)
 GO2F 1/1333 (2006.01)
 HO1L 29/786 (2006.01)
 HO1L 21/336 (2006.01)

GO2F 1/1368
 GO2F 1/1343
 GO2F 1/1333 505
 HO1L 29/78 612Z

請求項の数 4 (全 13 頁)

(21) 出願番号 特願2001-387961 (P2001-387961)
 (22) 出願日 平成13年12月20日(2001.12.20)
 (65) 公開番号 特開2003-186047 (P2003-186047A)
 (43) 公開日 平成15年7月3日(2003.7.3)
 審査請求日 平成16年4月13日(2004.4.13)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 藤川 徹也
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 土井 誠児
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 審査官 右田 昌士

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板および液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

絶縁性表面を有する基板と、
 前記基板上に形成され、同一の導電材料層からなるゲート電極およびキャパシタ下部電極と、

第1絶縁層を介して、前記ゲート電極を跨いで形成された高抵抗率半導体のチャネル層と、

前記第1絶縁層を介して、前記キャパシタ下部電極上方に、前記チャネル層と同一材料層で形成された高抵抗率半導体のキャパシタ上部電極下部層と、

前記チャネル層上に形成されたチャネル保護層と、

前記キャパシタ上部電極下部層の接続領域上の限られた領域内でのみ、前記チャネル保護層と同一材料層で形成されたキャパシタ保護層と、

前記チャネル保護層上で分離されて、前記チャネル層上に形成された低抵抗率の1対のソース/ドレイン電極と、

前記限られた領域内のキャパシタ保護層を覆って、かつ、キャパシタ保護層の周囲における前記キャパシタ上部電極下部層上に、前記ソース/ドレイン電極と同一材料層で形成されたキャパシタ上部電極上部層と、

前記ソース/ドレイン電極，前記キャパシタ上部電極上部層を覆って、前記第1絶縁層上に形成された第2絶縁層を貫通し、前記1対のソース/ドレイン電極の一方を露出する第1接続孔、および、前記キャパシタ上部電極上部層の接続領域を露出する第2接続孔と

10

20

、
前記第 2 絶縁層上に形成され、前記第 1 接続孔および第 2 接続孔で、前記一方のソース / ドレイン電極および前記キャパシタ上部電極上部層と接続された画素電極と、
を有する薄膜トランジスタ基板。

【請求項 2】

前記ゲート電極と前記キャパシタ下部電極とが、それぞれ、前記基板上に形成された電氣的に分離されたバスラインの一部で形成されている請求項 1 記載の薄膜トランジスタ基板。

【請求項 3】

前記ゲート電極と前記キャパシタ下部電極とが、前記基板上に形成されたゲートバスラインの異なる部分で形成されている請求項 1 記載の薄膜トランジスタ基板。 10

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項記載の薄膜トランジスタ基板と、透明基板上に、カラーフィルタ、透明共通電極を形成したカラーフィルタ基板と、前記薄膜トランジスタ基板と前記カラーフィルタ基板との間に挟持された液晶層と、を有する液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ基板および液晶表示装置に関し、特に補助蓄積容量を有する薄膜トランジスタ基板および液晶表示装置に関する。 20

【0002】

【従来の技術】

液晶表示装置は、近年情報機器などに広く用いられ、さらなる低コスト化、高画質化が求められている。薄膜トランジスタ基板の多くは、画素毎に画素電極用の情報を蓄積するため、補助蓄積容量を有している。補助蓄積容量は、通常不透明体で形成されるため、画素面積を減少させる原因となる。比較的大きい面積を占める補助蓄積容量の小型化が要求される。また、補助蓄積容量の製造工程において、層間短絡等が生じると不良が発生する。不良発生は極力低減することが望まれる。

【0003】

図 5 は、従来技術による薄膜トランジスタ基板の構成例を示す。 30

【0004】

図 5 (A) は、従来技術による薄膜トランジスタ基板の平面図を示す。図 5 (B) は、図 5 (A) の V B - V B 線に沿う薄膜トランジスタ部分の断面図を示し、図 5 (C) は、図 5 (A) の V C - V C 線に沿う補助蓄積容量部分の断面図を示す。

【0005】

ガラス基板等の絶縁性表面を有する基板 1 の上に、同一金属層をパターニングすることによりゲートバスライン 2 t と補助蓄積容量バスライン 2 c が形成される。バスライン 2 t と 2 c とは、互いに電氣的に分離されている。バスライン 2 t と 2 c を覆って、基板 1 全面上に窒化シリコン等の絶縁層 3 が形成される。絶縁層 3 は、薄膜トランジスタ部分では、ゲート絶縁膜 3 t を構成し、補助蓄積容量部分では、キャパシタ誘電体膜 3 c を構成 40

【0006】

絶縁層 3 の上に、薄膜トランジスタのチャネルを構成することのできる高抵抗率アモルファスシリコン層 1 1 が堆積され、その上にエッチングストップの機能を有する窒化シリコン層 1 2 が堆積される。窒化シリコン層 1 2 をパターニングし、薄膜トランジスタのチャネルとなる領域上のみチャネル保護層 1 2 t を残す。チャネル保護層 1 2 t を覆って、高抵抗率アモルファスシリコン層 1 1 の上に、n 型不純物を高濃度にドーブした n⁺ 型 (低抵抗率) アモルファスシリコン層 1 3 を堆積する。なお、アモルファスシリコン層、窒化シリコン層は、例えば化学気相堆積 (C V D) で堆積する。

【0007】

アモルファスシリコン層 13 の上に、Ti 層 4 a、Al 層 4 b、Ti 層 4 c を例えばスパッタリングで積層する。Ti 層 4 c の上にレジストパターンを形成し、Ti 層 4 c、Al 層 4 b、Ti 層 4 a、 n^+ 型アモルファスシリコン層 13、高抵抗率アモルファスシリコン層 11 をパターニングする。なお、チャンネル領域上にはチャンネル保護層 12 t が形成されているため、チャンネル領域上のエッチングはチャンネル保護層 12 t で停止され、その下の高抵抗率アモルファスシリコン層 11 はエッチングされない。

【0008】

このようにして、薄膜トランジスタ領域にはソース/ドレイン電極、補助蓄積容量領域においては、キャパシタの上部電極が形成される。

【0009】

Ti 層 4 c を覆って、絶縁層 3 の上に窒化シリコン等の絶縁保護層 14 を CVD 等により堆積する。薄膜トランジスタのソース領域上および補助蓄積容量の接続領域の上部電極上にコンタクト用開口 8 t 及び 8 c を形成する。このエッチング工程において、例えば Ti 層 4 c、Al 層 4 b、Ti 層 4 a にピンホールが存在すると、エッチングはその下の層にまで及んでしまう。

【0010】

図 5 (C) に示す接続孔 8 c の底面の金属積層に、ピンホールが存在すると、エッチングはアモルファスシリコン層 13 c、11 c およびその下の絶縁層 3 c に及び、下部電極 2 c まで達することもある。

【0011】

その後、保護絶縁層 14 の上に、接続孔を覆って、ITO (インジウム - 錫酸化物) 層 5 を堆積し、パターニングすることにより画素電極を形成する。なお、ピンホールにより下部電極 2 c が露出していると、画素電極 5 がキャパシタの下部電極と上部電極とを短絡し、キャパシタが機能を失ってしまう。

【0012】

図 5 (D) は、このような短絡を防止するため、画素電極とキャパシタの上部電極とのコンタクトをキャパシタの下部電極外の領域に設けた構成例を示す。上部電極のコンタクトが下部電極の外部に形成されるため、例えばピンホールが生じても短絡を防止することができる。しかし、下部電極及び上部電極はそれぞれ不透明な層であり、下部電極よりも上部電極が外部に張り出すことにより、画素電極の有効面積はその分減少してしまう。

【0013】

【発明が解決しようとする課題】

補助蓄積容量を有する薄膜トランジスタ基板において、補助蓄積容量の電極間の短絡を防止すると共に、有効画素領域をできるだけ広く確保することは容易ではなかった。

【0014】

本発明の目的は、有効画素領域を広く確保すると共に、補助蓄積容量の電極間の短絡を防止することのできる薄膜トランジスタ基板及び液晶表示装置を提供することである。

【0015】

本発明の他の目的は、新規な構成を有する薄膜トランジスタ基板及び液晶表示装置を提供することである。

【0016】

【課題を解決するための手段】

本発明によれば、絶縁性表面を有する基板と、前記基板上に形成された導電材料層のゲート電極と、前記基板上に、前記ゲート電極と同一材料層で形成されたキャパシタ下部電極と、前記ゲート電極と前記キャパシタ下部電極とを覆って、前記基板上に形成された第 1 絶縁層と、前記第 1 絶縁層上で、前記ゲート電極を跨いで形成された高抵抗率半導体のチャンネル層と、前記第 1 絶縁層上で、前記キャパシタ下部電極上方に、前記チャンネル層と同一材料層で形成された高抵抗率半導体のキャパシタ上部電極下部層と、前記チャンネル層の中間部上に形成されたチャンネル保護層と、前記キャパシタ上部電極下部層の接続領域上の限られた領域内のみ、前記チャンネル保護層と同一材料層で形成されたキャパシタ保護

10

20

30

40

50

層と、前記チャンネル保護層上で分離されて、前記チャンネル層上に形成された低抵抗率の1対のソース/ドレイン電極と、前記限られた領域内のキャパシタ保護層を覆って、かつ、キャパシタ保護層の周囲における前記キャパシタ上部電極下部層上に、前記ソース/ドレイン電極と同一材料層で形成されたキャパシタ上部電極上部層と、前記ソース/ドレイン電極、前記キャパシタ上部電極上部層を覆って、前記第1絶縁層上に形成された第2絶縁層と、前記第2絶縁層を貫通し、前記1対のソース/ドレイン電極の一方を露出する第1接続孔と、前記第2絶縁層を貫通し、前記キャパシタ上部電極上部層の接続領域を露出する第2接続孔と、前記第2絶縁層上に形成され、前記第1接続孔および第2接続孔で、前記一方のソース/ドレイン電極および前記キャパシタ上部電極上部層と接続された画素電極と、を有する薄膜トランジスタ基板が提供される。

10

【0017】

本発明のさらに他の観点によれば、上述のような薄膜トランジスタ基板と、透明基板上に、カラーフィルタ、透明共通電極を形成したカラーフィルタ基板と、薄膜トランジスタ基板とカラーフィルタ基板との間に挟持された液晶層と、を有する液晶表示装置が提供される。

【0018】

【発明の実施の形態】

図1(A)~(D)は、本発明の実施例による薄膜トランジスタ基板の構成を示す平面図及び断面図である。図1(B)は、図1(A)のIB-IB線に沿う薄膜トランジスタ部分の断面図であり、図1R>1(C)は、図1(A)のIC-IC線に沿う補助蓄積容量部分の断面図である。

20

【0019】

ガラス基板1の上に、電極層を例えばスパッタリングにより堆積し、ホトリソグラフィを用いたパターニングを行なうことにより、ゲートバスライン2t及び補助蓄積容量バスライン2cを形成する。透過型液晶表示装置の場合は、透明基板を用いる。反射型液晶表示装置の場合は、透明基板に限らず、不透明基板を用いることもできる。但し、表面は絶縁性であることが必要である。酸化膜を形成したシリコン基板、表面に絶縁層を形成した金属板等、絶縁性表面を有する基板であればよい。

【0020】

図1(D)に示すように、この電極層は、好ましくは例えば下側に厚さ約100nmのAl層2-1、上側に厚さ約50nmのTi層2-2を積層して形成する。

30

【0021】

電極層のパターニングの後、例えば厚さ400nmのSi₃N₄層で形成した絶縁層3を例えばCVDにより堆積する。この絶縁層3は、薄膜トランジスタ領域においてはゲート絶縁膜3tを構成し、補助蓄積容量においてはキャパシタ誘電体膜3cを形成する。

【0022】

絶縁層3の上に、薄膜トランジスタのチャンネルを構成することのできる、例えば厚さ30nmの高抵抗率アモルファスシリコン層11を例えばCVDにより堆積する。高抵抗率アモルファスシリコン層11の上に、エッチングストップ層として、例えば厚さ約150nmのSi₃N₄層12をCVDにより堆積する。Si₃N₄層12をホトリソグラフィとエッチングを用いてパターニングし、薄膜トランジスタ領域にチャンネル保護層12tを残し、補助蓄積容量領域にキャパシタ保護層12cを残す。

40

【0023】

この絶縁層12t、12cを覆うように、高抵抗率アモルファスシリコン層11の上に例えば厚さ約30nmのn⁺型(低抵抗率)アモルファスシリコン層13をCVDで堆積する。その上に、例えば厚さ約20nmのTi層4a、厚さ約75nmのAl層4b、厚さ約40nmのTi層4cを順次スパッタリングにより堆積する。

【0024】

その後、Ti層4cの上にレジストパターンを形成し、例えばCl系エッチングガスを用いた反応性イオンエッチング(RIE)によりTi層4c、Al層4b、Ti層4aを

50

エッチングし、さらに n^+ 型アモルファスシリコン層13、高抵抗率アモルファスシリコン層11をエッチングする。

【0025】

チャンネル保護層12tは、エッチングストッパとして機能し、その下の高抵抗率シリコン層11tを保護する。チャンネル保護層12tの両側においては、 n^+ 型シリコン層13tが高抵抗率シリコン層11tの上にコンタクトする。このようにして、チャンネル層11tの離れた領域上に1対のソース/ドレイン電極S、Dが形成される。

【0026】

又、補助蓄積容量領域においては、キャパシタ保護層12cは限られた領域内にのみ残されており、その周囲においては n^+ 型シリコン層13cがその下の高抵抗率シリコン層11cにコンタクトする。高抵抗率シリコン層11c、 n^+ 型シリコン層13c、金属電極4a、4b、4cは、キャパシタの上部電極を構成する。

10

【0027】

その後、ソース/ドレイン電極S、D及び上部電極を覆うように、例えば厚さ約300nmの Si_3N_4 層の上部保護層14をCVDにより堆積する。上部保護層14は、 Si_3N_4 層の他、有機絶縁層等で形成してもよい。 Si_3N_4 層14の上に、レジストパターンを形成し、ソース電極S上及び上部電極上に接続穴を開口するエッチングを行なう。この時、ドレイン電極Dはレジストパターンに覆われている。

【0028】

このエッチングは、例えば CF_4 、 CHF_3 、 SF_6 等のF系ドライエッチャントを用いたRIEにより行なう。キャパシタの上部電極4cにピンホールが存在しても、その下の n^+ 型シリコン層13c、キャパシタ保護層12c、高抵抗率シリコン層11c、 Si_3N_4 層3cをエッチングしないと、下部電極2cの表面は露出されない。従って、下部電極と上部電極との短絡を防止しつつ、開口8cを形成することができる。

20

【0029】

なお、薄膜トランジスタのソース電極Sにおいては、同様に開口8tが形成される。ソース電極Sにおいては、例えばピンホールが存在しても、ソース電極Sの一部がエッチングされるのみであり、その機能に与える影響は小さい。

【0030】

Si_3N_4 層14に開口を形成した後、その上にITO層を堆積し、パターンングすることにより透明画素電極5を形成する。キャパシタの上部電極は、透明画素電極5を介してソース電極Sに接続され、ドレイン電極D、ソース電極Sを介して画素電極に駆動電圧が与えられた時に、キャパシタにその電圧を蓄積することができる。

30

【0031】

なお、アモルファスシリコン層を用いて薄膜トランジスタを形成する場合を説明したが、アモルファスシリコン層を堆積した後、XeClレーザ光のアニーリングを行なうこと等により、アモルファスシリコン層を多結晶シリコン層に変換してもよい。多結晶シリコン層を用いれば、薄膜トランジスタの性能を向上することができる。

【0032】

図2(A)は、薄膜トランジスタ基板に形成される回路の等価回路を示す。ドレインバスラインDBは、縦方向に複数本形成されている。ゲートバスラインGB及び補助蓄積容量バスラインCSBはそれぞれ水平方向に複数本形成されている。

40

【0033】

ドレインバスラインDBとゲートバスラインGBの各交差点に、薄膜トランジスタTRが接続される。薄膜トランジスタTRのドレイン電極DがドレインバスラインDBに接続され、絶縁ゲート電極がゲートバスラインGBに接続され、ソース電極Sは、透明画素電極PXに接続される。

【0034】

透明画素電極PXと補助蓄積容量バスラインCSBとの間に、キャパシタCが接続される。補助蓄積容量バスラインCSBは接地電圧等の定電圧に保持され、キャパシタCは、

50

ドレインバスラインDBからドレイン電極Dを介して供給される画像信号電圧を蓄積する。図には、2行、2列の構成を示したが、実際の薄膜トランジスタ基板には、多数行、多数列の画素が形成される。

【0035】

チャンネル層の上にエッチングストッパを形成する構成を説明したが、チャンネル層を厚くし、エッチングストッパを省略することもできる。

【0036】

図2(B)は、チャンネルエッチタイプの薄膜トランジスタを用いた場合の構成を示す。なお、図1における構成と同様の構成には、同様の符号を付して説明を簡略化する。

【0037】

ゲート絶縁層3t、キャパシタ誘電体層3cを構成する絶縁層3を堆積した後、チャンネルを形成することのできる高抵抗率アモルファスシリコン層11を堆積し、その上にn型不純物を高濃度にドーピングしたn⁺型アモルファスシリコン層13を堆積する。その後、n⁺型アモルファスシリコン層13の上にレジストパターンを形成し、エッチングを行なうことによりn⁺型アモルファスシリコン層13、n型アモルファスシリコン層11をパターンニングし、薄膜トランジスタ領域及び蓄積容量形成領域にのみシリコン層13t、11t、13c、11cを残す。

【0038】

その後、金属電極層4を堆積し、パターンニングを行なうことによりソース/ドレイン電極4t及びキャパシタの上部金属電極4cをパターンニングする。このエッチングにおいて、金属電極層をエッチングした後エッチング量をコントロールすることにより、n⁺型アモルファスシリコン層13tはエッチングするが、その下の高抵抗率アモルファスシリコン層11tの厚さの一部は残るようにエッチングを制御する。なお、補助蓄積容量領域においては、アモルファスシリコン層13c、11cは完全に金属電極層4cで覆われている。

【0039】

その後、前述の実施例同様、Si₃N₄層14を堆積し、Si₃N₄層14を貫通する接続孔8t、8cをエッチングで形成する。接続孔8t、8cを開口した後、透明画素電極5を堆積、パターンニングする。

【0040】

Si₃N₄層に接続孔8t、8cをエッチングする時に、金属電極層4cにピンホールが存在しても、エッチングは先ずその下のシリコン層13c、11cに対して行なわれ、その後Si₃N₄層3cに進む。従って、下部電極2cが露出する前にエッチングを停止することができ、上部電極と下部電極との短絡を防止することができる。

【0041】

図3は、上述のような薄膜トランジスタ基板と公知のカラーフィルタ基板とを用いて液晶表示装置を形成した状態を示す。薄膜トランジスタ基板TRSの表面には、画素電極PXが形成されている。

【0042】

対向するカラーフィルタ基板CFSの上には、例えば赤、緑、青のカラーフィルタCFが形成され、カラーフィルタCFの上に表示領域全体に共通の透明コモン電極CTがITOで形成されている。さらに、局所的に絶縁性突起部VAが形成されている。突起部VAが存在する部分においては、電気力線の分布が調整される。

【0043】

電極間に電圧を印加しない状態においては、液晶層LCの液晶分子は、基板表面に垂直に配向する。電極間に電圧を印加すると、液晶層LC内の液晶は、電気力線に垂直に配列するようにその配向が変調される。突起部VAにおいては、電圧無印加時の液晶分子の配向が傾いているため、電圧を印加した時に液晶分子が倒れこむ方向を制御することができる。従って、配向方向の異なる複数の領域を有するマルチパーティカル配列(MVA)液晶表示装置が構成される。

10

20

30

40

50

【0044】

補助蓄積容量は、ゲートバスラインと別個に補助蓄積容量バスラインを形成し、その上に形成する場合に限らない。ゲートバスラインを利用して補助蓄積容量を形成することもできる。

【0045】

図4は、ゲートバスライン上に補助蓄積容量を形成する構成例を示す。ゲートバスライン2tを形成する。ゲートバスライン2tは、薄膜トランジスタを形成する領域の他、補助蓄積キャパシタを形成する領域を含む。ゲートバスラインの上にゲート絶縁膜を形成した後、チャンネルを構成する高抵抗率アモルファスシリコン層、エッチングストップとなる Si_3N_4 層を堆積する。 Si_3N_4 層を選択的にエッチングし、ゲートバスライン上の薄膜トランジスタ領域と補助蓄積キャパシタ領域にチャンネル保護膜12t、キャパシタ保護膜12cを残す。

10

【0046】

ソース/ドレイン電極及び上部電極を形成する n^+ 型アモルファスシリコン層、金属電極層を堆積し、パターニングすることにより、薄膜トランジスタ領域にソース/ドレイン電極4tを形成すると共に、補助蓄積キャパシタ領域に上部電極4cを形成する。その後、前述の実施例同様の工程を行なうことにより、薄膜トランジスタ基板を形成する。

【0047】

なお、上部電極4cは、図中上の画素の透明画素電極5と接続孔8cを介して接続される。このような構成とすれば、補助蓄積容量の上部電極に印加される電圧は隣の画素の電圧であり、その時ゲートバスライン2tは定電位に保持されている。従って、補助蓄積容量に効率的に電荷を蓄積することができる。

20

【0048】

ゲートバスライン、補助蓄積容量下部電極をAl/Ti積層で形成する場合を説明したが、このバスラインは他の導電体で形成してもよい。例えば、Cr単層、Al/Mo積層構成とすることもできる。

【0049】

ゲート絶縁膜、エッチングストップ層、上部絶縁保護膜を窒化シリコン層で形成する場合を説明したが、他の絶縁層を用いてもよい。例えば、酸化シリコン層、酸化窒化シリコン層を用いることもできる。複数種類の絶縁層を組合わせて用いてもよい。

30

【0050】

ソース/ドレインの金属電極をTi/Al/Ti積層で形成する場合を説明したが、他の導電体で形成しても良い。例えば、Cr単層、Mo/Al/Mo積層で形成しても良い。

【0051】

その他種々の変更、改良、組み合わせが可能なのは当業者に自明であろう。

【0052】

以下、本発明の特徴を付記する。

【0053】

(付記1) 絶縁性表面を有する基板と、前記基板上に形成された導電材料層のゲート電極と、前記基板上に、前記ゲート電極と同一材料層で形成されたキャパシタ下部電極と、前記ゲート電極と前記キャパシタ下部電極とを覆って、前記基板上に形成された第1絶縁層と、前記第1絶縁層上で、前記ゲート電極を跨いで形成された高抵抗率半導体のチャンネル層と、前記第1絶縁層上で、前記キャパシタ下部電極上方に、前記チャンネル層と同一材料層で形成された高抵抗率半導体のキャパシタ上部電極下部層と、前記チャンネル層の中間部に形成されたチャンネル保護層と、前記キャパシタ上部電極下部層の接続領域上に、前記チャンネル保護層と同一材料層で形成されたキャパシタ保護層と、前記チャンネル保護層上で分離されて、前記チャンネル層上に形成された n^+ 型の1対のソース/ドレイン電極と、前記キャパシタ保護層を覆って、前記キャパシタ上部電極下部層上に、前記ソース/ドレイン電極と同一材料層で形成されたキャパシタ上部電極上部層と、前記ソース/ドレイン

40

50

電極、前記キャパシタ上部電極上部層を覆って、前記第1絶縁層上に形成された第2絶縁層と、前記第2絶縁層を貫通し、前記1対のソース/ドレイン電極の一方を露出する第1接続孔と、前記第2絶縁層を貫通し、前記キャパシタ上部電極上部層の接続領域を露出する第2接続孔と、前記第2絶縁層上に形成され、前記第1接続孔および第2接続孔で、前記一方のソース/ドレイン電極および前記キャパシタ上部電極上部層と接続された画素電極と、を有する薄膜トランジスタ基板。

【0054】

(付記2) 前記ゲート電極と前記キャパシタ下部電極とが、それぞれ、前記基板上に形成された電氣的に分離されたバスラインの一部で形成されている付記1記載の薄膜トランジスタ基板。

10

【0055】

(付記3) 前記ゲート電極と前記キャパシタ下部電極とが、前記基板上に形成されたゲートバスラインの異なる部分で形成されている付記1記載の薄膜トランジスタ基板。

【0056】

(付記4) 前記チャンネル層、前記キャパシタ上部電極下部層は、高抵抗率アモルファスシリコン層で形成され、前記ソース/ドレイン電極、前記キャパシタ上部電極上部層は、前記高抵抗率アモルファスシリコン層上に形成されたドーブドアモルファスシリコン層を含む付記1記載の薄膜トランジスタ基板。

【0057】

(付記5) 絶縁性表面を有する基板と、前記基板上に形成された導電材料層のゲート電極と、前記基板上に、前記ゲート電極と同一材料層で形成されたキャパシタ下部電極と、前記ゲート電極と前記キャパシタ下部電極とを覆って、前記基板上に形成された第1絶縁層と、前記第1絶縁層上で、前記ゲート電極を跨いで形成され、前記ゲート電極上方の表面に凹部を有する高抵抗率半導体のチャンネル層と、前記第1絶縁層上で、前記キャパシタ下部電極上方に、前記チャンネル層と同一材料層で形成され、表面に凹部は有さない高抵抗率半導体のキャパシタ上部電極下部層と、前記チャンネル層の凹部両側領域上に形成された低抵抗率の1対のソース/ドレイン電極と、前記キャパシタ上部電極下部層上に、前記ソース/ドレイン電極と同一材料層で形成されたキャパシタ上部電極上部層と、前記ソース/ドレイン電極、前記キャパシタ上部電極上部層を覆って、前記第1絶縁層上に形成された第2絶縁層と、前記第2絶縁層を貫通し、前記1対のソース/ドレイン電極の一方を露出する第1接続孔と、前記第2絶縁層を貫通し、前記キャパシタ上部電極上部層の接続領域を露出する第2接続孔と、前記第2絶縁層上に形成され、前記第1接続孔および第2接続孔で、前記一方のソース/ドレイン電極および前記キャパシタ上部電極上部層と接続された画素電極と、を有する薄膜トランジスタ基板。

20

30

【0058】

(付記6) 前記ゲート電極と前記キャパシタ下部電極とが、それぞれ、前記基板上に形成された電氣的に分離されたバスラインの一部で形成されている付記5記載の薄膜トランジスタ基板。

【0059】

(付記7) 前記ゲート電極と前記キャパシタ下部電極とが、前記基板上に形成されたゲートバスラインの異なる部分で形成されている付記5記載の薄膜トランジスタ基板。

40

【0060】

(付記8) 前記チャンネル層、前記キャパシタ上部電極下部層は、高抵抗率アモルファスシリコン層で形成され、前記ソース/ドレイン電極、前記キャパシタ上部電極上部層は、前記高抵抗率アモルファスシリコン層上に形成されたドーブドアモルファスシリコン層を含む付記5記載の薄膜トランジスタ基板。

【0061】

(付記9) 付記1~8のいずれか1項記載の薄膜トランジスタ基板と、透明基板上に、カラーフィルタ、透明共通電極を形成したカラーフィルタ基板と、前記薄膜トランジスタ基板と前記カラーフィルタ基板との間に挟持された液晶層と、を有する液晶表示装置

50

【 0 0 6 2 】

(付記 10) (a) 基板上に、導電材料層を堆積し、パターニングすることにより、ゲート電極とキャパシタ下部電極とを形成する工程と、(b) 前記ゲート電極と前記キャパシタ下部電極とを覆って、前記基板上に第 1 絶縁層を堆積する工程と、(c) 前記第 1 絶縁層上に、高抵抗率半導体層と、その上にエッチングストッパ層とを堆積する工程と、(d) 前記エッチングストッパ層を選択的にエッチングし、前記ゲート電極上方の前記高抵抗率半導体層のチャンネル領域の中間部上にチャンネル保護層を、前記キャパシタ下部電極上方の前記高抵抗率半導体層の接続領域上にキャパシタ保護層を残す工程と、(e) 前記チャンネル保護層、前記キャパシタ保護層を覆って、前記高抵抗率半導体層上に低抵抗率半導体層を堆積し、その上に金属層を堆積する工程と、(f) 前記金属層、前記低抵抗率半導体層、前記高抵抗率半導体層を選択的にエッチングし、高抵抗率半導体層のチャンネル層、その上に前記チャンネル保護層上で分離された低抵抗率の 1 対のソース/ドレイン電極、高抵抗率半導体層のキャパシタ上部電極下部層、前記キャパシタ保護層を覆う、前記キャパシタ上部電極下部層上のキャパシタ上部電極上部層を形成する工程と、(g) 前記ソース/ドレイン電極、前記キャパシタ上部電極上部層を覆って、前記第 1 絶縁層上に第 2 絶縁層を形成する工程と、(h) 前記第 2 絶縁層を貫通し、前記 1 対のソース/ドレイン電極の一方を露出する第 1 接続孔と、前記第 2 絶縁層を貫通し、前記キャパシタ上部電極上部層を露出する第 2 接続孔とをエッチングする工程と、(i) 前記第 2 絶縁層上に、前記第 1 接続孔および第 2 接続孔で、前記一方のソース/ドレイン電極および前記キャパシタ上部電極上部層と接続された画素電極を形成する工程と、を有する薄膜トランジスタ基板の製造方法。

10

20

【 0 0 6 3 】

(付記 11) 前記工程 (f) が、前記 1 対のソース/ドレイン電極間の前記チャンネル保護層をエッチングストッパとして、前記金属層、前記低抵抗率半導体層、前記高抵抗率半導体層をエッチングする工程を含み、む付記 10 記載の薄膜トランジスタ基板の製造方法。

【 0 0 6 4 】

(付記 12) (a) 基板上に、導電材料層を堆積し、パターニングすることにより、ゲート電極とキャパシタ下部電極とを形成する工程と、(b) 前記ゲート電極と前記キャパシタ下部電極とを覆って、前記基板上に第 1 絶縁層を堆積する工程と、(c) 前記第 1 絶縁層上に、高抵抗率半導体層、その上の低抵抗率半導体層を堆積し、パターニングすることにより、前記ゲート電極を跨いだチャンネル層とコンタクト層、前記キャパシタ下部電極上方のキャパシタ上部電極下部層とを形成する工程と、(d) 前記コンタクト層、前記キャパシタ上部電極下部層を覆って、前記第 1 絶縁層上に金属電極層を堆積する工程と、(e) 前記金属電極層、前記チャンネル層上の前記高抵抗率半導体層を選択的にエッチングし、分離された低抵抗率の 1 対のソース/ドレイン電極、前記キャパシタ上部電極下部層上のキャパシタ上部電極上部層を形成する工程と、(f) 前記ソース/ドレイン電極、前記キャパシタ上部電極上部層を覆って、前記第 1 絶縁層上に第 2 絶縁層を形成する工程と、(g) 前記第 2 絶縁層を貫通し、前記 1 対のソース/ドレイン電極の一方を露出する第 1 接続孔と、前記第 2 絶縁層を貫通し、前記キャパシタ上部電極上部層を露出する第 2 接続孔とをエッチングする工程と、(h) 前記第 2 絶縁層上に、前記第 1 接続孔および第 2 接続孔で、前記一方のソース/ドレイン電極および前記キャパシタ上部電極上部層と接続された画素電極を形成する工程と、を有する薄膜トランジスタ基板の製造方法。

30

40

【 0 0 6 5 】

(付記 13) 前記工程 (e) が、前記 1 対のソース/ドレイン電極間の前記金属電極層、前記コンタクト層、前記チャンネル層の一部厚さをエッチングし前記 1 対のソース/ドレイン電極を形成する工程を含む付記 12 記載の薄膜トランジスタ基板の製造方法。

【 0 0 6 6 】

(付記 14) 絶縁性表面を有する基板と、前記基板上に形成され、同一の導電材料層

50

からなるゲート電極およびキャパシタ下部電極と、第1絶縁層を介して、前記ゲート電極を跨いで形成され、前記ゲート電極上方の表面に凹部を有する高抵抗率半導体のチャンネル層と、前記第1絶縁層を介して、前記キャパシタ下部電極上方に、前記チャンネル層と同一材料層で形成され、表面に凹部は有さない高抵抗率半導体のキャパシタ上部電極下部層と、前記チャンネル層の凹部両側領域上に形成された低抵抗率の1対のソース/ドレイン電極と、前記キャパシタ上部電極下部層上に、前記ソース/ドレイン電極と同一材料層で形成されたキャパシタ上部電極上部層と、前記ソース/ドレイン電極、前記キャパシタ上部電極上部層を覆って、前記第1絶縁層上に形成された第2絶縁層を貫通し、前記1対のソース/ドレイン電極の一方を露出する第1接続孔、および、前記キャパシタ上部電極上部層の接続領域を露出する第2接続孔と、前記第2絶縁層上に形成され、前記第1接続孔および第2接続孔で、前記一方のソース/ドレイン電極および前記キャパシタ上部電極上部層と接続された画素電極と、を有する薄膜トランジスタ基板。

10

【0067】

【発明の効果】

画素電極の有効領域を広く確保しつつ、補助蓄積容量の電極間短絡を防止することができる。新規な構成の薄膜トランジスタ基板及び液晶表示装置が提供される。

【図面の簡単な説明】

【図1】 本発明の実施例による薄膜トランジスタ基板を説明する平面図及び断面図である。

【図2】 薄膜トランジスタ基板の透過回路図及び図1に示す実施例の変形例を示す断面図である。

20

【図3】 液晶表示装置の断面図である。

【図4】 本発明の他の実施例による薄膜トランジスタ基板の構成を示す平面図である。

【図5】 従来技術による薄膜トランジスタ基板の構成を説明するための平面図及び断面図である。

【符号の説明】

- 1 基板
- 2 電極層
- 2 - 1 Al層
- 2 - 2 Ti層
- 3 絶縁層 (Si₃N₄層)
- 4 電極層
- 4 a、4 c Ti層
- 4 b Al層
- 5 画素電極層 (ITO層)
- 6 突起部
- 8 接続孔

30

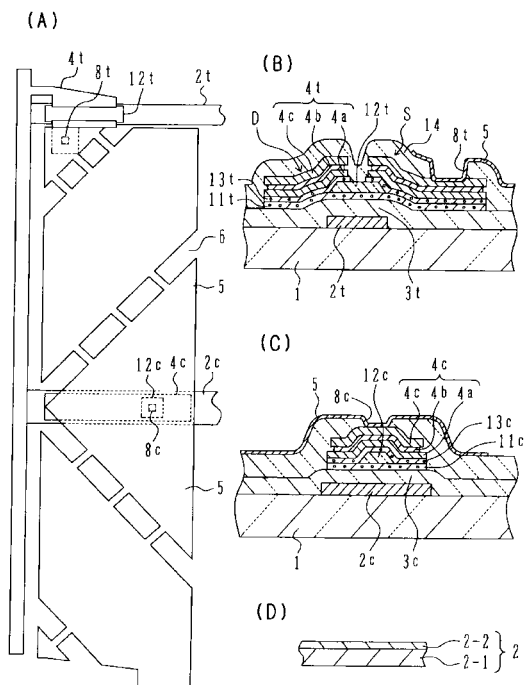
- 1 1 高抵抗率アモルファスシリコン層
- 1 2 エッチングストップ層 (Si₃N₄層)
- 1 3 n⁺型 (低抵抗率) アモルファスシリコン層
- 1 4 上部絶縁保護層 (Si₃N₄層)
- t 薄膜トランジスタ領域を示す添字
- c 補助蓄積容量領域を示す添字
- D B ドレインバスライン
- G B ゲートバスライン
- C S B 補助蓄積容量バスライン
- T R 薄膜トランジスタ
- P X 画素電極
- S ソース電極

40

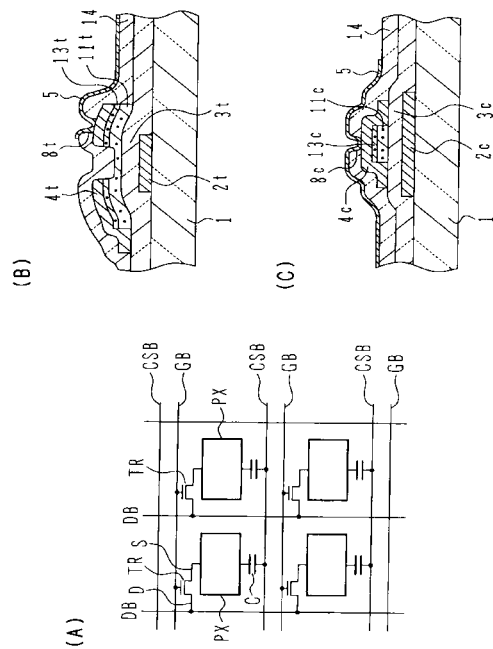
50

D ドレイン電極

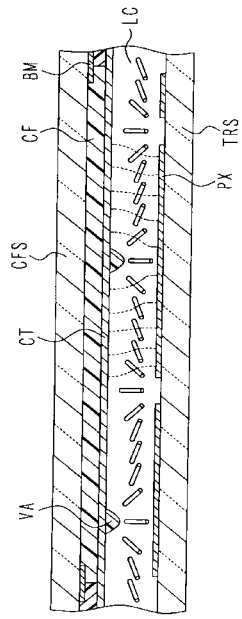
【図1】



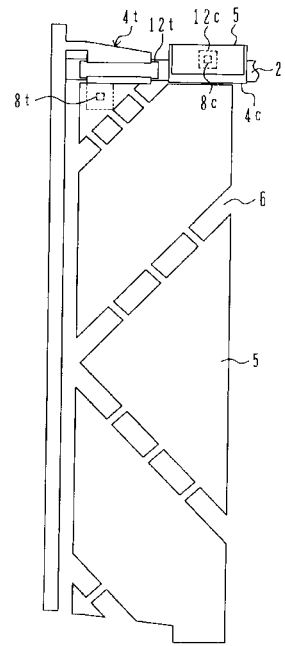
【図2】



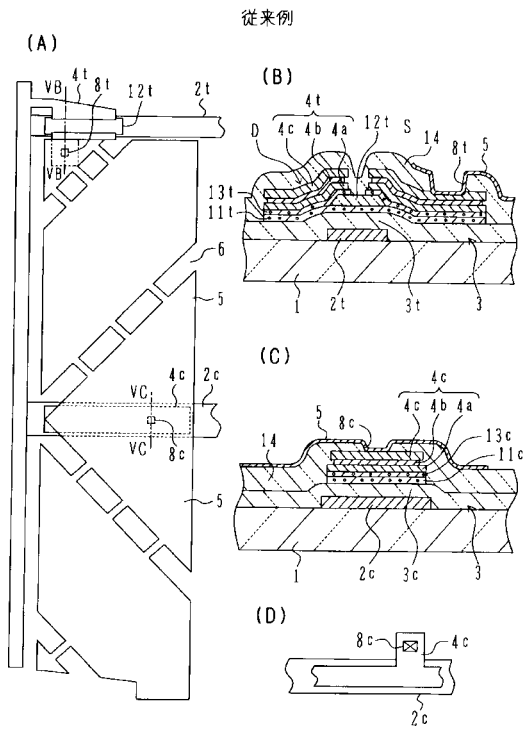
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (56)参考文献 特開平08 - 160457 (JP, A)
特開平06 - 337436 (JP, A)
特開平06 - 208137 (JP, A)
特開平06 - 347825 (JP, A)
特開昭61 - 065477 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

G02F 1/1362
G02F 1/1333
G02F 1/1343
H01L 29/78

专利名称(译)	薄膜晶体管基板和液晶显示装置		
公开(公告)号	JP3810681B2	公开(公告)日	2006-08-16
申请号	JP2001387961	申请日	2001-12-20
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	藤川 徹也 土井 誠児		
发明人	藤川 徹也 土井 誠児		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1333 H01L29/786 H01L21/336 G02F1/1362 G09F9/30 H01L21/28 H01L21/768 H01L27/12		
CPC分类号	H01L29/66765 G02F1/136213 G02F1/136227 H01L27/12 H01L29/78621 H01L29/78669		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1333.505 H01L29/78.612.Z G09F9/30.338 G09F9/30.339.Z H01L21/28.301.L H01L21/28.301.R H01L21/90.A		
F-TERM分类号	2H090/HA16 2H090/JA02 2H090/MA15 2H092/GA13 2H092/GA17 2H092/JA24 2H092/JA28 2H092/JA40 2H092/JA44 2H092/JA46 2H092/JB24 2H092/JB33 2H092/JB56 2H092/JB63 2H092/JB66 2H092/JB67 2H092/KA05 2H092/KA22 2H092/NA07 2H092/PA08 2H092/QA09 2H190/JA02 2H190/LA25 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB44 2H192/CB71 2H192/CC04 2H192/CC32 2H192/CC72 2H192/DA23 2H192/DA42 2H192/EA43 2H192/EA72 2H192/GA42 2H192/GD14 2H192/JA13 4M104/AA09 4M104/BB02 4M104/CC05 4M104/DD37 4M104/GG20 5C094/AA07 5C094/AA15 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA14 5C094/EA04 5C094/EA07 5C094/ED03 5F033/HH08 5F033/HH18 5F033/HH38 5F033/JJ01 5F033/JJ38 5F033/KK05 5F033/KK08 5F033/KK18 5F033/MM08 5F033/PP15 5F033/QQ09 5F033/QQ37 5F033/RR06 5F033/VV06 5F033/VV15 5F110/AA26 5F110/BB01 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD05 5F110/EE03 5F110/EE04 5F110/EE14 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF29 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG25 5F110/GG44 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HK33 5F110/HK34 5F110/HL07 5F110/NN04 5F110/NN14 5F110/NN16 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN72 5F110/NN73 5F110/PP03		
其他公开文献	JP2003186047A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供薄膜晶体管基板和液晶显示装置，能够确保宽的有效像素区域，并防止存储容量在电极之间短路。

ŽSOLUTION：薄膜晶体管基板具有第一绝缘层，其形成在基板上，覆盖栅电极和电容器下电极，形成在基板上的第一绝缘层，高电阻率半导体沟道层和电容器上电极下层，形成于沟道层中间部分的沟道保护层和形成于电容器上电极下层的连接区域上的电容器保护层，形成于沟道层上的一对源/漏电极和电容器上电极上层形成在电容器上电极下层上，覆盖电容器保护层，形成在覆盖它们的第一绝缘层上的第二绝缘层，暴露源电极的第一连接孔和暴露电容器上电极的连接区域的第二连接孔上层，穿透第二绝缘层，以及形成在其上的像素电极。Ž

