

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3675797号
(P3675797)

(45) 発行日 平成17年7月27日(2005.7.27)

(24) 登録日 平成17年5月13日(2005.5.13)

(51) Int.Cl.⁷

F I

GO2F 1/133
GO2F 1/1345
GO9F 9/00
GO9F 9/35
GO9G 3/20

GO2F 1/133 545
 GO2F 1/1345
 GO9F 9/00 347
 GO9F 9/35
 GO9G 3/20 611F

請求項の数 6 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2002-541442 (P2002-541442)
 (86) (22) 出願日 平成13年11月6日(2001.11.6)
 (86) 国際出願番号 PCT/JP2001/009703
 (87) 国際公開番号 W02002/039179
 (87) 国際公開日 平成14年5月16日(2002.5.16)
 審査請求日 平成16年6月9日(2004.6.9)
 (31) 優先権主張番号 特願2000-340057 (P2000-340057)
 (32) 優先日 平成12年11月8日(2000.11.8)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2000-341376 (P2000-341376)
 (32) 優先日 平成12年11月9日(2000.11.9)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000001960
 シチズン時計株式会社
 東京都西東京市田無町六丁目1番12号
 (74) 代理人 100077517
 弁理士 石田 敬
 (74) 代理人 100092624
 弁理士 鶴田 準一
 (74) 代理人 100108383
 弁理士 下道 晶久
 (74) 代理人 100082898
 弁理士 西山 雅也
 (74) 代理人 100081330
 弁理士 樋口 外治

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項3】

複数のデータ線を有する第1の透明基板と前記データ線と交差する複数の走査線を有する第2の透明基板の間に液晶を挟持してなる液晶パネルと、前記複数のデータ線に接続するデータ線駆動集積回路と、前記複数の走査線を駆動する走査線駆動集積回路とを備える液晶表示装置において、

前記データ線駆動集積回路を前記第1の透明電極基板上に実装し、前記走査線駆動集積回路を前記第2の透明基板上に実装するとともに、前記走査線駆動集積回路の電源電位を液晶駆動の交流化信号に応じて振幅を一定にして揺動させるための揺動電源集積回路を、前記第2の透明基板上に直接実装して配置し、

前記揺動電源集積回路は、単一のチップで構成して、揺動電源の振幅を規定する昇圧回路の出力と、液晶駆動の交流化信号とを入力として取り込むことを特徴とする液晶表示装置。

【請求項4】

前記揺動電源集積回路は、第1出力ブロック回路、第2出力ブロック回路、及び第3出力ブロック回路からなる3つの出力ブロック回路と、1つの放電ブロック回路で構成され、前記第1出力ブロック回路は外部より入力される基準信号の振幅を所定の振幅に変換するレベルシフト回路と、前記レベルシフト回路によりレベル変換された基準信号のタイミングを制御する第1論理回路と、前記第1論理回路の出力を出力する第1出力ドライバ回路で構成され、

前記第2出力ブロック回路は前記基準信号のタイミングを制御する第2論理回路と、前記第2論理回路の値を出力する第2出力ドライバ回路で構成され、
前記第3出力ブロック回路は前記基準信号をクランプするクランプ回路と、前記クランプ回路の値を出力する第3出力ドライバ回路で構成され、
前記放電ブロック回路はシステム電源がオフされるのを検出する検出回路と、前記検出回路で検出された信号により前記第3出力ドライバ回路を短絡させる放電回路で構成されることを特徴する請求項3に記載の液晶表示装置。

【請求項5】

前記揺動電源集積回路は、第1出力ブロック回路、第2出力ブロック回路、第3出力ブロック回路からなる3つの出力ブロック回路と、1つの放電ブロック回路で構成され、
前記第1出力ブロック回路は外部より入力される基準信号の振幅を所定の振幅に変換するレベルシフト回路と、前記レベルシフト回路によりレベル変換された基準信号のタイミングを制御する第1論理回路と、前記第1論理回路から出力された信号がゲートに接続されたインバータで構成される第1出力ドライバ回路で構成され、
前記第2出力ブロック回路は前記基準信号のタイミングを制御する第2論理回路と、前記第2論理回路からの出力信号がゲートに接続された第1のPMOS-FETのオープンドレイン回路からなる第2出力ドライバ回路で構成され、
前記第3出力ブロック回路は前記基準信号をクランプするクランプ回路と、前記クランプ回路からの出力信号がゲートに接続された第2のPMOS-FETのオープンドレイン回路からなる第3出力ドライバ回路で構成され、
前記放電ブロック回路はシステム電源がオフされるのを検出する検出回路と、前記検出回路で検出された信号により前記第3出力ドライバ回路を短絡させる放電回路で構成されることを特徴とする請求項3に記載の液晶表示装置。

【請求項6】

前記クランプ回路は、コンデンサの一方が入力である基準信号に接続され、もう一方が第1のダイオードのカソードと、第1の抵抗の一方と、前記第2のPMOS-FETのゲートに接続されており、前記第1のダイオードのアノードと前記第1の抵抗のもう一方は、前記第2のPMOS-FETのソースとバルクに接続された構成を備えることを特徴とする請求項5に記載の液晶表示装置。

【請求項7】

前記放電ブロック回路は、第3のPMOS-FETのソースとバルクが前記第1のPMOS-FETのソースとバルクに接続され、ゲートは前記第2のPMOS-FETのソースとバルクに接続され、ドレインは第4のPMOS-FETのゲートと、第2の抵抗に接続されて、前記第4のPMOS-FETのソースとバルクは前記第2のPMOS-FETのソースとバルクに接続され、ドレインは第3の抵抗に接続され、前記第3の抵抗の一方は前記第2の抵抗と前記第2のPMOS-FETのドレインに接続された回路構成を備えることを特徴とする請求項5に記載の液晶表示装置。

【請求項8】

前記第1出力ブロック回路は、複数のPMOS-FETと複数のNMOS-FETで構成され、前記PMOS-FET、前記NMOS-FETの各々のゲート入力には、外部からの出力設定端子によって、前記複数のPMOS-FETの一部と前記複数のNMOS-FETの一部を、前記基準信号にかかわらず、常時オフできる機能を持つ出力選択回路を備えることを特徴とする請求項4又は5に記載の液晶表示装置。

【発明の詳細な説明】

技術分野

本発明は、マトリクス配置した複数の走査線と複数のデータ線を有する液晶表示装置に関し、特に、走査線駆動回路の電源を揺動して駆動する揺動電源法を用いた電源生成回路を集積回路化し、走査線駆動回路の近傍に配置した液晶表示装置、及び揺動電源生成回路の回路構成に関する。

背景技術

近年、情報化社会の進展に伴って、テレビ、パソコンモニタ、ナビゲーション表示装置、プロジェクター表示装置、ヘッドアップ表示装置、ゲーム用表示装置、電話用表示装置など幅広い分野で、マトリクス型表示装置が利用されている。

マトリクス型表示装置として、例えばEL（エレクトロルミネッセンス）表示装置、液晶表示装置で代表されるパッシブアドレス型液晶表示装置、又はアクティブアドレス型（TFT, MIM, TFD）液晶表示装置が、種々の分野で利用されている。特に液晶表示装置は、小型、薄型、軽量、低消費電力等の特徴を生かして、小型及び中型表示装置の分野では、プラズマ表示装置など他の表示装置の追従を許さないほど広く普及している。

このように、液晶やELを用いた表示装置は小型、薄型、軽量、低消費電力等の利点を有するが、現状では以下に説明する如くこのような種々の利点を十分に生かし切っていると

10

図17は従来の液晶表示装置の一例要部ブロック構成図である。図示のように、液晶表示装置10はデータ線11を駆動するデータ線駆動回路17と、当該データ線と直交する方向に設けられている走査線13を駆動する走査線駆動回路15とで構成される。

図示のように、電源電圧3.0Vは昇圧回路171と電源回路170と走査線駆動回路15に供給され、さらに基準電圧生成回路173及びデータ線駆動回路17に供給される。そして昇圧回路171から電源回路170に電源VOが供給され、さらに電源回路170から走査線駆動回路15に走査線駆動用電源VDDとVSSが供給され、基準電圧生成回路173から走査線駆動回路15に駆動基準電圧VMが供給される。さらにLCDコントローラ（図示せず）から制御信号が入力される。これらの電源と制御信号により走査線を

20

駆動する駆動信号が走査線に印加される。データ線駆動回路17には、電源電圧（データ線用直流電圧とも称する）3.0Vが供給されると共に、LCDコントローラ（図示せず）から制御信号とデータ信号が入力される。これらの電源とタイミング信号によりデータ線を駆動する。

ところで、このような構成の液晶表示装置は、携帯性が重要であることから、市場からはより一層の小型化が求められると同時に、良好な視認性を得るためにより大きな表示画面が求められている。そのため、限られたスペース内での表示領域の拡大が強く求められており、その一方で表示領域の周辺は小型化のためにますます狭くなってきている。

図示の従来例では、液晶表示装置10の周辺に配置される走査線駆動回路15及びデータ線駆動回路17は集積回路で構成され、ICチップ状態で透明基板に実装するチップオン

30

ガラス構造（以下、COGと称する）を採用している。従って、本例の構造では集積回路をより小さく作ることにより周辺領域を狭くして表示装置の外形を小型化することができる。

ICチップを装着した周辺領域をより狭くするための1つの手段として、走査線駆動回路15とデータ線駆動回路17をより小型化する必要があるが、小型化する方法の一例として、集積回路の最大電圧を低くすることによって、素子のサイズをより小さくするという方法（小型化、集密化）がある。

図18（A）及び図18（B）は従来構成の駆動波形のタイミングチャートである。図18（A）は走査線駆動信号のタイミングチャートであり、図18（B）はデータ線駆動信号のタイミングチャートである。従来用いられているIAPT法（6レベル駆動法）によ

40

れば、図示のように、液晶を交流動作させる時に電位を変動させており、走査線駆動回路15はV1とV2、及びV3とV4の組み合わせで出力し、そのタイミングでデータ線駆動回路17もV5とV4、及びV1とV6の組み合わせで出力する。従って、走査線駆動回路15とデータ線駆動回路17は、共に、最も高い電位レベルV1と最も低い電位レベルV4の間（即ち、V1-V4）の電位差以上の耐圧が必要となり、高耐圧の集積回路を必要としていた。

即ち、この方法ではデータ線駆動回路17も高耐圧の素子で構成しなければならず、小型化、集密化はまだ不十分であった。また、画素数の増加に伴うデータ信号数の増大によるデータ線駆動回路17の高速動作化も実現できない問題を有していた。加えて、消費電力についても高電圧を高速で動作させなくてはならないため消費電力が増大する問題があっ

50

た。

また、近年の如く、液晶表示装置の画素ピッチが微細化して電極パターン本数が多くなってくると、マトリクス桁数 n の増加と共に駆動電圧を増大させなければ液晶の性能を十分に引き出すことはできない。コントラストを高めたり、透過輝度を上げたり、表示階調を適切にするために高い交流電圧、あるいは交流振幅が必要であり、このために液晶を駆動するための電源回路を含めた低耐圧化と小型化が必要になる。

例えば、コントラストを高め透過輝度を上げるために液晶駆動には高い交流電圧、あるいは交流振幅が必要となり、液晶を駆動するための出力回路として、プッシュプル駆動の手法が用いられる。このプッシュプル駆動法を用いた駆動の例は、ソサエティー・オブ・ディスプレイ会誌V o l . 2 6 / 1 , ' 8 5 , 9 - 1 5 頁に開示されている。このプッシュプル駆動では、交流振幅が互いに逆極性の2つの電圧発生回路を用意し、両電圧の差で液晶素子を駆動することにより、最大で電源電圧の2倍の駆動電圧の出力が得られる。しかし、プッシュプル回路の駆動電圧が高い場合に、プッシュプル構成されたトランジスタの切り替わりのタイミングがずれると、大量の貫通電流が流れてしまい、その結果液晶駆動回路の消費電力が増大するという問題があった。

上述した種々の問題を解決する方法の一つとして、本出願人が先に出願した特開昭60-249191号公報(米国特許第4843252号)、あるいは特開平2-282788号公報(米国特許第5101116号)などで開示している揺動電源法を用いた駆動方法がある。即ち、上記の公報に記載のように、パルス発生信号からクランプ回路を用いて基準電圧レベルの異なる第2のパルス信号を作成し、両者を合成して電源電圧以上の電位差を持つ駆動出力を、同じ時間軸時点では電源電圧以上の電位差を持つことがない「揺動電源法」と称する技術により、高耐圧のICを必要としない回路を提案した。

図19は従来の技術における揺動電源法を説明する駆動波形図である。本図は揺動電源法における電源電位の状態を示している。本図において、走査線駆動回路15の正側電源に入力する電源(高電位電源)VDDは、VCとVDをパルス発生信号に同期して切り替えて入力し、走査線駆動回路15の負側電源に入力する電源(低電位電源)VSSは、VAとVBをパルス発生信号に同期して切り替えて入力する。これにより走査線駆動回路15の耐圧をあげることなく、データ線駆動回路17の耐圧を大幅に下げることが可能となり、データ信号の増大によるデータ線駆動回路17の高速動作、高密度化、低消費電力化が可能となった。

しかしながら、このような従来の揺動電源法を用いて、走査線駆動回路15を駆動する場合に、本図に示すような高電位電源VDDと低電位電源VSSを生成する必要がある。このような高電位電源VDDと低電位電源VSS(なお、これらのVDDとVSSをまとめて「揺動電源」とも称する)は、図17の電源回路170から生成される。この電源回路170には、上記のように昇圧回路171から出力される直流高電圧V0と、電源電圧3.0Vとグランド電位(GND)が電源として供給されている。電源回路170は、これらの電圧に基づいて所望の揺動電源VDD及びVSSを生成する。

図20は図17の電源回路170の一例回路図であり、揺動電源を生成する基本的な回路である。なお、この回路のさらに検討した回路が後述の図22に示されている。

図20の示すように、電源回路170は、第1回路200と第2回路201で構成されている。まず第1回路200はパルス増幅回路であり、入力されるパルス信号を振幅V0の高電圧パルスに変換する。第1回路200では、直流高電圧V0とGNDを電源として、PMOS-電解効果トランジスタ(以下、PMOS-FET)205とNMOS-電界効果トランジスタ(以下、NMOS-FET)206をプッシュプル回路構成で接続し、PMOS-FET205のゲートには、コンデンサ202と抵抗203とダイオード204で構成されるクランプ回路212を介してパルス信号を入力する。このクランプ回路212はパルス信号のハイレベルを高電圧V0の電位にクランプするように作用する。一方、NMOS-FET206のゲートにはパルス信号が直接入力される。これにより第1回路200からパルス信号と反転したタイミングでハイレベルでV0に増幅された高電圧パルスが出力され、第2回路201に入力される。

10

20

30

40

50

次に第2回路201は入力される高電圧パルスから、揺動電源VDD及びVSSを生成する回路である。第2回路201において、コンデンサ208の一方の端子とコンデンサ209の一方の端子を、共に第1回路200の出力に接続する。コンデンサ208の他方の端子はダイオード207のカソードに接続され、アノードは電源電圧3.0Vに接続され、カソード端子はさらにコンデンサ211の一方の端子に接続されて高電位の揺動電源VDDを出力する。また、コンデンサ209の他方の端子はダイオード210のアノードに接続され、さらにカソード側がGNDに接続される。ダイオード210のアノード端子はさらにコンデンサ211の他方の端子に接続されて低電位の揺動電源VSSを出力する。第2回路201では、第1回路200から入力された高電圧パルスは、コンデンサ208とコンデンサ209で直流成分がカットされ、それぞれのダイオード207及びダイオード210でクランプされて出力される。揺動電源VSSは高電位側でGNDレベルにクランプするようにダイオード210が接続され、揺動電源VDDは低電位側で電源電圧3.0Vにクランプするようにダイオード207が接続されている。

10

このように第2回路201では、揺動電源VDD及びVSSは、その電位差を一定に保持しながらパルス信号に同期して高電位の振幅で電位が変動して高電位と低電位の揺動電源を生成する。以上のように電源回路170で生成した揺動電源VDDとVSSは、液晶表示装置10に実装した走査線駆動回路15に供給される。このように従来の揺動電源法では、走査線駆動回路15を構成する全ての素子を高耐圧の素子で構成しなければならない。

しかし、走査線駆動回路15について、実際に高耐圧の素子で構成する必要がある部分は、液晶素子を駆動する出力ドライバ部だけである。従って、構成する全ての素子を高耐圧の素子で構成する走査線駆動回路15では、小型化、低消費電力化に対して十分とは言えなかった。

20

そこで、本出願人は、さらに揺動電源法を検討した結果、走査線駆動回路15を構成する回路のほとんどが高耐圧の素子で構成する必要がないことに着目し、以下に説明のように、出力ドライバ部以外を低耐圧の素子で構成することで走査線駆動回路15の小型化を目指した。

図21は図20の従来の回路構成に対して、低耐圧の素子を駆動するための電源を加えた揺動電源法における電源電位の状態の説明図である。高電位(VDD)及び低電位(VSS)は既に説明した動作を行う。そして、新たに生成させる低電位(VCC)も、低電位(VSS)に同期したVEからVFに切り替えた電位を走査線駆動回路15に入力する。このように走査線駆動回路15内の低耐圧の素子で構成した回路を破壊することなく駆動を行うことが可能となる。

30

図22は図21で示した揺動電源法における電源電位を発生するための一例回路構成を示している。本図と前述の図20とはほぼ同じ構成であるが、本図には、VDL、VSL、基準信号等が入力され、VCCが出力されている。

図22のVDLはシステムの電源であり、VSLはシステムのグランド(GND)であり、V0は高電圧電源であり、VD2(即ち、直流電圧3.0V)はデータ線駆動回路17への液晶駆動電圧を示している。基準信号はVDLとVSL間のレベルをもつ信号で、図21の周期A、周期Bを決定する信号である。

40

前述の図20の回路動作説明と重複する部分もあるが、図22の構成と動作を以下に説明する。図中、223及び230はPMOS-FETを、224はNMOS-FETを示している。221、228及び229はダイオードであり、222は抵抗であり、220、225、226及び227はコンデンサである。

図示のように、基準信号はコンデンサ220に入力され、コンデンサ220とダイオード221と抵抗222で構成されたクランプ回路212により、V0にクランプされた信号がPMOS-FET223のゲートに入力される。また基準信号はその他にNMOS-FET224に入力され、PMOS-FET230のゲートに直接入力される。

PMOS-FET223と、NMOS-FET224が基準信号ハイレベルとローレベルに基づいてスイッチングされることにより、プッシュプル回路の出力側に接続されたコン

50

デンサ 225、コンデンサ 226、コンデンサ 227 には高電位 V_0 及び低電位 V_{SL} でスイッチングした電圧が印加される。

次にコンデンサ 225 の他方の端子には、ダイオード 228 が接続され、 V_{D2} にクランプされた V_{DD} が出力される。コンデンサ 227 の他方の端子にはダイオード 229 が接続され、 V_{SL} にクランプされた V_{SS} が出力される。コンデンサ 226 の一方の端子には、PMOS-FT 230 のドレイン側が接続され、基準信号に同期して V_{DL} にクランプされた V_{CC} が出力される。このような回路構成により、図 21 で示した揺動電源法による電源電位を生成することが出来る。

しかしながら、図 20 及び図 22 に示すような従来の揺動電源法による電源生成回路には、さらに以下に説明する問題があった。即ち、従来の電源生成回路は、全ての部品が、単体のトランジスタやダイオード、抵抗、コンデンサなどの個別部品（ディスクリート部品）で構成されており、そのため、揺動電源法の利点を生かしつつ、より小型化、低消費電力、高い汎用性を得るためには不十分な構成であった。

即ち、これらの個別部品を実装した揺動電源を生成するために、別途に電源生成回路の回路基板を必要とするので、製品設計時には、この回路基板が小型化の妨げとなっていた。しかも、液晶パネルの駆動電圧は $20V \sim 40V$ であるために高耐圧の部品が必要となり必然的に大きな部品になってしまい、回路面積がさらに大きくなる問題があった。

さらに、電源生成回路のための回路基板は、液晶表示パネル（図 17 の液晶表示装置 10 に対応）と別個に配置しなければならなかった。このため、液晶表示パネルを提供する製造者と、最終製品の液晶表示装置を設計する設計者が異なる場合には、揺動電源の規格が整合せず誤動作するという問題が度々発生した。そのため、液晶表示パネルを提供する製造者側にて電源生成回路の設計図を提供することでこの問題を解消してきた。しかし、それでは製造者側の負担が増えるだけでなく最終製品を設計する側でも設計の自由度がなくなり、低コスト化、小型化を妨げる要因になっていた。従って、従来の揺動電源法による電源生成回路では、小型化も含めて液晶表示パネルの汎用性に大きな課題があった。

発明の開示

そこで、本発明はこれらの諸問題を解消した液晶表示装置を提供するものであり、基本的な着目点は、種々の技術的な問題をクリアして揺動電源を生成する電源生成回路を集積回路化し、液晶表示装置に搭載することにある。

本発明によれば、複数のデータ線を有する第 1 の透明基板とデータ線と交差する複数の走査線を有する第 2 の透明基板の間に液晶を挟持してなる液晶パネルと、複数のデータ線に接続するデータ線駆動集積回路と、複数の走査線を駆動する走査線駆動集積回路とを備える液晶表示装置において、

データ線駆動集積回路を第 1 の透明電極基板上に実装し、走査線駆動集積回路を第 2 の透明基板上に実装するとともに、走査線駆動集積回路の電源電位を液晶駆動の交流化信号に応じて振幅を一定にして揺動させるための揺動電源集積回路を、第 1 の透明基板または第 2 の透明基板上に直接実装して配置したことを特徴とする。

好ましい実施形態として、揺動電源集積回路は単一のチップで構成され、第 2 の透明基板上に直接実装して配置される。

好ましい実施形態として、揺動電源集積回路は、揺動電源の振幅を規定する昇圧回路の出力と、液晶駆動の交流化信号とを入力として取り込む。

好ましい実施形態として、揺動電源集積回路は、第 1 出力ブロック回路、第 2 出力ブロック回路、及び第 3 出力ブロック回路からなる 3 つの出力ブロック回路と、1 つの放電ブロック回路で構成され、

第 1 出力ブロック回路は外部より入力される基準信号の振幅を所定の振幅に変換するレベルシフト回路と、レベルシフト回路によりレベル変換された基準信号のタイミングを制御する第 1 論理回路と、第 1 論理回路の出力を出力する第 1 出力ドライバ回路で構成され、第 2 出力ブロック回路は基準信号のタイミングを制御する第 2 論理回路と、第 2 論理回路の値を出力する第 2 出力ドライバ回路で構成され、

第 3 出力ブロック回路は基準信号をクランプするクランプ回路と、クランプ回路の値を出

10

20

30

40

50

力する第3出力ドライバ回路で構成され、

放電ブロック回路はシステム電源がオフされるのを検出する検出回路と、検出回路で検出された信号により第3出力ドライバ回路を短絡させる放電回路で構成される。

好ましい実施形態として、揺動電源集積回路は、第1出力ブロック回路、第2出力ブロック回路、第3出力ブロック回路からなる3つの出力ブロック回路と、1つの放電ブロック回路で構成され、

第1出力ブロック回路は外部より入力される基準信号の振幅を所定の振幅に変換するレベルシフト回路と、レベルシフト回路によりレベル変換された基準信号のタイミングを制御する第1論理回路と、第1論理回路から出力された信号がゲートに接続されたインバータで構成される第1出力ドライバ回路で構成され、

10

第2出力ブロック回路は基準信号のタイミングを制御する第2論理回路と、第2論理回路からの出力信号がゲートに接続された第1のPMOS-FETのオープンドレイン回路からなる第2出力ドライバ回路で構成され、

第3出力ブロック回路は基準信号をクランプするクランプ回路と、クランプ回路からの出力信号がゲートに接続された第2のPMOS-FETのオープンドレイン回路からなる第3出力ドライバ回路で構成され、

放電ブロック回路はシステム電源がオフされるのを検出する検出回路と、検出回路で検出された信号により第3出力ドライバ回路を短絡させる放電回路で構成される。

好ましい実施形態として、クランプ回路は、コンデンサの一方が入力である基準信号に接続され、もう一方が第1のダイオードのカソードと、第1の抵抗の一方と、第2のPMOS-FETのゲートに接続されており、第1のダイオードのアノードと第1の抵抗のもう一方は、第2のPMOS-FETのソースとバルクに接続された構成を備える。

20

好ましい実施形態として、放電ブロック回路は、第3のPMOS-FETのソースとバルクが第1のPMOS-FETのソースとバルクに接続され、ゲートは第2のPMOS-FETのソースとバルクに接続され、ドレインは第4のPMOS-FETのゲートと、第2の抵抗に接続されて、第4のPMOS-FETのソースとバルクは第2のPMOS-FETのソースとバルクに接続され、ドレインは第3の抵抗に接続され、第3の抵抗の一方は第2の抵抗と第2のPMOS-FETのドレインに接続された回路構成を備える。

好ましい実施形態として、第1出力ブロック回路は、複数のPMOS-FETと複数のNMOS-FETで構成され、PMOS-FET、NMOS-FETの各々のゲート入力には、外部からの出力設定端子によって、複数のPMOS-FETの一部と前記複数のNMOS-FETの一部を、基準信号にかかわらず、常時オフできる機能を持つ出力選択回路を備える。

30

このような構成により、本発明は、以下に列挙するように、種々の効果を奏する。

- ・設計時点で、揺動電源集積回路を組み込んだ液晶表示装置を設計できるため製品設計に際しての仕様上の自由度を大幅に確保することができる。従来の揺動電源生成回路は個別部品により別途の回路基板に組み込んだ後、液晶表示装置に接続されていたため、全体的な製品設計上の自由度が阻害されていた。

- ・後述するように、FPC基板上で走査線駆動回路とデータ線駆動回路と揺動電源集積回路を接続できるので、配線を大幅に簡略化することができる。

40

- ・揺動電源生成回路を集積回路化して液晶表示パネルに搭載したので、液晶表示装置全体のノイズを低減させることができる。

- ・揺動電源生成回路を集積回路化して液晶表示パネルに搭載したので、部品点数を大幅に削減することができ、その結果、製造上の安定性が著しく向上し、かつ組立工数の低減とコスト低減を達成することができる。

- ・揺動電源生成回路を集積回路化したことで、液晶表示装置の低消費電力化が達成でき、製品全体の小形化と軽量化を達成することができる。

- ・さらに具体的には、例えば、後述するように、ドライバの出力インピーダンスを設定端子により容易に変更できるため、液晶表示パネルのサイズに応じたドライバの出力インピーダンスを設定することができ、また、走査線駆動回路における選択期間中に電源が遮断

50

しても、放電回路が起動して直流成分が継続して印加されるのを防止することができる。
・なお、具体的構成として、揺動電源法を採用して1つの集積回路化された揺動電源集積回路は、後述するように走査線駆動回路と同一の基板上で当該走査線駆動回路近傍に組み込まれる（COG実装される）。

【図面の簡単な説明】

図1は本発明の一実施形態による液晶表示装置の基本構成図である。

図2は図1の基本構成を駆動する周辺回路の要部ブロック図である。

図3は図1の本発明による揺動電源集積回路の基本回路図である。

図4は図1の液晶表示装置の駆動波形を示すタイミングチャートである。

図5は図1の揺動電源集積回路の接続構造を説明する要部断面図である。

10

図6は本発明による揺動電源集積回路の一実施形態のブロック構成図である。

図7は図6の揺動電源集積回路に供給される電源電圧の関係の説明図である。

図8は図6構成の第1出力ブロック回路を構成するレベルシフト回路の一例回路構成図である。

図9は図6構成の第1出力ブロック回路を構成する第1出力ドライバ回路の一例回路構成図である。

図10は図6構成の第2出力ブロック回路を構成する第2出力ドライバ回路の一例回路構成図である。

図11は図6構成の第3出力ブロック回路を構成するクランプ回路の一例回路構成図である。

20

図12は図6構成の第3出力ブロック回路を構成する第3出力ドライバ回路の一例回路構成図である。

図13は図6構成の揺動電源集積回路に外付けコンデンサを接続したブロック図である。

図14は図6構成の揺動電源集積回路が生成する揺動電源の波形図である。

図15は図6構成の放電回路の一例回路構成図である。

図16は図6構成の第1出力ブロック回路を構成する第1論理回路と第1出力ドライバ回路の一例構成図である。

図17は従来の技術における液晶表示装置の構成図である。

図18(A)、図18(B)は図17に示す従来の技術における液晶表示装置の基本駆動波形を示すタイミングチャートである。

30

図19は図17に示す従来の技術における揺動電源法を用いた液晶表示装置の駆動波形を示す基本波形図である。

図20は図17に使用する従来の揺動電源回路の基本回路図である。

図21は低耐圧の素子を駆動するため電源を加えた従来の揺動電源法における電源電位の状態図である。

図22は従来の揺動電源法の電源電位を発生するための一例回路構成図である。

発明を実施するための最良の形態

以下、図面を使用して本発明の液晶表示装置を利用した最適な実施の形態を説明する。

図1は本発明の一実施形態による液晶表示装置の基本構成図である。液晶表示パネル10は、データ線11がITOを材料とする透明電極で形成された上側ガラス基板16と、走査線13がITOを材料とする透明電極で形成された下側ガラス基板14を張り合わせてシール材で接着して構成される。

40

下側ガラス基板14と上側ガラス基板16の間には液晶が挟持され、液晶分子を一定の方向に揃えるために両側ガラス基板には配向膜（図示せず）が塗布されている。データ線駆動回路17はデータ線11を駆動するために下側ガラス基板14上にCOG（チップオンガラス）実装されている。走査線駆動回路15も同様に上側ガラス基板14上にCOG実装され、走査線13と電気的に接続される。

本発明の実施形態では、下側ガラス基板14上に揺動電源を発生する電源生成回路を集積回路(IC)化した揺動電源集積回路18もCOG実装されている。これにより揺動電源集積回路18の入出力端子は、下側ガラス基板14上に形成したITOと電気的に接続さ

50

れている。

このような本発明の揺動電源集積回路 18 を実現するために重要な COG 実装について、図 5 を用いて先に説明する。

図 5 は図 1 の揺動電源集積回路の接続構造を説明する要部断面図である。即ち、図 1 の揺動電源集積回路 18 を COG 実装している箇所での要部断面図である。図 5 において揺動電源集積回路 18 の各電極にはバンプ電極 51 が形成されている。本実施形態ではバンプ電極 51 は Au で形成される。このバンプ電極は導電性であれば他の材料でも適用できる。バンプ電極 51 は、下側ガラス基板 14 と異方性導電膜（以下 ACF）を介して電氣的に接続されている。ACF は導電性粒体 52 と熱硬化型非導電性接着剤 53 で構成されており、揺動電源集積回路 18 を矢印方向に加熱押圧すると、バンプ電極 51 が導電性粒体 52 を押しつぶし、その結果、下側ガラス基板 14 上に形成された ITO 配線 55 と電氣的に接続され、そのまま接着剤 53 が硬化して接続を維持するようになっている。なお、導電性粒体 52 の代わりに導電性粒体に薄い絶縁膜を施した粒体（図示せず）を用いてもよい。

10

このような下側ガラス基板 14 上の揺動電源集積回路 18 の COG 実装において、さらに図 1 における走査線駆動回路 15、データ線駆動回路 17 と揺動電源集積回路 18 の入出力端子と電源端子は、各ガラス基板上に形成する ITO 配線を介してフレキシブルプリント基板（以下、FPC）19 とガラス基板上で電氣的に接続される。

通常、FPC 19 は 150 μm 厚のポリイミドをベース材にした基板の両面に銅箔で配線パターンを形成し、両面の配線パターンを適宜、スルーホールで接続することにより回路配線を実現している。このような配線パターンを利用して、図 1 の走査線駆動回路 15、データ線駆動回路 17、揺動電源集積回路 18 で共通の電源線と制御信号線は、FPC 19 上で配線されて外部への接続端子数を極力減らす工夫をしている。

20

次に、図 1 及び図 2 により、FPC 19 上での各配線について、FPC 19 の外部接続端子順に説明する。第 1 端子は電源電圧 3.0 V を供給するものであり、走査線駆動回路 15 のロジック電源、揺動電源集積回路 18 のクランプ用電源、データ線駆動回路 17 のロジック電源とデータ線駆動電源として使用される。第 2 端子は接地（GND）として使用され、上述の各電源端子の GND 端子に接続される。第 3 端子は液晶駆動電圧の基準電圧となる駆動基準電源 VM で走査線駆動回路 15 に供給される。

第 4 端子は制御信号用であり、制御信号として、走査タイミングを与えるラッチパルス LP、フレームタイミングを与えるフレーム信号 FR、データ線駆動回路 107 へデータ信号 DATA を転送するタイミングを与えるクロックパルス CP の 3 つの信号群で構成される。図 1 ではこれらの信号をまとめて「制御信号」として示す。それぞれの制御信号は、FPC 19 により、ラッチパルス LP は走査線駆動回路 15 とデータ線駆動回路 17 へ供給され、フレーム信号 FR は走査線駆動回路 15 に供給され、クロックパルス CP はデータ線駆動回路 17 に供給される。

30

第 5 端子は液晶の交流化タイミングを与えるタイミング信号 DF であり、走査線駆動回路 15 と揺動電源集積回路 18 とデータ線駆動回路 17 に供給される。第 6 端子は液晶駆動用の高電圧直流電源の入力端子 VO であり、揺動電源集積回路 18 に供給される。第 7 端子は DATA 端子でありデータ線駆動回路 17 に接続されて画像データを転送する。第 8 端子は高電位 VDD の電源端子であり、第 9 端子は低電位 VSS の電源であり、これらは揺動電源集積回路 18 の揺動電源の出力端子からそれぞれ供給され、かつ走査線駆動回路 15 の VDD 電源と VSS 電源にそれぞれ供給される。

40

以上のように、FPC 19 上には、各回路 15、17、18 に接続する端子が設けられており、外部から接続する端子数を極力減らすようにしている。端子数が減れば、その結果、装置全体の小型化が可能となり、コネクタのコストダウンや作業の簡略化、接続信頼性向上などの効果も生じる。本実施形態では、上述のように揺動電源集積回路 18 を下側ガラス基板 14 に COG 実装して、FPC 19 上で各回路間の配線を行っている。

図 2 は図 1 の基本構成を駆動する周辺回路の要部ブロック図である。図 1 に示す構成には、基準電圧生成回路 21、昇圧回路 22 及びコンデンサ 23 等が接続される。基準電圧生

50

成回路21と昇圧回路22とFPC19の端子には、電源電圧3.0Vが供給され、制御信号（上述のように走査タイミング信号、フレーム信号、データラッチ信号などのロジック信号群）、データ信号、DF信号等はFPC19の対応する端子に供給される。液晶駆動交流信号であるDF信号はFPC19のDF端子に供給され、画像データであるデータ信号はFPC19のDATA端子に供給され、昇圧回路22の出力V0はFPC19V0端子に供給され、基準電圧生成回路21の出力VMはFPC19のVM端子に供給される。基準電圧生成回路21と昇圧回路22のグラウンドは、FPC19のGND端子に接続される。FPC19のVDD端子とVSS端子の間には容量1 μ Fの積層セラミックコンデンサ23が接続される。

以下に、各回路ブロックの動作について説明する。基準電圧生成回路21は液晶表示パネル10の駆動電圧の基準電圧VMを生成する回路であり、シリーズレギュレータにより3.0Vから1.5Vの直流電圧を生成している。シリーズレギュレータ以外にもスイッチングキャパシタ方式や、降圧型スイッチングレギュレータなどでも生成が可能であるが、部品点数が最も少ないシリーズレギュレータを本実施形態では採用している。

また、昇圧回路22は電源電圧3.0Vから直流高電圧V0を生成する回路で、昇圧型スイッチングレギュレータで構成している。本実施形態では昇圧回路22に液晶の温度補償回路（図示せず）を内蔵しており、室温で20Vを出力し温度係数が $-0.4\text{V}/^{\circ}\text{C}$ となるように設計している。温度補償回路とスイッチングレギュレータを組み合わせた回路は様々な方法が提案されているが、本実施形態ではスイッチングレギュレータ回路の出力電圧分割抵抗にサーミスタを使用することにより実現している。これにより温度変化に対して昇圧回路22の出力電圧V0が変化し、液晶表示装置10は常に最適なコントラストで表示することができる。昇圧回路22にはスイッチングレギュレータを用いたが、部品点数の増大を許せばチャージポンプ方式の昇圧回路を用いることもできる。

図3は図1の本発明による揺動電源集積回路の基本回路図である。上述のように、本発明による揺動電源生成回路は揺動電源集積回路18として半導体集積回路で構成される。即ち、電源電圧3.0Vと直流高電圧V0から揺動電源を生成するための電源生成回路を集積回路化し、シリコン基板上に形成する。

本図の回路動作を以下に説明する。PMOS-FET31と、PMOS-FET33と、NMOS-FET32と、NMOS-FET34との4個のFETでレベルシフト回路を構成する。

図示のように、PMOS-FET31とPMOS-FET33のソース側は、直流高電圧V0の電源線に接続され、PMOS-FET31のゲートはPMOS-FET33のドレイン側に接続され、PMOS-FET33のゲートはPMOS-FET31のドレイン側に接続される。また、NMOS-FET32のドレイン側はPMOS-FET31のドレイン側と、NMOS-FET34のドレイン側はPMOS-FET33のドレイン側に接続される。

NMOS-FET32及びNMOS-FET34のソース側はGNDに接続され、NMOS-FET32のゲート側は入力信号DFに接続され、NMOS-FET34のゲート側はインバータ37の出力側に接続される。またインバータ37の入力側にはDF信号が入力される。以上の接続によりレベルシフト回路を構成し、GND-3.0Vレベルで入力されるDF信号をGND-V0レベルでDF信号と同相の信号に増幅変換する。

揺動電源VDDを出力する出力バッファは、PMOS-FET35とNMOS-FET36をインバータ接続して構成される。PMOS-FET35のソース側は直流高電圧V0の電源線に接続され、NMOS-FET36のソース側は電源電圧3.0Vの電源線に接続される。出力バッファの入力にはレベルシフト回路からの出力であるGND-V0レベルに増幅変換されたDF信号が供給される。入力されるDF信号がハイレベルであるV0の電位をとる期間ではNMOS-FET36がオンし、PMOS-FET35はオフするのでVDDとして3.0Vが出力される。

一方、ローレベルであるGNDの電位をとる期間ではPMOS-FET35でオンし、NMOS-FET36がオフするのでVDDにはV0の電圧が出力される。このようにDF

10

20

30

40

50

信号に同期して直流高電圧 V_0 と電源電圧 3.0 V を交互に選択して V_{DD} に出力する。この V_{DD} が揺動電源の正側出力になる。

また、図 3 において、 $\text{PMOS-FET } 41$ はクランプ用のトランジスタであり、揺動電源 V_{DD} を外部に付加するコンデンサで容量結合したときに交流電圧に直流電位を与える作用をする。クランプ回路の構成は、 $\text{PMOS-FET } 41$ のソース側とダイオード 39 のカソード側と抵抗 40 の一端を GND 線に接続し、ダイオード 39 のアノード側と抵抗 40 の他端とコンデンサ 38 の一端を $\text{PMOS-FET } 41$ のゲートに接続する。コンデンサ 38 の他端には DF 信号を入力する。

コンデンサ 38 は MOS 容量で本半導体集積回路に集積され、静電容量は 470 pF に設定する。抵抗 40 はポリシリコンで形成し、 $2\sim 5\text{ M}\Omega$ に設定する。これらの値は静電容量と抵抗値の積で表す時定数 τ が揺動電源の切り替え時間よりも十分に長い必要がある。短い場合には、 $\text{PMOS-FET } 41$ のゲート電圧が降下し十分なオン抵抗が得られない。以上が揺動電源集積回路 18 の回路構成である。

以上の揺動電源集積回路 18 を下側ガラス基板 14 上に COG 実装し、本発明の液晶表示装置を実現している。上記回路は揺動電源を生成する回路の一例であり、本実施形態を参考にすればこれ以外の回路構成でも同様に実現できる。また、半導体集積回路であれば COG 実装が可能であるので本発明を同様に実施することが出来る。また、半導体集積回路であれば多チップで構成されていても構わない。しかし本実施形態のように 1 チップで形成した方がコストと小型化において有利である。

図 4 は図 1 の液晶表示装置の駆動波形を示すタイミングチャートである。FPC 19 の V_0 端子は昇圧回路 22 の出力に接続されるので、 V_0 として直流 20 V が入力されている。また、 3.0 V と GND 端子には、それぞれ 3.0 V と 0 V が入力されている。 DF 端子には液晶交流化信号である DF 信号が入力されており、ハイレベルが 3.3 V でローレベルが 0 V の矩形波である。以上が入力端子の波形である。

前述の図 1 に示すように、FPC 19 の各入力端子から入力した V_0 と 3.0 V と GND の各電源と DF 信号は、揺動電源集積回路 18 に入力される。さらに図 3 に示すように、入力された DF 信号は、 $\text{PMOS-FET } 31$ と 33 、及び $\text{NMOS-FET } 32$ と 34 とで構成されるレベルシフト回路にて、 V_0 と 0 V の電圧レベルをとる矩形波に変換される。変換された DF 信号は出力バッファに入力されて、 DF 信号に同期した V_0 と 3.0 V の電圧レベルを交互に選択してなる揺動電源 V_{DD} となり出力する。図 4 はこの揺動電源 V_{DD} の出力波形を示す。

DF 信号がハイレベルであるときには V_{DD} は 3.0 V を出力し、ローレベルのときには V_0 である 20 V を出力している。さらに揺動電源 V_{DD} は、図 2 に示すように、コンデンサ 23 を介して FPC 19 の V_{SS} 端子に接続されている。 V_{SS} 端子は揺動電源集積回路 18 の V_{SS} 端子に接続されているので、図 2 の V_{SS} 端子にはコンデンサ 23 を介して揺動電源 V_{DD} が入力されていることになる。ここでコンデンサ 23 を介して入力されていることから揺動電源 V_{DD} の直流電圧成分がカットされた交流電圧が V_{SS} 端子に印加される。一方、 V_{SS} 端子は $\text{PMOS-FET } 41$ のドレイン出力でもある。

いま、 DF 信号がローレベルの時には $\text{PMOS-FET } 41$ はオン状態であり、 V_{SS} 端子には 0 V が印加される。このときにコンデンサ 23 の V_{SS} 端子側の電位は 0 V に充電される。従って、図 4 に示すように、 DF 信号がローレベルの期間では V_{SS} 端子には 0 V が出力される。次に、 DF 信号がハイレベルになると $\text{PMOS-FET } 41$ はオフ状態に遷移する。このとき同時に、コンデンサ 23 の他方に接続している揺動電源 V_{DD} は、 20 V から 3.0 V に 17 V だけ電位が降下する。

このためコンデンサ 23 の V_{SS} 側端子の電位も 0 V から -17 V に降下する。従って、図 4 に示すように、 V_{SS} 端子は DF 信号がローレベルの期間では 0 V を出力し、ハイレベルの期間では -17 V を出力する。これが揺動電源 V_{SS} になる。前述の図 1 から明らかなように、この揺動電源 V_{DD} と V_{SS} は FPC 19 を介して走査線駆動回路 15 の電源端子に接続される。これにより走査線駆動回路 15 は揺動電源で駆動することができる。

本実施形態によれば、F P C 1 9 の各電源端子に入力される各電圧はいずれも直流電圧であり、V D D、V S S 間に接続するコンデンサ 2 3 も一般的なセラミックコンデンサである。このように外部回路から見ると直流低電圧と直流高電圧を印加しているだけの簡易な回路構成で駆動できることがわかる。

また前述したように、従来の揺動電源法で必要とした外付けの個別部品による電源生成回路基板が不要になり、大幅な回路基板サイズの小型化、低コスト化が実現できる。また、前述のように、揺動電源集積回路 1 8 が C O G 実装により液晶表示装置に搭載されているために、製造者は液晶パネルと揺動電源回路を誤動作などの不都合がないように最適な状態に設計して使用者に提供することができ、使用者は簡単な直流電源のみを用意するだけで従来と全く変わらない感覚で揺動電源法を用いた液晶表示装置を駆動することができる

10

。図 6 は本発明による揺動電源集積回路 1 8 の一実施形態のブロック構成図である。揺動電源集積回路 1 8 には、4 種類の電源、即ち、V S L、V D L、V D 2、V 0 が入力されている。前述のように、V S L はシステムのグラウンドを、V D L はシステムの電源を、V D 2 はデータ線駆動回路 1 7 の液晶駆動電圧を、V 0 は揺動電源の基となる高電圧の電源をそれぞれ示している。なお、図 6 における V S L が図 3 の G N D に対応し、図 6 における V D L と V D 2 は、いずれも図 3 の 3 V に対応する。各ブロックの詳細構成を以下の図面で説明する。

図中、6 1 は基準信号を示し、ローレベルの電位は V S L、ハイレベルの電位は V D L になっている。ここで、図 6 における基準信号 6 1 は図 3 の D F に対応する。6 2 は第 1 出力ブロック回路であり、6 7 は第 2 出力ブロック回路であり、7 1 は第 3 出力ブロック回路である。基準信号 6 1 はすべての出力ブロック回路に供給される。

20

また、6 6、7 0、7 4 等は、揺動電源集積回路 1 8 の出力を示しており、6 6 は第 1 出力ブロック回路 6 2 の出力 (V D D) であり、7 0 は第 2 出力ブロック回路 6 7 の出力 (V C C)、7 4 は第 3 出力ブロック回路 7 1 の出力 (V S S) を示している。また 7 6 及び 7 7 は第 1 論理回路 6 4 の出力設定端子であり、回路内部で使用するものである。

第 1 出力ブロック回路 6 2 は 3 個の回路ブロックから構成され、6 3 はレベルシフト回路であり、6 4 は第 1 論理回路であり、6 5 は第 1 出力ドライバ回路である。

レベルシフト回路 (図 3 のレベルシフト回路 (F E T 3 1, 3 2, 3 3, 3 4) に対応) 6 3 は、基準信号 6 1 の信号レベル V D L、V S L レベルを、V 0、V S L レベルに増幅変換する回路である。

30

図 7 は図 6 の揺動電源集積回路に供給される電源電圧の関係の説明図である。前述の説明から明らかなように、一般的には $0 V > V D 2$ 、 $V D L > V S L$ の関係が成り立っている。前述のように、V S L を 0 V とした場合、V 0 は 2 0 V 程度、V D 2 は 3. 0 V 程度、V D L は 2. 7 V 程度となっている。但し、ここで示した電圧は、周辺温度、使用する液晶、液晶表示装置のシステム設計等によって、大きく変わる。

図 8 は図 6 構成の第 1 出力ブロック回路を構成するレベルシフト回路の一例回路構成図である。この回路は、前述した図 3 回路中のレベルシフト回路の他の例である。8 0 と 8 1 はインバータであり、電源は V D L、V S L が入力されている。インバータ 8 0 の入力には基準信号 6 1 も入力され、インバータ 8 0 の出力はインバータ 8 1 に接続されている。8 3、8 4、8 5、8 6 は P M O S - F E T であり、8 7、8 8 は N M O S - F E T である。全ての P M O S - F E T のバルク側は、V 0 の電源線に接続されており、P M O S - F E T 8 3 及び P M O S - F E T 8 4 はソース側も V 0 の電源線に接続されている。P M O S - F E T 8 3 のドレイン側は P M O S - F E T 8 5 のソース側に、P M O S - F E T 8 4 のドレイン側は P M O S - F E T 8 6 のソース側に接続されている。

40

P M O S - F E T 8 5 のドレイン側は N M O S - F E T 8 7 のドレイン側と P M O S - F E T 8 6 のゲート側に接続され、P M O S - F E T 8 6 のドレイン側は N M O S - F E T 8 8 のドレイン側と P M O S - F E T 8 5 のゲート側に接続されている。N M O S - F E T 8 7、N M O S - F E T 8 8 のソース側とバルク側は、V S L に接続されている。

P M O S - F E T 8 3 及び N M O S - F E T 8 7 のゲート側にはインバータ 8 1 の出力が

50

、PMOS-FET 84及びNMOS-FET 88のゲート側にはインバータ80の出力が接続されている。

82はレベルシフト回路63の出力信号を示す。基準信号61がVDLの時には、NMOS-FET 87が導通状態となり、NMOS-FET 88が非導通状態になるため出力信号82はV0となる。一方、基準信号61がVSLの時には、逆にNMOS-FET 87が非導通状態となり、NMOS-FET 88が導通状態になるため出力信号82はVSLを出力している。

以上のように、レベルシフト回路63にて基準信号61のVDLとVSLの振幅を、V0とVSL間の振幅に変換した出力信号82が、第1論理回路64に入力される。

図6に示すように、第1論理回路64には、V0とVSLの2種類の電源が入力され、レベルシフト回路63からの出力信号を、後述する論理回路により処理を行う。第1論理回路64は消費電力を削減する等の目的によって、様々な構成をとることが出来るが、最も単純な動作の目的としては、第1出力ドライバ回路65をスイッチングすることである。従って、最も簡単な構成として、V0とVSL間でスイッチングするバッファ1個の構成でもよい。

第1論理回路64で処理された信号は、第1出力ドライバ回路65に入力される。第1出力ドライバ回路65には、V0、VD2の2つの電源が入力されている。第1出力ドライバ回路65も、第1論理回路64と同様に消費電力の削減、出力インピーダンス等の設定により、様々な構成が考えられる。最も簡単な回路構成の一例を図9に示す。

図9は図6構成の第1出力ドライバ回路の一例回路構成図である。91はPMOS-FETであり、92はNMOS-FETである。91のソース側とバルク側はV0の電源線に接続され、ドレイン側はNMOS-FET 92のドレイン側に、NMOS-FET 92のソース側とバルク側はVD2の電源線に接続されている。また、90は第1論理回路64からの出力信号を示している。

第1出力ドライバ回路65は、第1論理回路64からの出力信号90がV0の時はNMOS-FET 92が導通状態になってVD2を、一方、VSLの時はPMOS-FET 91が導通状態になってV0をVDD66として出力する。

よって、第1出力ブロック回路62の動作をまとめると、基準信号61がVDLの時は、VDD66がVD2となり、基準信号61がVSLの時は、VDD66がV0となる動作を行う。

次に、第2出力ブロック回路67の動作について図6に沿って説明する。第2出力ブロック回路67は2個の回路ブロック68及び69で構成され、68は第2論理回路であり、69は第1PMOS-FETのオープンドレイン回路からなる第2出力ドライバ回路を示している。

第2論理回路68には、VDL及びVSLが入力され、信号として基準信号61が入力される。第2論理回路68の回路構成は図10の前段で示すように、例えばインバータが数段、かつ偶数個接続されている回路構成である。

第2論理回路68の出力は第2出力ドライバ回路69に供給される。ここで、第2出力ドライバ回路69の詳細回路構成も図10の後段に示す。

図10は第2出力ドライバ回路の一例回路構成図である。101はPMOS-FETを示している。100は第2論理回路68の出力であり、出力はPMOS-FET 101のゲート側に入力される。PMOS-FET 101のソース側とバルク側は、VDLに接続されている。PMOS-FET 101のドレイン側はVCC70に接続されていて、その結果、VCC70はPMOS-FET 101によるオープンドレイン出力となっている。なお、第2論理回路68は、図示のように、例えば基準信号61を入力するインバータ102と103で構成されている。

従って、第2出力ブロック回路67は、基準信号61がVDLの時は、PMOS-FET 101が非導通状態になるためVCC70（図6参照）はハイインピーダンスの状態となり、VSLの時はPMOS-FET 101が導通状態になるためVCC70はVDLを出力するという動作を行う。

10

20

30

40

50

次に、第3出力ブロック回路71の動作について、図6に沿って説明する。第3出力ブロック回路71は2個の回路ブロック72及び73で構成され、72は基準信号61をクランプするクランプ回路、73はPMOS-FETのオープンドレイン回路からなる第3出力ドライバ回路を示している。詳細構成を以下に説明する。

図11は図6構成の第3出力ブロック回路を構成するクランプ回路の一例回路構成図である。クランプ回路72は基準信号61をVSLにクランプする回路である。111はコンデンサであり、112はダイオードであり、113は第1の抵抗である。コンデンサ111の一方の端子は基準信号61に接続されており、他方の端子は、ダイオード112のカソードと第1の抵抗113の一方に接続され、ダイオード112のアノードと第1の抵抗113の他方はVSLの電源線に接続されている。

10

従って、クランプ回路72では、基準信号61がVDLの時は、ダイオード112が導通してVSLにクランプされ、一方、基準信号61がVSLの時はダイオード112が導通しなくなり、-VDLの電位となり、この信号が第3出力ドライバ回路73に供給される。

図12は図6構成の第3出力ドライバ回路の一例回路構成図である。121はPMOS-FETを示している。図11のクランプ回路72の出力120はPMOS-FET121のゲート側に入力される。PMOS-FET121のソース側とバルク側は、VSLに接続されている。PMOS-FET121のドレイン側は出力であり、VSS74に供給される。その結果、VSS74はPMOS-FET121によるオープンドレイン出力となっている。

20

従って、第3出力ブロック回路71は、基準信号61がVDLのときは、PMOS-FET121が非導通状態になるためVSS74はハイインピーダンスの状態となり、基準信号61がVSLのときはPMOS-FET121が導通状態になるためVSS74はVSLを出力するという動作を行う。

以上が図6に示す本発明の揺動電源集積回路18の基本動作である。しかし、ここで実際に揺動電源集積回路18を揺動電源法による電源生成回路として実使用する場合には、外付けのコンデンサを接続する必要がある。

図13は図6構成の電源生成回路に外付けコンデンサを接続したブロック図である。本図の130は第1コンデンサであり、131は第2コンデンサである。第1コンデンサ130は一方の端子をVDD66に接続し、他方の端子をVSS74に接続している。また第2コンデンサ131は一方の端子をVSS74に、他方の端子をVCC70に接続している。ここで、第1コンデンサ130、第2コンデンサ131ともに容量は使用するパネルの大きさ、駆動周波数等により、適当な大きさを選択される。

30

図14は図6構成の揺動電源集積回路が生成する揺動電源の波形図である。図中、140はV0、141はVD2、142はVDL、143はVSLを示している。また144は基準信号、145はVDD、146はVCC、147はVSSを示している。

出力であるVDD(145)、VCC(146)、VSS(147)において、基準信号144がVDLのとき、VDD(145)はVD2(146)であり、VCC(146)は $(VDL - (V0 - VD2))$ であり、VSS(147)は $(VSL - (V0 - VD2))$ の電位を出力する。基準信号144がVSLのときは、VDD(145)はV0

40

140であり、VCC(146)はVDLであり、VSS(147)はVSLの電位を出力する。

従って、以上のような回路構成を持つ集積回路化した揺動電源集積回路を用いることにより、揺動電源法による電源発生が可能となる。

図15は図6構成の放電回路の一例回路構成図であり、図6の放電回路75の詳細構成を示している。放電回路75には、VDLとVSLとVSSの電源線が接続されている。150はPMOS-FETであり、151は抵抗であり、152はPMOS-FETであり、153は抵抗である。PMOS-FET150のソース側とバルク側はVDLに接続されており、ゲート側はVSLに接続されている。またドレイン側は抵抗151とPMOS-FET152に接続されている。PMOS-FET152のソース側とバルク側はV

50

Lに接続されていて、またドレイン側は抵抗153に接続されている。抵抗151の一方と抵抗153の一方は、ともにVSSに接続されている。また、131は図13で示した外付けのコンデンサを示している。

全体のシステム使用時、つまりVDLが入力されている状態では、PMOS-FET150のゲート側には、PMOS-FET150のVth以上の電位差、つまり、この時はVDLとVSLの電位差が印加されているため導通状態になっている。ここで、PMOS-FET150の導通状態でのオン抵抗値と抵抗151の抵抗値の比を調整することにより、PMOS-FET150のドレイン側の電位を少なくともVSL-Vth以上の電圧にすることで、PMOS-FET152のゲート側にはVthを越えた電圧が印加されないことから、非導通状態になる。よって、システム使用時には、PMOS-FET152、

10

システムが非使用時、つまり電源が切られた時には、VDLがVSLに近づいていく。VDLの電位がPMOS-FET150のVth以下になると、PMOS-FET150が非導通状態になる。

PMOS-FET150が非導通状態になると、PMOS-FET150のドレイン側はVSSになる。従ってPMOS-FET152のゲート側にもVSSが印加される。ここで、特に基準信号がVDLの時に、電源が切られた時には、VSSはPMOS-FET152のVthを越えているため、直ちにPMOS-FET152が導通状態になる。

従って、VSLとVSSが、PMOS-FET152と抵抗153を介して導通することになり、外付けのコンデンサ131に蓄えられた電荷が放電され、VSSがVSLの電位とほぼ同電位となる。153は放電時に電流を制限し、他の素子の破壊を防止する役目であり、適度な抵抗値を設定することでよい。

20

以上のような動作を行うことで、走査線駆動回路が選択期間中に電源を切られても印加されている駆動電圧を放電回路の動作により電荷をなくすることができるため、直流成分が印加され続けるようなことを防止できる。

図16は図6構成の第1出力ブロック回路を構成する第1論理回路と第1出力ドライバ回路の一例構成図である。なお、64は図6の第1論理回路64であり、65は第1出力ドライバ回路65である。

第1論理回路64において、160はバッファを示しており、バッファ160の入力には図6で示したレベルシフト回路63の出力が接続されている。161は第1出力選択回路であり、162は第2出力選択回路である。これらの出力選択回路は1個のOR回路と1個のAND回路で構成されている。即ち、163は出力選択回路161を構成するOR回路を、164は出力選択回路161を構成するAND回路を示している。また、165は第1出力設定端子であり、166は第2出力設定端子である。また、167及び168はインバータであり、インバータ167の入力は第1出力設定端子165に接続されている。また、インバータ168の入力は第2出力設定端子166に接続されている。

30

第1出力選択回路161のOR回路163の入力の一方は第1出力設定端子165に接続され、入力他方はバッファ160の出力に接続されている。また第1出力選択回路161のAND回路164の入力の一方は、インバータ167の出力に接続され、入力他方はバッファ160の出力に接続されている。第2出力選択回路162には、第1出力設定端子165の代わりに第2出力設定端子166が接続され、インバータ167の出力の代わりにインバータ168の出力が接続されている以外は全く同じ構成となっている。

40

次に第1出力ドライバ回路65の構成について説明する。169は第1出力ドライバであり、170は第2出力ドライバである。基本的には第1出力ドライバ169及び第2出力ドライバ170は、図9で示した構成をしている。図9構成ではPMOS-FETとNMOS-FETのゲート側が短絡され、第1論理回路64からの出力90を入力しているが、図16構成では、各々のゲート側は、OR回路もしくはAND回路の出力側に接続されている。一方、第1出力ドライバ169の出力と第2出力ドライバ170の出力は短絡され、VDD66となっている。

第1出力ドライバ169のPMOS-FETのゲート側入力には、上述のように、第1出

50

力設定回路161のOR回路163の出力が接続され、NMOS-FETゲート側入力には、AND回路164の出力が接続されている。また第2出力ドライバ170にも、同様に第2出力設定回路162の出力が接続されている。

次に、第1出力設定端子165及び第2出力設定端子166ともにハイレベルが入力されている場合を説明する。ここで、第1論理回路64の論理信号のレベルは既に説明したように、ハイレベルはV0であり、ローレベルはVSLである。

第1出力設定端子165がハイレベルである時は、バッファ160への入力が高レベルの場合でも、ローレベルの場合でも、OR回路163の出力はハイレベルとなり、AND回路164の出力はローレベルとなっている。従って、第1出力ドライバ169の出力はハイインピーダンスの状態になり、第2出力ドライバ170も同様な状態を示している。次に第1出力設定端子165及び第2出力設定端子166ともにローレベルが入力されている場合を説明する。第1出力設定端子165がローレベルで、バッファ160への入力が高レベルである時、OR回路163の出力及びAND回路164の出力ともにハイレベルとなる。従って、第1出力ドライバ169の出力はNMOS-FETが選択されVD2が出力されている。

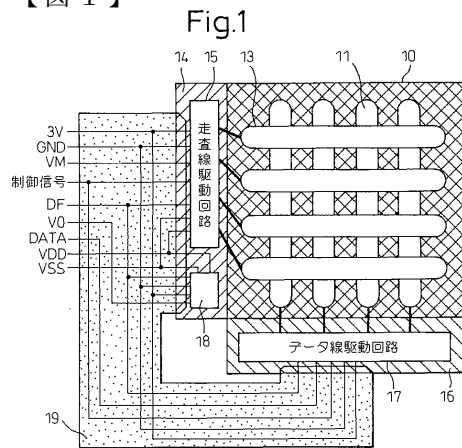
次にバッファ160への入力が高レベルのときは、OR回路163の出力及びAND回路164の出力はローレベルとなる。従って、第1出力ドライバ169の出力はPMOS-FETが選択されV0が出力される。そして第2出力ドライバ170も同様な動作を行う。

ここで、第1出力設定端子165がローレベルで、第2出力設定端子166が高レベルの場合を考える。このような場合、第1ドライバ169は基準信号の入力極性によって、V0またはVD2を出力する。しかし、第2ドライバ170は基準信号の入力極性にかかわらず、出力はハイインピーダンス状態となっている。こうすることで、第1出力設定端子165及び第2出力設定端子166を両方ともローレベルに設定した時の半分の出力インピーダンスにすることができる。従って、同じチップを使って表示パネルサイズ等によって最適な出力インピーダンスに変えることができるため、必要以上に低インピーダンスとならず貫通電流も削減でき、低消費電力化になる。本発明では、出力の設定を2つのみとしたが、2つ以上の場合についても同様な構成をとることで、よりきめ細かな設定が可能となる。

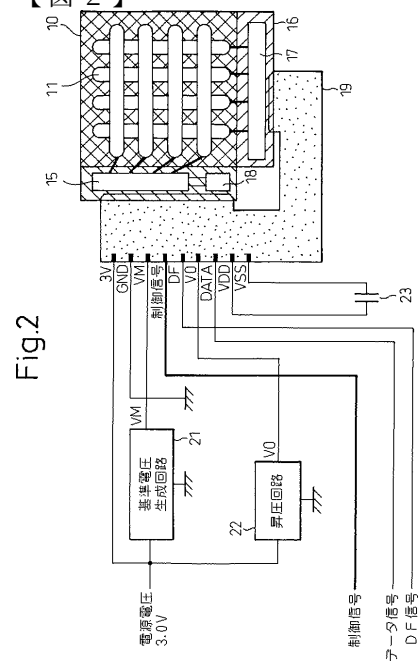
産業上の利用可能性

本発明のように揺動電源法の電源生成回路を集積回路化し、液晶表示装置に組み込むことにより、低消費電力化、小型化、低コスト化が可能となり、設計及び製造上も利点が多く、製品の信頼性が向上するので、産業上の利用可能性は非常に高い。

【図 1】

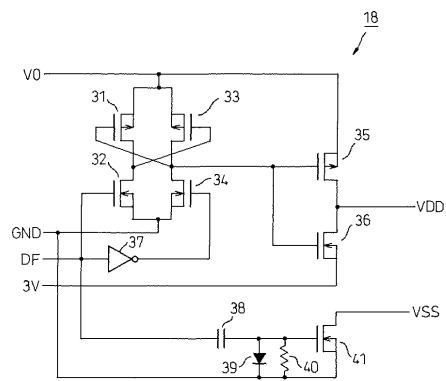


【図 2】

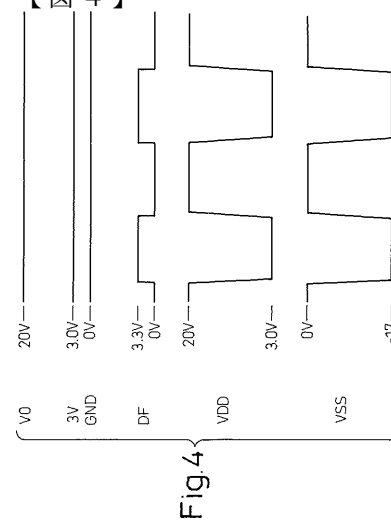


【図 3】

Fig.3

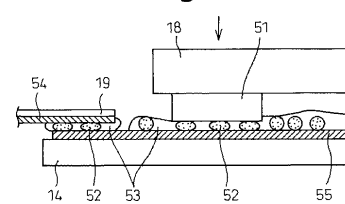


【図 4】



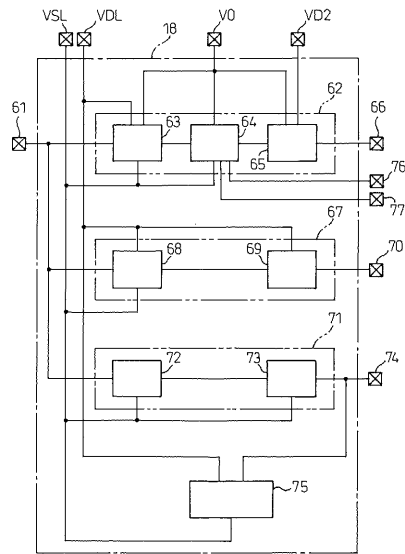
【図 5】

Fig.5



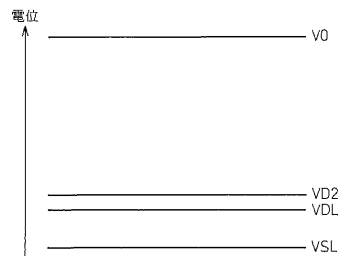
【図 6】

Fig.6



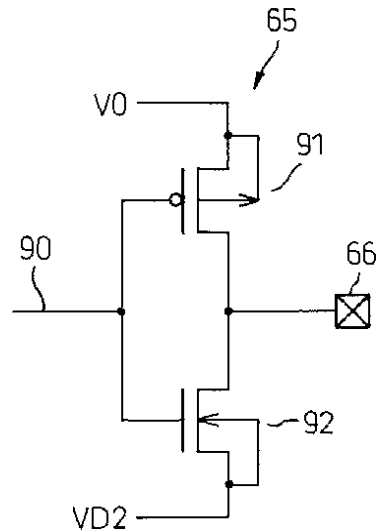
【図 7】

Fig.7



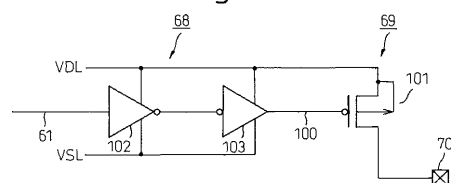
【図 9】

Fig.9



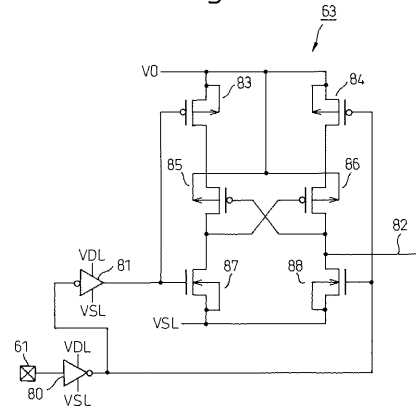
【図 10】

Fig.10



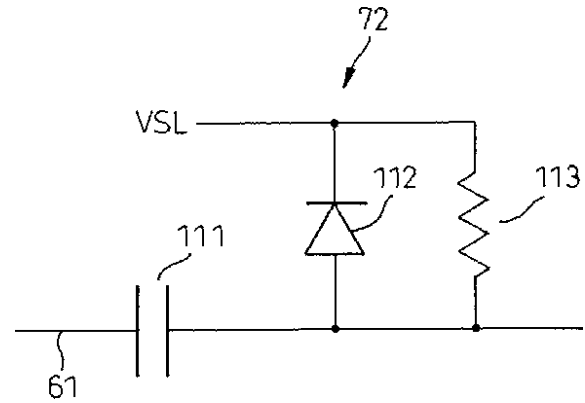
【図 8】

Fig.8



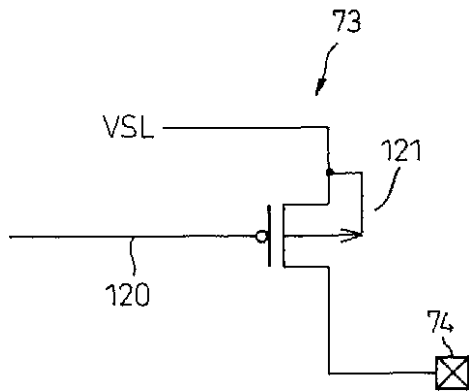
【図 11】

Fig.11



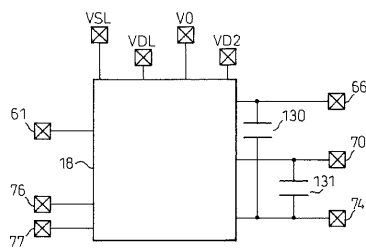
【図 1 2】

Fig.12



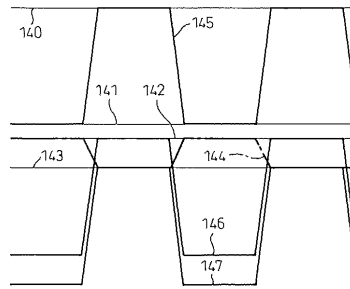
【図 1 3】

Fig.13



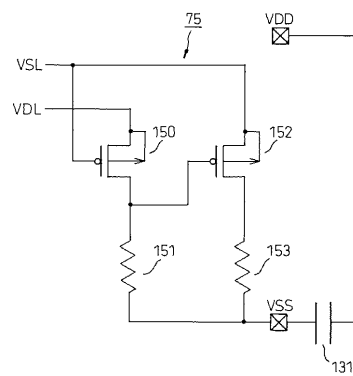
【図 1 4】

Fig.14



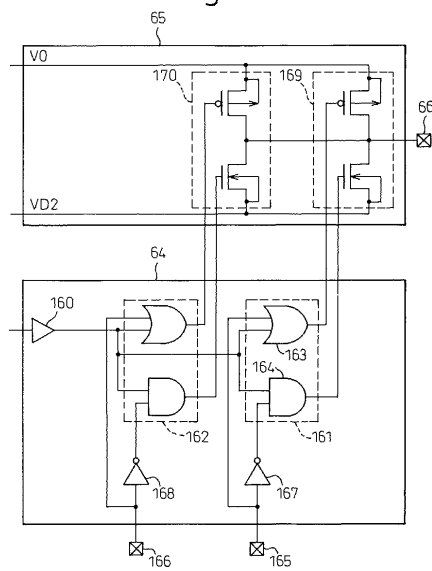
【図 1 5】

Fig.15

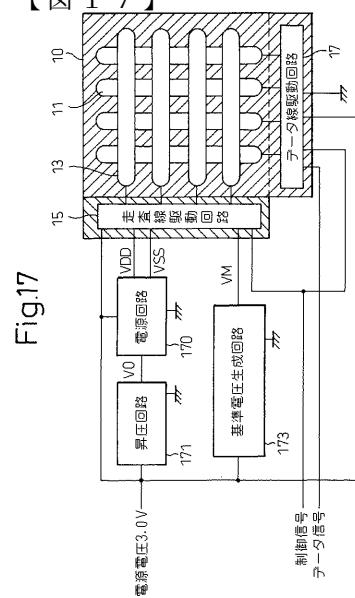


【図 1 6】

Fig.16

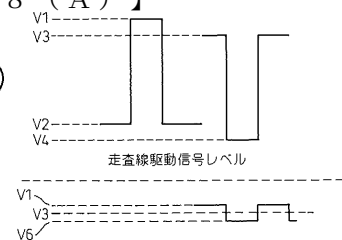


【図 1 7】

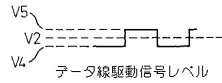


【図 1 8 (A)】

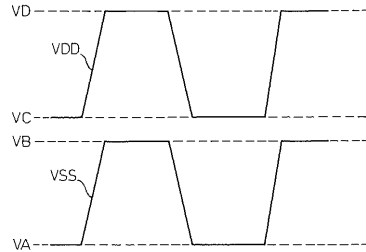
Fig.18(A)



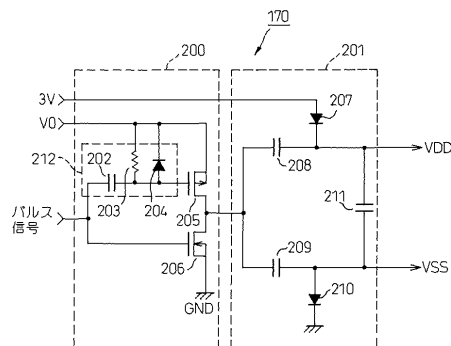
【図 18 (B)】
Fig.18(B)



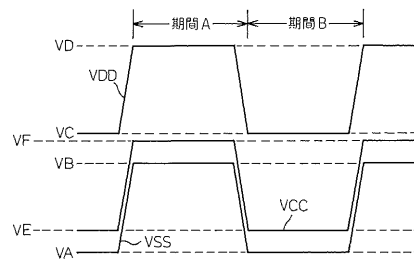
【図 19】
Fig.19



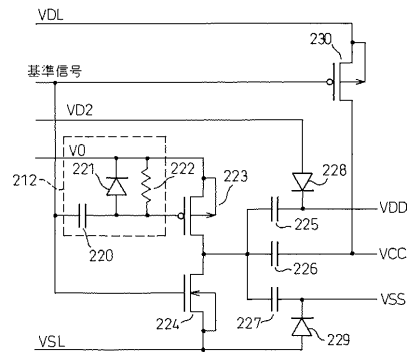
【図 20】
Fig.20



【図 21】
Fig.21



【図 22】
Fig.22



参照符号の一覧表

- 10…液晶パネル
- 11…データ線
- 13…走査線
- 14…下側ガラス基板
- 15…走査線駆動回路
- 16…上側ガラス基板
- 17…データ線駆動回路
- 18…揺動電源集積回路
- 19…F P C
- 21…基準電圧生成回路
- 22…昇圧回路
- 23…コンデンサ
- 31, 32, 33, 34…第1～4のF E T
- 35, 36, 41…第5～第7のF E T
- 61…基準信号
- 62…第1出力ブロック回路
- 63…レベルシフト回路
- 64…第1論理回路
- 65…第1出力ドライバ回路
- 67…第2出力ブロック回路
- 68…第2論理回路
- 69…第2出力ドライバ回路
- 71…第3出力ブロック回路
- 72…クランプ回路
- 73…第3出力ドライバ回路
- 75…放電回路

フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/36

F I

G 0 9 G 3/20 6 1 2 E

G 0 9 G 3/20 6 1 2 G

G 0 9 G 3/20 6 2 1 M

G 0 9 G 3/20 6 8 0 G

G 0 9 G 3/36

(72)発明者 秋山 貴

東京都西東京市田無町六丁目1番12号 シチズン時計株式会社内

(72)発明者 高橋 賢一

東京都西東京市田無町六丁目1番12号 シチズン時計株式会社内

(72)発明者 渡邊 真

東京都西東京市田無町六丁目1番12号 シチズン時計株式会社内

(72)発明者 矢野 結資

東京都西東京市田無町六丁目1番12号 シチズン時計株式会社内

(72)発明者 増田 崇臣

東京都西東京市田無町六丁目1番12号 シチズン時計株式会社内

審査官 藤田 都志行

(56)参考文献 特開平10-142575 (JP, A)

特開平11-119188 (JP, A)

特開平11-271711 (JP, A)

特開平07-191300 (JP, A)

特開平11-289247 (JP, A)

特開平10-239660 (JP, A)

特開平05-313183 (JP, A)

実開平07-026827 (JP, U)

国際公開第94/24660 (WO, A1)

特開平10-222102 (JP, A)

特開2000-276067 (JP, A)

特開平04-012327 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

G02F 1/133 545

G02F 1/1345

G09F 9/00 347

G09F 9/35

G09G 3/20 611F

G09G 3/20 612E

G09G 3/20 612G

G09G 3/20 621M

G09G 3/20 680G

G09G 3/36

专利名称(译)	液晶表示装置		
公开(公告)号	JP3675797B2	公开(公告)日	2005-07-27
申请号	JP2002541442	申请日	2001-11-06
[标]申请(专利权)人(译)	西铁城控股株式会社		
申请(专利权)人(译)	西铁城钟表有限公司		
当前申请(专利权)人(译)	西铁城钟表有限公司		
[标]发明人	秋山貴 高橋賢一 渡邊真 矢野結資 増田崇臣		
发明人	秋山 貴 高橋 賢一 渡邊 真 矢野 結資 増田 崇臣		
IPC分类号	G09G3/36 H02M3/07 G02F1/133 G02F1/1345 G09F9/00 G09F9/35 G09G3/20		
CPC分类号	G09G3/3696 G09G3/3622 G09G3/3685 G09G2300/0408 G09G2330/02 H02M3/07		
FI分类号	G02F1/133.545 G02F1/1345 G09F9/00.347 G09F9/35 G09G3/20.611.F G09G3/20.612.E G09G3/20.612.G G09G3/20.621.M G09G3/20.680.G G09G3/36		
代理人(译)	石田 敬 西山雅也		
优先权	2000340057 2000-11-08 JP 2000341376 2000-11-09 JP		
其他公开文献	JPWO2002039179A1		
外部链接	Espacenet		

摘要(译)

液晶面板和多条数据线技术领域本发明涉及一种液晶面板，该液晶面板通过将液晶夹在具有多条数据线的第二透明基板和具有与数据线交叉的多条扫描线的第二透明基板和多条数据线之间而形成。在包括待连接的数据线驱动集成电路和驱动多条扫描线的扫描线驱动集成电路的液晶显示装置中，数据线驱动集成电路安装在第一透明电极基板上并且扫描线驱动集成在一起一种振荡电源集成电路，用于将电路安装在第二透明基板上，并根据液晶驱动的交流驱动信号以恒定的幅度振荡扫描线驱动集成电路的电源电位;直接安装在第二透明基板或第二透明基板上。这样的配置使得可以降低功耗，减小尺寸并降低液晶显示装置的成本，并且提高产品的可靠性，因为它在设计和制造方面具有许多优点。

17)

J P 3675797

