

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-511900

(P2010-511900A)

(43) 公表日 平成22年4月15日(2010.4.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 622C	5C080
	G09G 3/20 622D	
	G09G 3/20 624B	
審査請求 未請求 予備審査請求 未請求 (全 50 頁) 最終頁に続く		

(21) 出願番号 特願2009-539538 (P2009-539538)
 (86) (22) 出願日 平成19年12月3日 (2007.12.3)
 (85) 翻訳文提出日 平成21年7月16日 (2009.7.16)
 (86) 国際出願番号 PCT/US2007/086314
 (87) 国際公開番号 W02008/070637
 (87) 国際公開日 平成20年6月12日 (2008.6.12)
 (31) 優先権主張番号 60/868,250
 (32) 優先日 平成18年12月1日 (2006.12.1)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 60/884,155
 (32) 優先日 平成19年1月9日 (2007.1.9)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 60/893,336
 (32) 優先日 平成19年3月6日 (2007.3.6)
 (33) 優先権主張国 米国 (US)

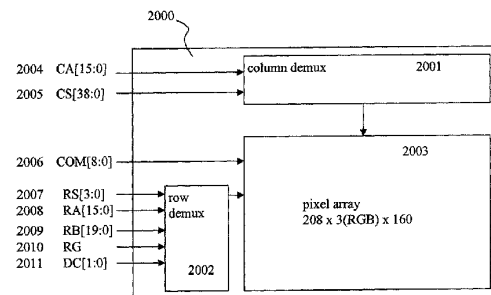
(71) 出願人 509297808
 ストア、エレクトロニック、システムズ
 STORE ELECTRONIC SY
 STEMS
 フランス国アルジャントゥーイユ、リュ、
 ド、モンティニー、39
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橘谷 英俊
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘

最終頁に続く

(54) 【発明の名称】 低消費電力アクティブ・マトリックス・ディスプレイ

(57) 【要約】

本書には、低消費電力液晶ディスプレイ (LCD) におけるストレス回避およびストレス補償のシステムおよび方法が記載されている。典型的な実施形態では、直列の2個以上のトランジスタがLCD画素の電荷を保持するため使用される。トランジスタ上の負ストレスを回避するため、トランジスタは、何れのトランジスタにおいても長い「オフ」時間が経過しないように、「オフ」状態へ交互に駆動される。別の実施形態では、ディスプレイ回路のトランジスタ上のストレスが測定され、制御された負ストレスが測定されたストレスを補償するためにトランジスタに加えられる。



【特許請求の範囲】**【請求項 1】**

複数台の画素回路を備え、各画素回路が液晶ディスプレイ（LCD）の画素に直列接続されている少なくとも2台のトランジスタを備える、ディスプレイ回路を動作させる方法であって、

各フレームロード動作が前記LCDの表示画像を更新するフレームロード動作を実行するステップと、

フレームロード動作間に、各画素回路に対し、対応するLCD画素の電荷を保持するため負電圧を前記画素回路の前記トランジスタの一方に交互に印加するステップと、
を備える方法。

10

【請求項 2】

前記負電圧を、60Hz以上のレートで前記画素回路の前記トランジスタの一方に交互に印加するステップをさらに備える、請求項1記載の方法。

【請求項 3】

フレームロード動作を実行するステップが、各画素回路に対し、

前記トランジスタを介して前記対応するLCD画素に至る導通パスを形成するため、正電圧を前記画素回路の各トランジスタに印加するステップと、

前記対応するLCD画素を充電するため、前記導通パスを介して電荷を前記LCD画素へ送るステップと、
を備える、請求項1記載の方法。

20

【請求項 4】

行および列ドライバと、

前記行および列ドライバに接続され、各画素回路が液晶ディスプレイ（LCD）の画素に直列接続されている少なくとも2台のトランジスタを備える、複数台の画素回路と、
を備える、画素アレイのディスプレイ回路であって、

前記行および列ドライバが、前記LCDの前記画素に至る導通パスを形成するため正電圧を前記画素回路の前記トランジスタに印加し、前記導通パスを介して電荷を前記画素へ送ることにより、フレームを前記LCDにロードするように構成され、フレームロード動作間に、各画素回路に対し、対応するLCD画素の前記電荷を保持するため負電圧を前記画素回路の前記トランジスタの一方に交互に印加する、
画素アレイのディスプレイ回路。

30

【請求項 5】

前記行および列ドライバが、前記負電圧を60Hz以上のレートで前記画素回路の前記トランジスタの一方に印加するように構成されている、請求項4記載のディスプレイ回路。

【請求項 6】

前記行および列ドライバが、200ミリ秒またはより遅いレートで前記LCDの前記フレームを更新するように構成されている、請求項4記載のディスプレイ回路。

【請求項 7】

前記行および列ドライバが、1秒またはより遅いレートで前記LCDの前記フレームを更新するように構成されている、請求項4記載のディスプレイ回路。

40

【請求項 8】

前記トランジスタが水素化アモルファスシリコン薄膜トランジスタ（a-Si:H TFT）を備える、請求項4記載のディスプレイ回路。

【請求項 9】

液晶ディスプレイ（LCD）の画素に接続されている複数台のトランジスタを備えるディスプレイ回路を動作させる方法であって、

各フレームロード動作が前記LCDの表示画像を更新し、前記LCDの前記画素をプログラムするためゲート電圧を前記トランジスタに印加するステップを備えている、フレームロード動作を実行するステップと、

50

フレームロード動作間で、前記ＬＣＤの前記画素上の電荷を実質的に維持している間に前記トランジスタに累積したストレスを補償するため、ゲート電圧を前記ディスプレイ回路の前記トランジスタに印加するステップと、
を備える方法。

【請求項１０】

フレームロード動作間に、前記フレームロード動作中に第１の複数台の前記トランジスタ装置に累積した正ストレスを補償するため、負ストレスを前記第１の複数台の前記トランジスタに印加するステップをさらに備える、請求項９記載の方法。

【請求項１１】

前記第１の複数台の前記トランジスタ装置におけるスレッショルド電圧シフトを周期的に測定するステップと、

前記測定されたスレッショルド電圧シフトに基づいて前記第１の複数台の前記トランジスタに印加される負ストレスの量を調整するステップと、
をさらに備える、請求項１０記載の方法。

【請求項１２】

前記負ストレスの量を調整するステップが、負電圧が前記トランジスタに印加される期間を調整するステップを備える、請求項１１記載の方法。

【請求項１３】

前記負ストレスの量を調整するステップが、前記トランジスタに印加される負電圧の波形を調整するステップを備える、請求項１１記載の方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本開示はセンサ低消費電力アクティブ・マトリックス・ディスプレイに関する。

【背景技術】

【０００２】

低消費電力ディスプレイは大部分のモバイル電子機器の本質的なシステム構成要素である。ディスプレイサブシステムは多くの場合にバッテリー電力の最大の消費部のうちのひとつであると共に、大部分のモバイル電子機器における最も高価な構成要素のうちのひとつでもある。ディスプレイ産業は、装置およびシステムのアーキテクチャ革新を通じてビジュアル性能、電力消費とコストを改善する絶え間ない発展をしている。しかし、技術的に実現可能であり、かつ、経済的に実行可能である電力とコストのさらなる著しい改善を必要とする重要な用途のクラスがある。

【０００３】

モバイル機器と、コンピュータモニターと、フラットパネルＴＶのための有力なディスプレイ技術は、現在のところ、一般的にアクティブ・マトリックスＬＣＤ技術としても知られている水素添加アモルファスシリコン薄膜トランジスタ（ $a-Si:H$ TFT）液晶である。最新製造技術は、１年当たり数千万平方メートルのフラットパネルディスプレイの生産能力を有する高性能の全世界的な生産エンジンを支援する。最も一般的なシステムアーキテクチャは今日では、ガラス外のドライバＩＣによって駆動されるガラスパネル上のＴＦＴ画素の単純なアレイで構成される。ＴＦＴ画素アレイの各行と各列とは、従来型のガラス外のドライバ配置にドライバピンを必要とする。比較的低いディスプレイ解像度の場合でさえ数千個の高電圧ドライバピンが必要である。（たとえば、３７インチ型ＬＣＤＴＶで見られるような）大型ディスプレイモジュールに対して、ディスプレイモジュール全体コストのパーセンテージで示したドライバＩＣのコストは、比較的低い（たとえば、１０％）。しかし、高解像度精細ピッチ画素をより一層必要とする小型ディスプレイに対して、ドライバＩＣのコストはＴＦＴモジュールコストを支配する。

【０００４】

ガラス外のドライバＩＣにおいて従来から取り扱われている機能の一部または全部を置換するため在来のＴＦＴトランジスタを使用して駆動電子部品をフラットパネル基板上に

10

20

30

40

50

集積化することは、フラットパネル産業の長期目標である。ドライバ回路を集積化する一つの重大な障壁は $a-Si:H$ TFT 素子の性能不足である。単ーゲインシリコン CMOS 技術と比較すると、 $a-Si:H$ TFT は、ガラス上のトランジスタの速度と駆動能力とを制限する非常に低い電気移動度を有している。その上、 $a-Si:H$ TFT トランジスタは、大きいスレッショルド電圧シフトとサブスレッショルドスロープ劣化とを経時的に蓄積することができ、かつ、トランジスタのオン/オフのデューティサイクルとバイアス電圧とに厳密な制約を課すことにより、製品寿命要件だけを満たすことができる。“Electrical Instability of Hydrogenated Amorphous Silicon Thin-Film Transistors for Active-Matrix Liquid-Crystal Displays” と “Effect of Temperature and Illumination on the Instability of $a-Si:H$ Thin-Film Transistors under AC Gate Bias Stress” は、 $a-Si:H$ TFT において見られるゲートバイアスストレスによって誘起されたスレッショルドシフトとサブスレッショルドスロープ劣化についての優れた概要を与える。

10

【0005】

集積 $a-Si$ ドライバのスキームは、正と負のゲート電圧が TFT 素子に印加されるときに見られるバイアスストレスに起因するスレッショルドシフトを取り扱う必要がある。正と負のストレス累積プロセスは根本的に異なる素子物理現象に起因するので、これらのストレス累積プロセスは非常に異なる累積レートとゲート駆動波形への感度とを有している。典型的なフラットパネルリフレッシュ回路において見られる駆動波形の範囲内で1次まで、正ストレスはゲート波形の周波数内容に強く依存することがなく、ゲートに加わる積分された「オン」時間の関数として比較的急速に累積する。正ストレスが増加するにつれて、TFT 素子の電圧スレッショルドは典型的に増加される。TFT 回路は、典型的に、スレッショルドシフトが適切な機能のために大きくなり過ぎる限界である最大許容正ストレスを有している。

20

【0006】

逆に、負ストレスは、非常に周波数依存性があり、すなわち、高い方の周波数でゆっくり累積し、典型的に、負スレッショルドシフトとサブスレッショルドスロープ劣化の両方として現れる。かなりの負ストレスを累積するため、典型的な $a-Si:H$ TFT のゲートは、負ゲート電圧の連続した広がり（たとえば、典型的な $a-Si:H$ TFT 素子に対して 20ms 以上）を必要とする。従来式の走査型 TFT フラットパネルディスプレイにおいて、ゲート電圧は、非常に短時間（たとえば、1ライン時間、すなわち、16.600ms フレーム毎に約 15 μ s、約 0.1% デューティサイクル）に限り正であり、フレーム周期の残り部分（たとえば、16.585ms、すなわち、フレーム周期の約 99.9%）に対して負である。このような従来型の $a-Si$ パネルに対する正ゲート電圧レベルと負ゲート電圧レベルは、典型的に、長い動作寿命（たとえば、70 で 10 万時間より大）を達成するために正ストレス効果と負ストレス効果をバランスさせるように選ばれる。単独で選ばれた各ストレス成分（正と負）は、典型的に非常に短い動作寿命（たとえば、1 万時間と同程度）という結果になり、正ストレスと負ストレスの微調整されたバランスだけが所望の動作寿命を達成する。 $a-Si:H$ TFT 技術のための集積化された列ドライバおよび行ドライバを開発することは、その結果、すべての内部信号のデューティサイクル、電圧、および、周波数内容によるストレス影響を個別に考慮しなければならないので、非常に問題を含んでいる。結果として、低いデューティサイクルおよび大きなスレッショルドシフト余裕を有する最も単純な論理構造（たとえば、シフトレジスタ）だけが $a-Si$ において実施されている。

30

40

【0007】

$a-Si:H$ TFT に対する別の集積化制約は、より複雑な論理機能およびより高い集積化のため必要である従来の $a-Si$ プロセスにおける相補型素子（たとえば、P タイプ FET）の欠如である。

【0008】

これらの制限にもかかわらず、ある程度の成果を伴って $a-Si$ 技術を使用して集積ド

50

ライバが製作されている。“Reliable Integrated a-Si Select Line Driver for 2.2-in. QVGA TFT-LCD”は、集積化された選択（行）ラインドライバを備え、機能的であるが、報告されている寿命が15Vのスレッシュホールドシフトを伴って僅かに2万時間（約2.3年間）であるディスプレイについて記載し、システム電力およびドライバIC電圧レンジを著しく増加させる実質的な設計電圧余裕（すなわち、15V）が必要とされることを示唆している。“High-Resolution Integrated a-Si Row Driver Circuits”、“Reliable Integrated a-Si Select Line Driver for 2.2-in. QVGA TFT-LCD”、および、“Design of integrated Drivers with Amorphous Silicon TFTs for Small Displays. Basic Concepts”に報告されているさらなる研究は、高電圧および低デューティサイクルでの集積化されたa-Si TFT行走回路に関するある程度の進展を示唆しているが、妥当な装置寿命を有するa-Siにおける行ドライバと列ドライバの両方の実質的な集積化はこれまでに達成されていない。本明細書に記載されているディスプレイ駆動技術および回路は、ガラス上のTFT素子を使用するドライバ機能のより高い集積化の要求に対処すると共に、バイアスストレスの悪影響を実質的に軽減する。

10

20

30

40

50

【0009】

a-Si素子の制限を解決するため、低温ポリシリコン（LTPS）処理が、ドライバIC機能をフラットパネル基板上にうまく集積化できるストレス条件下でトランジスタにより高い移動度とより優れた安定性を与えるために開発された。しかし、付加的な処理ステップ（たとえば、レーザ急速熱アニーリング）、高価な設備（たとえば、より精細なリソグラフィのため）、および、増加したマスク総数（a-Si:H TFTプロセスのマスク総数のおよそ2倍）は、LTPS基板のコストをa-Si:H TFT基板より著しく上昇させる。したがって、LTPS基板の使用は、一般に、高コスト化が集積化節約および機能上の利点（たとえば、輝度の増大、形状係数の低下、ドットピッチの拡大）によって超えられている高解像度小型スクリーン用途に限り経済的であると考えられている。

【0010】

LTPSおよびドライバ集積化のような改良型装置であっても、LCDの電力消費は、常時アクティブ表示を必要とする重要な用途のクラスに対して高すぎることがよくある。このクラスのディスプレイは、装置生成照明（たとえば、背面光または側面光）を使う動作が多くの場合に製品要件であるにもかかわらず、省電力のため主として反射モードで使用される。携帯電話機の補助ディスプレイまたは外側ディスプレイ、一般公共看板、多数の消費者装置（たとえば、MP3プレーヤー、アラームクロックなど）、電子ブック、小売業向け電子棚ラベルなどのような多数の用途は、多くの場合に、比較的静的な情報を提示するが、装置が使用されている時間の大部分に亘って可視状態のままであるディスプレイを必要とする。第一の有用性が情報（たとえば、モバイル電子メール、電子ブック、マーケティングメッセージ）の表示に基づいている装置に対して、このような有用性は、再充電間でより長いアクティブ表示時間を可能にするディスプレイ技術によって高められる。本明細書中に記載されているディスプレイもまたこのような用途を対象にしている。

【発明の概要】

【0011】

TFTフラットパネルのため必要とされる駆動ピンの本数を減少させるためある程度の行駆動機能をディスプレイ基板に集積化するTFTフラットパネルシステムが開示されている。

【0012】

TFTフラットパネルのため必要とされる駆動ピンの本数を減少させるためある程度の列駆動機能をディスプレイ基板に集積化するTFTフラットパネルシステムが開示されている。

【0013】

a-Si TFTと一体で実施されるときに長期信頼性を実現する集積ドライバフラットパネルディスプレイシステムがさらに開示されている。

【0014】

ドライバＴＦＴ素子上でデータ非依存バイアスストレスを実現する集積ドライバフラットパネルディスプレイシステムがさらに開示されている。

【００１５】

超低電圧バイアスを維持する間に高電圧信号をデマルチプレクス化する集積ドライバフラットパネルディスプレイシステムが開示されている。

【００１６】

デマルチプレクサ状態を持続するため容量性メモリ素子を組み込む集積シングルレベルＴＦＴデマルチプレクサが開示されている。

【００１７】

デマルチプレクサ状態を持続するために容量性メモリ素子を組み込む集積マルチレベルＴＦＴデマルチプレクサが開示されている。

10

【００１８】

プログラミングフェーズと運転フェーズとを備える集積ＴＦＴデマルチプレクサが開示されている。

【００１９】

ＴＦＴ素子の複数のクラスのストレス条件を監視するディスプレイシステムがさらに開示されている。

【００２０】

駆動波形の時間変調によって負ストレス変調を発生するディスプレイシステムがさらに開示されている。

20

【００２１】

駆動波形の振幅変調によって負ストレス変調を発生するディスプレイシステムがさらに開示されている。

【００２２】

駆動波形の時間変調と振幅変調の両方によって負ストレス変調を発生するディスプレイシステムがさらに開示されている。

【００２３】

負ストレス変調システムを使ったＴＦＴ正ストレス補償方法がさらに開示されている。

【００２４】

フラットパネル上の消費電力を最小限に抑えるディスプレイリフレッシュ方法がさらに開示されている。

30

【００２５】

本教示のさらなる目的、態様、および、利点は、添付図面および特許請求の範囲を参照して以下の説明を読むことにより容易に理解されるであろう。

【図面の簡単な説明】

【００２６】

【図１】代表的な反射型ＴＦＴ　ＬＣＤ構造を示す図である。

【図２】ＴＦＴ　ＬＣＤ電気システムの代表的なブロック図である。

【図３】ＴＦＴ基板の代表的な回路図である。

【図４】単一ＴＦＴ画素の代表的な等価回路である。

40

【図５】代表的な信号タイミング波形図である。

【図６】代表的なパルス発生システムの図である。

【図７】図６のパルス発生システムと関連した代表的な波形の組の図である。

【図８】単一画素の代表的な等価回路図である。

【図９】単一画素の代表的な回路レイアウト図である。

【図１０】代表的なフラットパネル等価回路図である。

【図１１】代表的なストレス監視回路図である。

【図１２】 $a - Si : H$ 　ＴＦＴ上の正ゲートバイアスストレスと負ゲートバイアスストレスの代表的な周波数応答の変動を示す図である。

【図１３】代表的な反射型ＴＦＴ　ＬＣＤ構造を示す図である。

50

- 【図 1 4】T F T L C D 電気システムの代表的なブロック図である。
- 【図 1 5】7 2 0 × 1 2 0 画素を含む T F T 基板の代表的な電気接続図である。
- 【図 1 6】列走査動作の代表的な信号タイミング波形図である。
- 【図 1 7】単一 T F T 画素と集積化された行ドライバおよび列ドライバからの関連した素子との代表的な等価回路図である。
- 【図 1 8】行ロード動作の代表的な信号タイミング波形図である。
- 【図 1 9 a】行デマルチプレクスサブ回路の代表的な概略図である。
- 【図 1 9 b】図 1 9 a の行デマルチプレクスサブ回路の代表的なタイミング図である。
- 【図 1 9 c】2 レベル行デマルチプレクスサブ回路の代表的な概略図である。
- 【図 2 0】代表的な画素回路レイアウト図である。 10
- 【図 2 1】R M S 画素電圧が印加された反射型ディスプレイの代表的な反射率の変動を示す図である。
- 【図 2 2】3 0 7 2 × 7 6 8 画素を含む T F T 基板の代表的な電気接続図と、関連した駆動波形図である。
- 【図 2 3】ディスプレイ付きの代表的な電子棚ラベルを示す図である。
- 【図 2 4】ディスプレイ付きの代表的な電子ショッピングカートハンドルバーを示す図である。
- 【図 2 5】ディスプレイ付きの代表的な携帯電話機を示す図である。
- 【図 2 6】ディスプレイ付きの代表的な携帯型音楽プレーヤーを示す図である。
- 【図 2 7】ディスプレイ付きの代表的なフラットパネル T V、モニタまたはデジタル標識を示す図である。 20
- 【図 2 8】ディスプレイ付きの代表的なノートブックコンピュータ又は携帯型 D V D プレーヤーを示す図である。
- 【図 2 9】2 0 8 × R G B × 1 6 0 型ディスプレイのカラー T F T 電気システムの代表的なブロック図である。
- 【図 3 0】代表的な T F T 画素回路図である。
- 【図 3 1】代表的な T F T 画素回路レイアウト図である。
- 【図 3 2】2 0 8 × R G B × 1 6 0 型ディスプレイの代表的な T F T ディスプレイ回路図である。
- 【図 3 3】T F T ディスプレイの代表的な動作フローチャートである。 30
- 【図 3 4】1 個の T F T ディスプレイ画素と関連した行および列のデマルチプレクス化回路との代表的な略回路図である。
- 【図 3 5】T F T ディスプレイ列デマルチプレクス化回路と列書き込み動作中の関連した波形とを示す図である。
- 【図 3 6】行書き込み動作中の T F T 行デマルチプレクス化回路の電気駆動波形図である。
- 【図 3 7】行交換動作中の T F T 行デマルチプレクス化回路の電気駆動波形図である。
- 【0 0 2 7】
以下のとおりに与えられた意味をもつことが意図されている以下の略語は、以下の説明で利用されている。 40
- 【0 0 2 8】
a - S i . . . アモルファスシリコン
- 【0 0 2 9】
A C . . . 交流
- 【0 0 3 0】
A C F . . . 異方性導電膜
- 【0 0 3 1】
A D C . . . アナログ・デジタル変換器
- 【0 0 3 2】
C M O S . . . 相補型 M O S (P タイプ F E T と N タイプ F E T の両方が利用可能であ 50

る)

【 0 0 3 3 】

C O B . . . チップオンボード

【 0 0 3 4 】

C O F . . . チップオンフィルムまたはフレックス

【 0 0 3 5 】

C O G . . . チップオンガラス

【 0 0 3 6 】

D C . . . 直流

【 0 0 3 7 】

E C B . . . 電気制御複屈折

【 0 0 3 8 】

E S L . . . 電子棚ラベル

【 0 0 3 9 】

F E T . . . 電界効果トランジスタ

【 0 0 4 0 】

H T N . . . ハイパーツイストネマティック

【 0 0 4 1 】

I C . . . 集積回路

【 0 0 4 2 】

L C D . . . 液晶ディスプレイ

【 0 0 4 3 】

L T P S . . . 低温ポリシリコン

【 0 0 4 4 】

M O S . . . 金属酸化物半導体

【 0 0 4 5 】

M T N . . . 混合モードツイストネマティック

【 0 0 4 6 】

N M O S . . . NチャンネルMOS

【 0 0 4 7 】

O C B . . . 光学的補償バンド

【 0 0 4 8 】

P D L C . . . ポリマー分散液晶

【 0 0 4 9 】

R G B . . . 赤、緑、青

【 0 0 5 0 】

R T N . . . 反射型ツイストネマティック

【 0 0 5 1 】

S T N . . . スーパーツイストネマティック

【 0 0 5 2 】

T F T . . . 薄膜トランジスタ

【 0 0 5 3 】

V_{G S} . . . ゲート・ソース電圧

【 発明を実施するための形態 】

【 0 0 5 4 】

後述されている付加的な特徴および教示のそれぞれは、改良されたワイヤレスセンシングシステムおよびワイヤレスセンシングシステムを設計し使用する方法を提供するため、別々に、または、その他の特徴および教示と組み合わせて利用されることがある。これらの付加的な特徴および教示の多くを別々に利用し、および、組み合わせて利用する代表的な実施例は、添付図面を参照してさらに詳細に説明される。この詳細な説明は、本教示の

10

20

30

40

50

好ましい態様を実施するさらなる詳細を当業者に教示することだけが意図され、特許請求の範囲を限定することは意図されていない。したがって、以下の詳細な説明に開示されている特徴およびステップの組み合わせは、最も広義に本明細書で説明されている概念を実施するために必要ではないことがあり、むしろ、本教示の代表的な実施例を特に説明するためだけに教示されている。

【0055】

その上、説明中に開示されているすべての特徴は、当初の開示の目的のため、ならびに、実施形態および/または特許請求の範囲における特徴の構成と無関係に主題を限定する目的のため、互いに別々かつ独立に開示されることが意図されていることに特に留意されたい。エンティティのグループのすべての値範囲または指標は、当初の開示の目的のため、ならびに、請求項に記載された主題を限定する目的のため、できる限りの中間値または中間エンティティを開示することにもまた特に留意されたい。

【0056】

図1は、反射型単偏光板TFTLCDフラットパネルディスプレイ100の略断面図を示している。制御回路102は基板101上に製造される。制御回路102は、好ましくは、a-Siプロセスで実施されることがあるが、代わりに、LTPS処理または薄膜スイッチ能力を有するバックプレーン技術を使用して実施される可能性がある。基板101は、ガラスでも、プラスチックでも、クォーツでも、金属でも、スイッチング素子の製造を支援する能力がある他の基板でもよい。電極103は、リソグラフィックプロセスおよび/または化学プロセスによって形成されることがあり、周囲光を拡散反射するためテクスチャ化されることがある。液晶ディスプレイ材料104はトッププレートとボトムプレートとの間に着座する。カラーフィルタ105およびトッププレート透明導体111は上基板106に堆積される。位相差フィルムまたは1/4波長板107は上側基板106の最上部に置かれることがある。拡散偏光板108はLCD積層100を完成する。典型的な動作では、入射光109は、反射像110を作るためLCD積層100によって偏光され、濾波され、拡散反射される。

【0057】

図1に示された構造以外の代替的なアクティブ・ディスプレイ構造、たとえば、二重偏光板反射型、透過型、半透過型、背面照射型、側面照射型、ゲストホスト型、電気制御屈折型、RTN、PDLC、電気泳動、および、その他の代替的な液晶、および/または、アクティブ・バックプレーンを必要とするその他のディスプレイ技術は、本教示から恩恵を受ける。本教示を組み込む反射型LCDについての本明細書中の特定の説明は、代替的なディスプレイ材料およびディスプレイ技術への本教示の用途において本教示の範囲を限定しない。

【0058】

図2はフラットパネルディスプレイの電気駆動システム200のブロック図を示している。TFT基板101は、TFT画素アレイ102と集積列ドライバ203と集積行ドライバ202とを組み込む。オフ基板ドライバIC201は、制御信号をTFT画素アレイ102と集積行ドライバ202と集積列ドライバ203とに供給する。スレッシュOLD監視センサおよび/または電力変換回路のようなオプション回路204もまた基板101上にTFT技術で集積化されることがある。

【0059】

図3は、240×80個のRGBストライプ画素を備える一例のディスプレイの集積列ドライバ203と集積行ドライバ202とTFT画素アレイ102304との電気接続図を示している。当業者は本教示を多数の代替的な画素分解能および制御バス幅に直接的に適用可能であり、240×80の選択は、単に説明のためのものであり、請求項の範囲を特定の分解能または信号バス幅に限定するものではない。

【0060】

図3において、ピンP[23:0]300は、駆動されるLCD制御電圧をアレイ304に供給する。列デマルチプレクス化TFTは、列選択信号C[29:0]301によっ

10

20

30

40

50

て制御される。選択信号 $C[29:0]301$ を順々に印加することにより、 $P[23:0]300$ 上の電圧の時間系列は、列蓄積キャパシタ $C_{COL}307$ のそれぞれに蓄積されることがある。TFT画素アレイ102の各列は、8画素ずつの10個のバンク305と列蓄積キャパシタ $C_{COL}307$ とにより構成される。各バンク305は8個の画素306を収容し、10個のバンク選択信号 $B[9:0]302$ によって選択される。各バンク内で、所与の画素の行が行選択信号 $R[7:0]303$ を使用して選択されることがある。各画素306は、LCD画素電圧を制御し、画素のTFT上のバイアスストレスを防止する回路を格納している。

【0061】

図4は、TFT基板101の入力/出力接続点からの単一の画素の導電パスおよび制御パスを示している。画素ソース電圧 $P[i]400$ は、列選択ゲート信号 $C[j]401$ がハイ状態にパルス化されるとき、 $M1408$ を介して一時的なホールドキャパシタンス $C_{COL}412$ に接続される。バンク選択信号 $B[k]402$ は、列蓄積キャパシタ $C_{COL}307$ をバンク蓄積キャパシタ $C_{BANK}413$ に接続するため $M2409$ のゲートを駆動する。行イネーブル信号 $R_{EN}403$ および行選択信号 $R[m]404$ は、バンクキャパシタ $C_{BANK}413$ をLCD画素制御ノード V_{pixel} に接続するTFT $M3410$ および $M4411$ を制御する。LCDは、バックプレートがLCD106の対向する基板上にあり、 $V_{COM}407$ で保持されている単純なキャパシタ $C_{LC}414$ としてモデル化されている。任意的なホールドキャパシタンス $C_{CELL}415$ は、場合によっては、電圧ドライバシング要件を低下させるため駆動キャパシタンスバックプレート電圧 $V_{CELL}405$ を有することがある。付加的または代替的に、 C_{CELL} ホールドキャパシタンス415は、アレイ内の駆動ゲートラインのうちの1つであるバックプレート電圧を有することがある。これらのTFTおよびキャパシタの動作は後述されている。

【0062】

図5は、本教示の好ましい実施形態におけるフラットパネル制御信号の4個のタイミング図を示している。各タイミング図は異なる時間スケールを表し、上から下へタイムスケールは徐々に長くなる(すなわち、ズームアウトしている)。一番上のタイミング波形501502の組は、列蓄積キャパシタ $C_{COL}307$ 412のアレイに所望の電圧の組を蓄積する列ロード動作520を示している。画素ソース電圧 $P[23:0]300$ 400は、(必ずしも等しくなくてもよいが)画素の組の所望の最終電圧状態または画素アレイで必要とされる動作に依存するプリチャージ電圧 V_{CP} を表現する画素レベルバイポーラ電圧500で駆動される。タイミング信号グループ501は、列蓄積キャパシタ $C_{COL}307$ 412の状態を既知のプリチャージ電圧 V_{CP} にリセットするため全ての列走査シーケンス502の前に実行される。一実施形態では、列プリチャージ電圧は $V_{COM}407$ 電圧と同じである。別の実施形態では、電圧 V_{CP} は画素反転法(たとえば、フレーム、ライン、バンク、列、サブブロック、または、ドット反転)の状態に依存する。プリチャージ電圧 V_{CP} は、個別のLCD画素制御ノード V_{pixel} で所与の振幅変動をもたらすため基板の $P[i]$ ピン400で必要とされるスイングを最小限に抑えるように選択されることがある。その後の動作(たとえば、 $C_{COL}412$ から $C_{BANK}413$ への電荷の転送)における電荷共有に起因して、電圧スイング振幅は、他にも影響はあるが、システム内の共有キャパシタンス、初期電圧条件、ゲート・ドレイン間キャパシタンス、ゲート電圧スイング、電荷分割、および、付加的な寄生容量の比によって変更されるであろう。その結果、駆動ソース電圧 $P[i]300$ 400 500は、図4のTFT回路において予想される電圧変更を補償するため、優先的に予め歪められるので、画素ノード電圧 V_{pixel} は所望のレベルに達する。

【0063】

列走査タイミンググループ502の間に、 $C[j]$ ライン401503は順次にパルス化され、 $P[j]$ ピン400500での電圧を列蓄積キャパシタ $C_{COL}412$ 307へ標本化する。列プリチャージ動作501および列走査動作502の終わりに、各列

蓄積キャパシタ $C_{COL} 307 \quad 412$ は独立した所望の電圧にプログラムされている。

【0064】

図5に示されているタイミング信号504の2番目のグループは、上述されているように10回の列ロード動作を含み、バンクキャパシタ $C_{BANK} 413$ に電荷を蓄えるため動作する。このようなバンクロード動作504のために必要とされる列ロード動作の正確な回数はディスプレイ解像度と、列、バンク、画素および行の区分に関する設計者選択とによって定められ、本教示は、特定の回数の列ロード動作に限定されることがなく、列マルチプレクス化選択ゲート $C[29:0] 401$ 上の走査パルスの正確な回数および/またはシーケンスに限定されることがない。各列ロード動作501 502の後、バンク選択信号505は、プログラムされた V_{COL} キャパシタ307 412を V_{BANK} キャパシタ413と電荷共有させ、所望の画素により接近した所望の画素情報を転送させる。

10

【0065】

図5におけるタイミング信号506の3番目のグループは、フレーム内の全画素電圧 V_{pixel} を更新する完全なフレームロード動作を示している。フレームロード動作506は、一連の8回のバンクロード動作504により構成される。フレームロード動作506の左から始めて、第1の動作は、優先的に行ライン $R[m] 303 \quad 404$ の全部または一部が行選択 $TFT 411$ における負スレッショルドシフトの累積を妨げるために正電圧までパルス化される、行ゲート負ストレス阻止動作509である。負ゲート電圧期間を分割することにより、負スレッショルド電圧シフトの累積は低減され、制御が可能である。3番目のグループ506における第2の動作510は、列選択ゲート $C[29:0] 401$ と、バンク選択ゲート $B[9:0] 402$ と、行イネーブル信号 $R_{EN} 403$ と、プログラムされた次の $R[m]$ であるディスプレイ行信号404とをイネーブル状態にする合成されたバンクおよび第1行のプリチャージ動作である。ソース電圧ピン $P[23:0]$ は、一実施形態では、 V_{COM} 電圧と同じであるバンクプリチャージ電圧 V_{BP} で駆動される。別の実施形態では、電圧 V_{BP} は画素反転法（たとえば、フレーム、ライン、バンク、列、サブブロックまたはドット反転）の状態に依存する。バンクホールドキャパシタ C_{BANK} 電圧を既知の値にプリチャージすることにより、事前のサンプルフィードスルーは抑制され、画素に所与の変化をもたらすために $P[23:0]$ で必要とされる電圧スイングは最小限に抑えられる。電荷共有、浮遊容量、ゲート・ドレイン間カップリング、初期条件、DCバランスなどを受け入れるための $P[23:0]$ 電圧のプリディストーションは、ドライバIC201によって優先的に適用されることがある。フレームロード動作506内の第3の動作は上述のようにバンクロード動作504である。バンクロード動作は、バンクプリチャージ動作が常に先行するので、 $P[23:0] 400$ で必要とされる電圧レンジは最小限に抑えられる。フレームロード506の第4の動作511は、バンクロード動作504の後に起こり、509に類似した行 TFT のための負ストレス阻止動作511である。第5の動作512は、選択された画素キャパシタンス414 415の行を対応するバンクキャパシタンス413と同時に電荷共有させる所望の行ゲート信号 $R[m] 404$ および $R_{EN} 403$ をパルス化することにより、蓄積された電圧のバンクを所望の画素の行へ最終的に転送する。 $C_{COL} 412$ 、 $C_{BANK} 413$ および $C_{CELL} 415$ の適切な選択によって、電荷共有振幅縮小は、ソース電圧ピン $P[23:0]$ から画素制御ノード V_{pixel} への合理的な転送割合を達成するためソース駆動電圧レンジに対してバランスされることがある。フレームロード動作506の第6の動作513は、本実施例では異なる行 ($R[1]$) をプリチャージする点を除いて510に類似したバンクおよび行プリチャージ動作である。後続のバンクロード動作504は、 TFT のための画素マトリックスのすべての行に連続的に電荷を蓄えるため使用され、最終的な行転送動作515で終わる。

20

30

40

【0066】

図5に示されている最後のタイミンググループは、負ストレス制御動作516、任意的な列選択ゲート監視動作518、および任意的なバンク選択ゲート監視動作519が後に

50

続くフレームロード動作 5 0 6 の系列により構成されている。フレームロード動作はフレームリフレッシュ期間 5 1 7 毎に繰り返される。

【 0 0 6 7 】

列選択ゲート C [2 9 : 0] 3 0 1 4 0 1 上の正ストレスは、列ロード動作 5 2 0 の間に列選択ゲート 3 0 1 4 0 1 のより大きい正デューティサイクルのため、バンク選択ライン B [9 : 0] 3 0 2 4 0 2 上の正ストレスよりはるかに大きい。その結果、負ストレス制御動作 5 1 6 の間に、列ゲート 3 0 1 4 0 1 は、累積した動作中の正ストレスを補償するため負ストレスを許容するように他のゲートより長い時間に亘って負電圧に保持される必要がある。負ストレス制御動作 5 1 6 は、負ストレス応答が負ストレスの持続期間に関して非線形であるということに依存している。フレームロード動作とフレームロード動作との間に非動作の（すなわち、表示リフレッシュではない）時間変調信号を印加することにより、負ストレスが、動作中のフレームロード動作の間に正ストレスの累積を相殺するため測定された量で意図的かつ積極的に印加されることがある。

10

【 0 0 6 8 】

同様に、バンク選択ライン B [9 : 0] 3 0 2 4 0 2 上の正ストレスは、バンク選択信号の比較的高い正デューティサイクルのため、行選択ライン R [7 : 0] 3 0 3 4 0 4 上の正ストレスよりはるかに大きい。負ストレス制御動作 5 1 6 の間に、バンク選択ゲート 3 0 2 4 0 2 は、列選択ゲート 3 0 1 4 0 1 より短い間隔に亘って、しかし、行選択ゲート 3 0 3 4 0 4 より長い間隔に亘って負電圧に保持される。

20

【 0 0 6 9 】

最後に、行選択ゲートおよび行イネーブルゲート（ R [7 : 0] 3 0 3 4 0 4 および R_{EN} ）はすべての T F T の最も低い正デューティサイクルを生じさせる。省電力化するためフレームレートを低下させることにより、フレームロード動作とフレームロード動作との間に行選択トランジスタ 4 1 0 4 1 1 に累積した負ストレスはフレームロードの間に累積した正ストレスより大きい場合がある。負ストレスを正ストレスとバランスさせるため、非機能的な（すなわち、走査またはロードしない）正パルスが、負スレッショルドシフトを削減するために負ストレス期間を分割するように、行選択ゲート信号および行イネーブルゲート信号に優先的に付加される。

【 0 0 7 0 】

パルス持続期間と、負ストレス期間と、ゲート正および負電圧とを適切に調整することにより、正および負ストレスを、本教示によって説明されている列および行駆動システムを支援するために必要とされるすべてのゲート駆動タイプ（列選択、バンク選択、行イネーブルおよび行選択）の全体を通してバランスさせることが可能である。

30

【 0 0 7 1 】

2 4 0 × 8 0 型 R G B ディスプレイの特定の実施形態を使用して説明されているが、本教示は、非対称性の正および負のストレス累積メカニズムと、時間的に非線形である少なくとも 1 つのストレスメカニズムとを伴う T F T またはスイッチング素子を有するデマルチプレクスベースのディスプレイシステムに一般に適用が可能である。フレーム期間を 2 つのセクションに、すなわち、フレームロード動作とストレス制御動作とに分割することにより、累積したストレスを、ディスプレイを動作させるために使用される様々なタイプのデマルチプレクス化ゲート信号の全部に対してバランスさせることが可能である。

40

【 0 0 7 2 】

付加的または代替的に、ディスプレイ駆動波形のフレーム期間 5 1 7 は、多少の負ストレス累積を支援するため変更され、正 / 負ストレスバランスのさらなる調整を可能にする。

【 0 0 7 3 】

5 1 6 のストレス制御波形は、既知の駆動波形および既知の T F T ストレス非線形性を補償するため予め決めることができる。フィードバックに頼ることなく、このようなシステムは、フィードフォワード補償システムとして当技術分野において知られている。

【 0 0 7 4 】

50

付加的または代替的な実施形態では、ディスプレイコントローラ IC 201 は、図 5 に示されているように、1 つ以上の付加的なストレス監視ステップ（たとえば、518 および 519）を 1 つ以上のフレーム期間 517 に挿入することが可能である。ストレス監視 518 の一実施形態では、AC 信号が P [23 : 0] 300 400 画素ソース信号に印加される。列選択ゲートライン C [29 : 0] 301 401 は、システム内のその他の選択ゲートが負オフ状態に保持されている間に、正電圧に保持される。V_{COL} キャパシタンス 307 412 を通る V_B 信号 406 までの AC インピーダンスは、当技術分野において知られているように減衰時間または多点周波数応答法を使用してディスプレイコントローラ IC 201 によって測定が可能である。V_{COL} キャパシタンス 307 412 は、ディスプレイの寿命に亘って比較的安定であるので、列選択 TFT トランジスタ 408 のオン抵抗は測定された AC インピーダンスから直接的に計算が可能である。列選択 TFT 408 におけるスレッシュホールド電圧シフトは、たとえば、TFT スレッシュホールド電圧を直接的に調節するため、この方法と、負フィードバック制御ループを使用して印加された負ストレス低減パルスとによって直接的に監視が可能である。同じように、バンク選択トランジスタは、P [23 : 0] から V_B に至る AC インピーダンスを測定する間に、同様に列選択ゲート C [29 : 0] 301 401 とバンク選択ゲート B [9 : 0] 302 402 の両方を同時に作動することによって監視することが可能である。列選択ライン C [29 : 0] 301 401 とバンク選択ライン B [9 : 0] 302 402 の両方がアクティブであるときと比べると列選択ライン C [29 : 0] 301 401 だけがアクティブであるときの P [23 : 0] から V_B までの差動インピーダンス測定は、バンク選択 TFT 409 のオン抵抗を測定するため使用が可能である。この測定に基づいて、制御ループは、その後に、累積した動作中ストレスを適応的に補正するため、負ストレス制御期間 516 の間に印加された負バイアスパルス幅を変更することが可能である。付加的または代替的に、1 台以上、好ましくは、ゲート駆動波形の各タイプに対し 1 台以上の非動作的なストレス監視装置がフラットパネル上に製造されることがあり、フラットパネルは（たとえば、AC インピーダンス、一定のドレイン・ソース間電流、または、当技術分野において知られているその他のスレッシュホールドもしくはインピーダンス監視技術を使用して）スレッシュホールド電圧シフトのため、その後に直接的に監視することが可能である。

【0075】

付加的または代替的に、a - Si : H TFT 以外の代替的なスイッチング素子に対し、負ストレスは、正ストレス制御期間を必要とする動作期間の間に優勢であることがある。本明細書中に記載されている考え方は、動作中ストレスの極性および対応する制御された補償ストレスの反対極性に特に限定されることがない。

【0076】

付加的または代替的に、ストレス変調技術は、限定されることなく、振幅変調、周波数変調、パルス幅変調、または、これらの組み合わせを含む広範囲の技術を包含することが可能である。付加的または代替的に、ストレス制御期間 516、1 つ以上の任意的なストレス監視期間 518 519、および、フレーム更新期間 506 は、補償ストレスの変調を行うため、または、TFT 素子の非線形ストレス累積特性によって許容される程度までシステム設計者の要求通りに、時間的にインターリーブすることが可能である。

【0077】

ストレス監視法およびストレス変調法の仕様に関する多数の選択の対象が当技術分野における設計者によって利用可能にされ、本明細書に記載されている考え方はこのような設計上の決定によって限定されない。閉ループ系を形成することにより累積した動作中のストレスをバランスさせるためストレス制御期間 516 の間に装置駆動波形を変更することは重要であるが、ストレス極性、ストレス監視構造又は方法の仕様によってもストレス変調法によっても限定されることがない。

【0078】

当業者は、広範囲のディスプレイ解像度、特定の走査波形、デマルチプレクス化回路、ストレス監視装置構成（ダミーまたは動作中のどちらも）、ストレス監視プロセスが、本

教示を実施するため選択可能であることを認識するであろう。

【0079】

図6は、ドライバIC201において実施可能である段階的電荷リサイクルまたは断熱ゲートパルス発生器を示している。段階的電荷リサイクル断熱パルス発生器は当技術分野においてよく知られているが、制御論理および出力スルーレート制限の複雑さに起因して用途が制限されていることがわかった。しかし、本教示を使用するシステムは、出力ゲート駆動波形の低複雑性および自己相似性と緩やかな速度要件とに起因してこのタイプの効率的なパルス発生を利用可能である。図6のゲート波形発生器は、 $N-2$ のときにキャパシタ601に蓄積される2個以上の電圧出力 V_0 から V_{N-1} を生じるDC電圧発生器によって構成されている。スイッチ制御信号 G_0 から G_{N-1} によって制御される一連のスイッチ602は、電圧 V_i を順次にゲート波形ノード V_{RAMP} 603へ接続する。ゲート波形ノード603は、マルチプレクサのバンク604を介して、本明細書に記載されているシステムの所要のゲート波形の1つずつに接続可能である。

10

【0080】

図7は、スイッチ制御信号 G_0 から G_{N-1} の1つずつに対する一連の駆動波形と出力ゲート波形 V_{RAMP} とを示している。停止時に、 G_0 はアクティブ状態であり、 V_{RAMP} ノード603はその最低電圧にとどまる。ゲート制御電圧が1本以上のフラットパネルピンで必要とされるとき、適切なマルチプレクサがマルチプレクサ604を使用して V_{RAMP} に接続される。スイッチ制御信号はその後にブレークビフォアメーク遷移を使って蓄積電圧 V_1 から V_{N-1} の1つずつを V_{RAMP} および選択されたゲート制御ピン（たとえば、 $C[29:0]$ 、 $B[9:0]$ 、 $R[7:0]$ および/または R_{EN} ）へ連続的に接続するため順次に作動される（ G_1 から G_{N-1} ）。最終電圧 V_{N-1} より低い電圧を使用して出力を順次に充電することにより、DC電圧発生器600の入力から見たときのシステム効率は、従来型の回路より改善される可能性がある。ゲート制御ノードをその最低電位へ戻すため、スイッチ制御信号 G_{N-1} から G_0 は、ノード V_{RAMP} 603が電荷の大半をリサイクルする蓄積キャパシタ601の1つずつに連続的に接続されるように順次にパルス化される。 V_{RAMP} ノード603および接続された出力ゲート信号（たとえば、 $C[29:0]$ 、 $B[9:0]$ 、 $R[7:0]$ および/または R_{EN} ）を蓄積電圧 V_{N-1} から V_0 の1つずつに接続することにより、 V_{RAMP} に現れる寄生容量に含まれる電荷は、蓄積キャパシタンス601でリサイクルされることがあり、効率を改善する。当業者は、本明細書に記載されている特定の断熱パルス発生器の代わりに使える多数の回路トポロジが存在すること、および、本明細書中に記載されている考え方がパルス発生器のタイプまたはトポロジに特に限定されないことを認識するであろう。本教示の主要な要素は、多重化構造604を備える断熱または効率的なパルス発生器が、パルス状ゲート制御波形（たとえば、 $C[29:0]$ 、 $B[9:0]$ 、 $R[7:0]$ および R_{EN} ）の自己相似性および無重複性に起因して、本明細書中に記載されているようなディスプレイアーキテクチャと効果的に組み合わせられ得ることである。

20

30

【0081】

図8から図10は本教示の代替的な実施形態を示している。図8は図9における $a-Si:H$ TFT回路レイアウトに対応する画素等価回路828を示している。図9は、大きい画素のアレイを形成するために水平および垂直にタイル化することが可能である標準的な2金属 $a-Si:H$ TFT LCD技術において本教示の一例の画素レイアウトを示している。当業者は本明細書中に記載されている考え方が異なる設計ルールおよび層を備える他のTFTプロセスに適用されること、図9に提示されたプロセスの選択が単に説明のためのものであり、本教示に限定するものではないことを認識するであろう。さらに、図9のレイアウトは、回路の電氣的挙動を実質的に変更せず、本教示の範囲に含まれると考えられる多数の置換、転置、再方向付け、反転、回転、および、これらの組み合わせを有している。本教示に基づいて、クロストークを最小限に抑え、画質を改善し、蓄積キャパシタンスを調整し、電力を削減し、安定性を改善し、製造容易性を改善し、特定のTFTプロセスおよび用途の要件に基づいて装置の性能を変更する等価回路828の有利なレイ

40

50

アウト構成が当業者に明白になり、本明細書中に記載されている考え方の範囲に含まれるとみなされる。

【0082】

図8および図9における画素回路828は、5台のTFT素子、すなわち、部分バンク選択トランジスタM2 802 902と、一連の行ゲートTFT:M4 804 904、M5 805 905、M6 806 906、および、M7 807 907とを備える。本実施例におけるバンク選択トランジスタM2 802 902は多数の画素セルにおいて複製され、各画素セルはバンク選択トランジスタ全体の一部分を収容している。このような並列装置は、多くの場合に、レイアウトをより規則的にするため当技術分野において採用されることがあり、このような変更もまた本教示の範囲に含まれる。バンク選択TFTは、垂直方向に通る列ライン、列920から、別の垂直方向に通るバンク蓄積ライン、バンク921を介して、画素蓄積キャパシタC_{ST} 825 925へ所望の画素電圧値を転送するため順次に作動される。C_{COL} 818 918からC_{BANK} 819 919への転送は、ラインB[k] 816 916を駆動することによりM2 802 902のゲートをパルス化することにより行われる。コモンホールドキャパシタ接地HC 817 917は、一例の画素のそれぞれにおいて3個の蓄積キャパシタ、すなわち、C_{COL} 818 918と、C_{BANK} 819 919と、C_{ST} 825 925とに取り付けられている。画素蓄積キャパシタC_{ST} 825 925は、好ましくは、接点911を介して、液晶キャパシタンスC_{LC} 826のボトムプレートである反射電極910 103に取り付けられている。対向電極111はC_{LC} 826のもう一方のプレートを形成し、コモン画素電圧V_{COM} 827に取り付けられている。V_{PIXEL} 824 924とV_{COM} 827との間の電圧のRMS差は液晶104の光学状態を決定する。一実施形態では、V_{COM} 827ノードは、TFT素子の所要の電圧レンジを縮小するため、および/または、電力を削減するため連続的に変調される。

10

20

30

【0083】

4台の行転送TFT M4 804 904、M5 805 905、M6 806 906、および、M7 807 907は、4個の独立した行ゲート信号R0[m] 830 930、R1[m] 831 931、R2[m] 832 932、および、R3[m] 833 933によってそれぞれゲート制御される。4個のゲートの選択は単に説明のためであり、実際には行転送TFTの台数は、TFTプロセスパラメータと、ディスプレイのサイズおよび解像度と、所望のフレームレートと、許容可能なフリッカと、その他の性能規準とに基づく設計上の選択であろう。本実施形態では、2台以上の行転送TFTが後述されるように非常に低いフレームレートで負ストレス累積を阻止するために必要とされる。このような選択は本教示の範囲に含まれると考えられる。

【0084】

図10は、図8の等価的な単一画素回路と図9の画素レイアウトとに対応している画素の12個のバンク154を備える720×120型画素アレイ155(240RGB×120画素)を形成するために配置された画素回路828 150の一例のアレイを示している。

【0085】

図8および図10は、所与の一例の画素828上でプログラマブル電圧V_{PIXEL} 824 924を得るために必要とされる周辺回路の等価回路を示している。画素ソース電圧P[i] 800 152は、列選択ゲートラインC[j] 812 151のうちの1本によってゲート制御されるTFT M1 801に接続されている。プリチャージ電圧源S 814 158は、列ライン毎に1台ずつの、コモンプリチャージイネーブル信号SEN 813 157によってゲート制御されるTFTのアレイ M3 803 154を使用してすべてのC_{COL}電圧を設定するため優先的に使用される。行信号R0[m] 830、R1[m] 831、R2[m] 832、および、R3[m] 833は、4個の行ソース信号RS0 820 160、RS1 821 161、RS2 822 162、および、RS3 823 163の組と、所要の画素の行mに固有であるコモンゲー

40

50

ト信号 R [m] 8 1 5 1 5 9 とから、(図 1 0 においてグループ 1 5 6 として示されている) 対応したパストランジスタ M 8 8 0 8、M 9 8 0 9、M 1 0 8 1 0 および M 1 1 8 1 1 の組によって駆動される。周辺 T F T M 1 8 0 1、M 3 8 0 3、M 8 8 0 8、M 9 8 0 9、M 1 0 8 1 0、および、M 1 1 8 1 1 は、好ましくは、ディスプレイの周囲に設置されるが、ある状況では、これらのトランジスタの一部または全部を画素アレイ内に設置する方が有利なことがある。同様に、回路トポロジーの観点から、異なるが電氣的に類似した回路を使用して図 8 の回路と同じ機能を実現する並列または順次の装置を使用する方が有利なことがある。このような設計およびレイアウト選択は、当技術分野において知られている一般的な実施上の置換であり、本明細書中に記載されている考え方は、本明細書中に記載されている T F T 素子の特定のレイアウトの選択、または、些細な並列 / 順次の再編成によって特に限定されることがない。

10

【 0 0 8 6 】

フラットパネルの本実施形態の動作は 2 つのフェーズにより構成されているとして説明することが可能である。実際には、2 つのフェーズはインターリーブされることがあるが、明確にするため、2 つのフェーズは本明細書中では区別可能なフェーズとして説明される。第 1 のフェーズは、新しい情報のフレームを画素アレイに書き込むことを含む。このことを実現するため、動作の系列がアレイ上で実行される。フレーム更新の擬似コードは以下のとおりである。

```
for ( m = 0 ; m < NumRow ; m = i + 1 )
begin
ClearRow ( m ) ;
for ( k = 0 ; k < NumBank ; k = k + 1 )
begin
for ( j = 0 ; j < NumCol ; j = j + 1 )
begin
WriteCol ( m , j ) ;
end
WriteBank ( m , k ) ;
end
WriteRow ( m ) ;
end
```

20

30

【 0 0 8 7 】

ここで、NumRow は行数 (本実施例では 1 0) であり、NumCol は列ゲート数 (本実施例では 3 0) であり、NumBank はバンク数 (本実施例では 1 2) である。ClearRow (m)、WriteCol (m , j)、WriteBank (m , k) および WriteRow (m) のコマンドは、LCD 画素全体に亘ってバランスがとられた DC 電圧を得るために行数 (m) またはフレームに基づいて変更可能である 2 つの極性状態を優先的に有している。付加的または代替的に、本実施形態は、LCD 材料全体に亘って DC バランスを実現するために当技術分野において知られているような多くの既知画素、フレーム、行、ドット、または、その他の反転パターンのうちのいずれか 1 つを実施することが可能である。

40

【 0 0 8 8 】

ClearRow (m) 動作は、ピン S 8 1 4 1 5 8 上の電圧が C C O L 8 1 8 9 1 8 に接続されるようにゲート S E N 8 1 3 1 5 7 をハイ状態にパルス化することにより M 3 8 0 3 1 5 4 を作動する。全バンクのためのゲートライン B [k] 8 1 6 9 1 6 1 5 3 もまた、全 C B A N K 8 1 9 キャパシタもまたピン S 8 1 4 1 5 8 上の電圧まで充電されるようにハイ状態にパルス化される。最終的に、所与の行 m に対して、この行の行選択ライン R [m] 8 1 5 が、S ピン 8 1 4 1 5 8 の電圧を各画素内の行転送 T F T M 4 8 0 4 9 0 4、M 5 8 0 5 9 0 5、M 6 8 0 6 9 0 6、および、M 7 8 0 7 9 0 7 を介して、1 行の画素へ転送するため、4 本の R S ライン 8 2

50

0 8 2 1 8 2 2 8 2 3 1 6 0 1 6 1 1 6 2 1 6 2 と共にハイ状態にパルス化される。この動作は、画素キャパシタ V_{PIXEL} 8 2 4 9 2 4 上の前の電圧を消去するプロセスにおいて、ターゲット行 m およびすべてのバンクキャパシタを、その後プログラミングされる電圧に優先的に類似している電圧にプリセットするために作用する。このような消去を伴わないならば、電荷共有転送法は、画像ゴースト化およびアーティファクトを招く可能性がある。当業者は、転送キャパシタの適切な選択によって、および/または、比較的画像アーティファクトの影響を受けない用途において、Clear Row (m) 動作が電力および/または複雑性を削減するため排除される可能性があることを認識するであろう。

【0089】

行がクリアされると、次の動作は、すべてのバンクにその行の画素値を入れることである。各呼び出しが 2 4 のアナログ画素値を C_{COL} キャパシタンス 8 1 8 9 1 8 に並列ロードする Write Col (m, j) 呼び出しの系列は、 C_{COL} キャパシタ 8 1 8 9 1 8 上にその後ゲート制御ライン $B[k]$ 8 1 6 9 1 6 1 5 3 をパルス化することによって所与のバンク k に転送される 7 2 0 要素の電圧のアレイを構築する。すべてのバンクキャパシタ C_{BANK} 8 1 9 9 1 9 (本実施例では、全部で 8 6 4 0 台のキャパシタ) に電荷がロードされると、ターゲット行 m は、 C_{BANK} キャパシタ 8 1 9 9 1 9 に蓄積された電荷を画素蓄積キャパシタ C_{ST} 8 2 5 9 2 5 上の画素電荷と共有するために、前述のとおり行選択信号 $R[m]$ 1 5 9 8 1 5 と行ソース $RS0-3$ (1 6 0、1 6 1、1 6 2、1 6 3) との作用によって再び駆動されることがある。各行は擬似コードにおいて上述されているようにフレームを完成するため同様に電荷がロードされる可能性がある。当業者は、行われる作用の正確な系列、たとえば、行が順次に処理されることが、類似した結果を得るために変更され得ることを認識するであろう。ある種の有利な変更、たとえば、すべての偶数行を最初に書き込み、次に、すべての奇数行を書き込むことは、行反転 DC バランス化を実行する間に、電圧スイングを低減し、トランジスタを最小限に抑えることにより消費電力を削減するために、本システムに適應させることが可能である。このような変更および置換は本教示の範囲に含まれるとみなされる。

【0090】

画素値のアレイの全体が書き込まれると、アレイは、画素電圧が漏れ、そして、画像アーティファクト (たとえば、フリッカ) を阻止するためリフレッシュを必要とするまで、省電力化をするためにスタンバイ状態に置くことが可能である。フレーム更新とフレーム更新との間のこのスタンバイ状態は、本実施形態の第 2 の動作のフェーズを備える。フラットパネルの多数の用途が可変フレームレートを利用することが可能であり、本明細書中に記載されている考え方は、フレームレートがある種のタイプのコンテンツに対して速く進まなければならないが (たとえば、ユーザが装置と積極的に相互作用しているときの 30 Hz フレームレート)、同時に、フレームリフレッシュレートが数 Hz まで降下してもよい低電力状態を必要とする用途にうまく適している。このことを実現するため、可変スタンバイ状態が上述された第 1 のフェーズのアクティブフレームリフレッシュ間に挿入される可能性がある。

【0091】

一実施形態では、ゲートライン $C[j]$ 8 1 2 1 5 1、SEN 8 1 3 1 5 7、 $B[k]$ 8 1 6 1 5 3、および、 $R[m]$ 8 1 5 1 5 9 は、それらの関連した TFT がゼロに非常に近い V_{GS} を達成するように優先的にバイアスが加えられる。このような低ストレス条件は、TFT 素子への動作上の (フェーズ 1) ストレスの影響を除去するため作用する。付加的な負ストレスが正スレッショルドシフトを補償するため必要とされるならば、 V_{GS} は制御された量の負ストレスを発生させるため適切に負にすることが可能である。上述されているように、ストレス監視装置、または、数ある技術の中で AC インピーダンス測定は、様々な TFT 素子のスレッショルドシフトを測定するため使用することが可能である。本明細書中に記載されている考え方のうちの 1 つの重要な態様は、フレームリフレッシュとフレームリフレッシュとの間のストレス緩和フェーズにおける時間または

10

20

30

40

50

振幅波形変調によって、累積した正ストレスを補償することである。

【0092】

RSライン820 821 822 823、および、R0[m] 830、R1[m] 831、R2[m] 832、R3[m] 833によって設定される内部ノードもまた、画素アレイの電荷を維持するために、ストレス緩和フェーズの間に循環させられる。かなりの負の V_{GS} 値が典型的に画素蓄積キャパシタ C_{ST} 825 925のリークパスを防止するため必要とされるので、4台の行転送TFT 804 805 806 807のうちの少なくとも1台はどの時点においてもかなりのオフ状態でなければならない。かなりの負の V_{GS} の値は負ストレスを累積する傾向があるので、負ストレスは、負パルス幅に強い依存性を有し、負パルス幅が長くなるにつれて非常に大きくなることが知られている。本教示の一実施形態では、Rx[m]ライン830 831 832 833は、画素電圧の電荷蓄積を保存している間に、負ストレスの蓄積を防止するために1つずつ順次に入力状態にされる。RS 820 821 822 823の値を行転送ゲートへ巡回転送するためR[m]信号815 159の全部を周期的にパルス化することにより、4台の行転送TFT 804 805 806 807のうちの3台は、優先的にゼロに非常に近い V_{GS} を常に有し、一方残りのTFTはスタンバイ期間中に蓄積された画素電圧の漏れを防止するためにそのゲートを十分に負の V_{GS} に保つであろう。各画素内の少なくとも2台の行転送TFT 804 805 806 807の間で電荷阻止割り当てを回転することにより、長い負パルス幅の有害な負ストレス効果は効率的に回避することが可能である。画素電圧が行転送FET M4、M5、M6およびM7によって保存される限り、デマルチプレクス化TFT（たとえば、M1 802、M2 802、M3 803）が非常に低電力、非常に低ストレスのスタンバイ状態（たとえば、 $V_{GS} = 0$ ）に置かれること、および/または、負ストレス補償が適用されることが可能である。

【0093】

上述されているように、負ストレスの累積は、スタンバイフェーズにおいて V_{GS} をゼロの近くに維持することにより、多くの場合に回避することが可能であり、付加的または代替的に、スタンバイ状態 V_{GS} は、動作中のスレッショルドシフトを補償するため、入力ゲート毎に一意に制御することが可能である。振幅およびタイミング変調は、正ストレスを補償するため、累積した負ストレスを効果的に調整することが可能である。好ましい実施形態では、スタンバイストレス緩和状態で使用される波形およびレベルは、遷移および消費電力を最小限に抑えるために選択される。

【0094】

図11は、共通のソースSMS 256およびドレインSMD 255を共有するストレス監視装置の組を示している。5台のTFTがゲート信号タイプのTFT回路の1つずつ、すなわち、C[0] 250、B[0] 251、SEN 252、R[0] 253、および、R0[0] 254に取り付けられている。SMD 255からSMS 256への導通またはドレイン電流をテストすることにより、（サブスレッショルド勾配を含む）スレッショルドおよびストレス条件が決定されることがある。上述のACインピーダンス法に付加的または代替的に、専用ストレス監視装置が、正確な監視要件および補償要件に応じてディスプレイに追加されることがある。補償装置と共有ピンの特定の配置は、もしあるとすれば、設計上の選択であり、図11における特定の実施例は、単に説明のためのものであり、本教示の範囲を限定することが意図されていない。

【0095】

N型a-Si:H TFT素子のゲートバイアスは、素子の作動および停止の両方のために典型的に必要とされる。このような素子における正ゲートバイアスは、素子を「オン」に切り替え、典型的に、長い時間スケールに亘って素子のスレッショルド電圧に正シフトを生じさせる。負ゲートバイアスは、素子を「オフ」に切り替え、典型的に、長い時間スケールに亘って負スレッショルドシフトおよびサブスレッショルド勾配低下の両方を生じさせる。

【0096】

10

20

30

40

50

a - S i : H T F Tにおけるバイポーラゲート駆動のためのストレス累積は、一般に、以下の式の拡張指数関数に従う。

【 0 0 9 7 】

$$\Delta V_T(t_{ST}) = \Delta V_T^+(t_{ST}) + \Delta V_T^-(t_{ST})$$

【 0 0 9 8 】

式中、

【 0 0 9 9 】

$$\Delta V_T^+(t_{ST}) = A + V_{GS}^\alpha + (t_{ST} \times D)^\beta +$$

【 0 1 0 0 】

かつ

【 0 1 0 1 】

$$\Delta V_T^-(t_{ST}) = A - V_{GS}^\alpha - (t_{ST} \times (1 - D))^\beta - F_{PW}$$

【 0 1 0 2 】

式中、 ΔV_T はスレッショルドシフトであり、 V_{GS} は装置のスレッショルド電圧より低いゲートバイアスであり、 t_{ST} は総ストレス時間であり、 A は実験定数であり、 D は駆動信号の正部分のデューティサイクルであり、 F_{PW} は負ストレス周波数に関連したゼロと1との間の因子である。一般に、ストレスが誘起したスレッショルドシフトは、ゲート駆動振幅($V_{GS} - V_T$)の平方におおよそ比例し、デューティサイクルを占める総ストレス時間の平方根におおよそ比例する(たとえば、2および0.5)。電圧に依存するほぼ2乗則に起因して、短持続期間の高振幅ゲート駆動信号は、より長い期間に亘って加えられた低いゲート電圧よりかなり大きいストレスを生成することがあり、好ましい実施形態では、所要の V_{GS} ゲート駆動を低下させ、TFTストレスを最低限に抑えるために、ゲート駆動振幅は最小限に抑えられ、充電時間およびTFTサイズが最大化される。本教示は、累積した正ストレスをバランスさせるために要求される通りに負ストレスを任意的に変調することによって、正ストレスと負ストレスとに対する非対称応答をさらに利用する。

【 0 1 0 3 】

図12は、a - S i : H T F Tの代表する駆動波形周波数1101とDCストレス1100の累積に対する正ストレスおよび負ストレスの累積(負ストレスの場合に F_{PW})との代表的な関係を示している。典型的に、正ストレス1102はゲート信号周波数と独立であり、一方、負ストレス1103は周波数に大きく依存する。各行が非常に短期間(たとえば、16.6msフレーム毎に15μs、又は、約0.1%デューティサイクル)に作動される従来の走査型TFTフラットパネルでは、正ストレスは、正パルスと正パルスとの間に累積した負ストレスによってややバランスが取られる。フレームレートは、負ストレス103の特徴的な遮断周波数より比較的高い(たとえば、60Hz)ので、負ストレスはそのDC値に対して実質的に低減され、負ストレスは従来型の駆動スキームでは99.9%デューティサイクルであるので、この低減は実際に必要である。

【 0 1 0 4 】

静的な情報表示のためのフラットパネルディスプレイの電力を削減するためには、電力がフレーム周波数におおよそ比例するので、フラットパネルのフレームレートを低下させることは有効であろう。しかし、フレーム周波数の低下に伴って結果として生じるより低い負ストレス周波数は、フラットパネルの寿命が実質的に短縮される程度まで、図1についての負ストレスの影響を増大する。本教示は、非常に低いスタンバイ電力ディスプレイを実現するために、非常に低いフレームレート(たとえば、4Hz)でこのような負ストレスを緩和する回路技術を説明している。

【 0 1 0 5 】

集積化された行ドライバ回路および列ドライバ回路の主要な目的の一つは、ディスプレイ基板を駆動するために必要とされるピン数を削減することである。集積ドライバは、典型的に、このようなピン数削減を実現するためにフレームレートより実質的に速くおよび/または頻繁に変調されるある種の信号を有することが必要である。a - S i : H T F

10

20

30

40

50

Tの制限された動作周波数のため、このようなより高い変調は、集積ドライバ回路で使用する装置の少なくとも一部のより高いデューティサイクルを必要とする。さらに、画素アレイ内のTFT素子を切り替えるための高電圧の必要性に起因して、このようなドライバ回路は、典型的に画素アレイより高い電圧を取り扱うため設計されなければならない。より高いデューティサイクルおよびより高い電圧に伴ってより高い正ストレスおよびより高いスレッショルドシフトが生じ、このような影響は、集積ドライバa-Si:H TFTディスプレイの動作寿命の主要な制限である。本教示は、画素アレイへの高振幅の正電圧および負電圧を駆動する能力を維持したままの状態、デューティサイクルおよび正電圧バイアスが集積ドライバにおいて削減可能である方法を説明している。

【0106】

図13は反射型単偏光板TFT-LCDフラットパネルディスプレイ1200の略断面図を示している。制御回路1202は基板1201上に製造されている。制御回路1202は、好ましくは、a-Si TFTプロセスで実施されてもよいが、代わりに、LTPS処理または任意の薄膜スイッチ能力を有するバックプレーン技術を使用して実施されることがある。基板1201は、ガラスでも、プラスチックでも、クォーツでも、金属でも、スイッチング素子の製造を支援する能力がある他の基板でもよい。電極1203は、リソグラフィックプロセス、堆積プロセス、および/または化学プロセスによって形成されることがあり、入射光を拡散反射するためテクスチャ化されることがある。液晶ディスプレイ材料204はトッププレート1203とボトムプレート1211との間に着座する。カラーフィルタ205および透明導体1211は上基板1206に堆積される。位相差フィルムまたは1/4波長板1207は上側基板1206の最上部に置かれることがある。拡散偏光板1208はLCD積層1200を完成する。典型的な動作では、入射光1209は、反射像1210を作るためLCD積層1200によって偏光され、濾波され、拡散反射される。

【0107】

図13に示された構造以外の代替的なアクティブ・ディスプレイ構造、たとえば、二重偏光板反射型、透過型、半透過型、背面照射型、側面照射型、ゲストホスト型、ECB、OCB、STN、HTN、TN、MTN、RTN、PDLC、電気泳動、電子インク、および、その他の代替的な液晶、および/または、アクティブ・バックプレーンを必要とするその他のディスプレイ技術は、本教示から恩恵を受ける。本教示を組み込む反射型LCDについての本明細書中の特定の説明は、代替的なディスプレイ材料およびディスプレイ技術への本教示の用途において本教示の範囲を限定しない。

【0108】

図14はフラットパネルディスプレイ1300の電気駆動システムの一例のブロック図を示している。TFT基板1306は、TFT画素アレイ1305と集積列ドライバ1303と集積行ドライバ1302とを組み込む。オフ基板ドライバIC1301は、制御信号をTFT画素アレイ1305と集積行ドライバ1302と集積列ドライバ1303とに供給する。代替的な実施形態では、ドライバIC1301は、異方性導電膜(ACF)を使用するチップオンガラス(COG)ボンディングのような、当技術分野においてよく知られている多種多様の組立技術を使用して基板1306に取り付けられてもよい。付加的な実施形態では、ドライバICはチップオンフィルム(COF)技術を使用してパッケージ化され、このようなフィルムは、電気駆動信号を供給するため続いて基板1306に取り付けられる。スレッショルド監視センサおよび/または電力変換回路のようなオプション回路1304もまた基板1306上にTFT技術で集積化されることがある。

【0109】

図14は、720×120型の電気画素要素1305のアレイを収容する240×120型のRGBストライプ画素を備える一例のディスプレイのための集積列ドライバ1303と、集積行ドライバ1302と、TFT画素アレイ1305との電気接続図を示している。当業者は、本教示を多数の代替的な画素解像度および制御バス幅に適用することが可能であり、240×120型の選択は単に説明のためのものであり、本教示の範囲を特定

10

20

30

40

50

の解像度または信号バス幅に限定することはない。さらに、以下では、TFT素子は、説明の簡略化のためゼロというスレッショルド電圧を有すると仮定する。当業者は、非ゼロスレッショルド電圧が本明細書中に記載されているゲート電圧および制御電圧をオフセットさせることにより容易に受け入れられることを認識するであろう。本教示は当業者によって非ゼロスレッショルド電圧に対し容易に一般化され、このような一般化は本教示の範囲に含まれるとみなされる。

【0110】

図15において、ピンCS[44:0]400は、駆動されるアナログLCD画素電圧を画素アレイ1405へ供給する。そのうちの1台が図14においてM11601として識別されている列デマルチプレクス化TFTは、ゲートキャパシタに蓄積されたダイナミックメモリの単一ビットによって制御され、M11601に対応する1台のゲートキャパシタは図15においてCCMEM0612として識別されている。CCMEM0612のような列デマルチプレクス化制御キャパシタの1つずつに蓄積されるゲートバイアスは、列バスTFT（たとえば、M1601）が導通「オン」状態であるか、非導通「オフ」状態であるかを決定する。一部が図15においてV_{COL_n}（ここで、n=0から719）という名前で識別されている720本の列ラインは、画素アレイ1405内に、そのうちの1本が図15においてCCOL0625として識別されている画素電圧の行のための一時的な蓄積場所として使用される大きい寄生容量を有している。画素電圧の行は、CS[44:0]400からの電圧をCCOL0625のような列キャパシタ上に標本化するために順次にパルス化されるM11601のようなパストランジスタにより構成された、図15に示されている45台の16:1デマルチプレクス化回路を使用する45本のCS[44:0]ライン400によってこのような寄生容量へ走査される。優先的に、M11601および等価的な機能の列バスTFTのサイズは、比較的低い（たとえば、数ボルトの）ゲート・ソース間バイアス電圧を伴う場合でさえ、有意な導通が起こることを可能にさせるため十分な大きさであるように選択される。

【0111】

各列デマルチプレクス化動作は、画素アレイ1405の最も左側の列キャパシタCCOL0625への電圧を駆動するために必要とされる関連した波形を含む図16におけるタイミング図に示されているように、3つのフェーズを必要とする。図17は、列電圧V_{COL0613}を設定するため必要とされる装置および蓄積された列電圧V_{COL0613}を画素セルに書き込むために必要とされる行制御装置の関連した部分集合をさらに含んでいる。後述される列走査動作は、図15、16および17に示された回路および波形の好ましい用法を示唆している。

【0112】

列デマルチプレクス化動作の初めに、CCMEM0612のような全列デマルチプレクス化制御キャパシタは、負バイアスを有すると仮定され、すなわち、M11601のような全列バスTFTは「オフ」状態にある。第1のフェーズにおいて、CS[44:0]ライン14001500は、広範囲の電圧が許容可能であるが、図16においてV_{MI_D}として示されている中間レベル電圧へ優先的に移される。CG端子14071501は、M11601を「オン」状態に切り替えるゲートバイアスを発生させるためCS[44:0]14001500の中間電圧レベルV_{MI_D}より十分に高い電圧にされる。優先的に、M11601の「オン」状態はV_{GS}電圧駆動の数ボルトだけを必要とし、すなわち、M11601は、V_{GS}駆動の数ボルトと許容可能な導通を有するため十分に大きくするように設計される。CA[15:0]ライン1401は、16本のワイヤのうち1本だけが正のV_{GS}を有し、制御ゲート電圧CG1407をCCMEM0612のような選択された制御キャパシタに送ることが可能であるようにプログラムされる。図16において、CA01502は、M11601の状態を「オン」1503にプログラムするためフェーズ1の間にCG電圧1501より高く駆動される。すべての作動されたTFTのソース電圧およびゲート電圧はこの動作中に依存しないデータなので、CCMEM0612のような制御キャパシタを設定するため使用されるゲート電圧は、典型的

に高電圧データまたは制御情報を送り出さなければならない従来型のデマルチプレクス化回路と比べて非常に低く維持することが可能である。このように、制御キャパシタ C_{CMEMn} の状態は、 $M2 \quad 1602$ のような列制御デマルチプレクス化 $TF T$ と $M1 \quad 1601$ のような列パストランジスタとの両方でゲートストレスを最小限に抑える低電圧制御信号だけを使用して設定することが可能である。第1のフェーズの終わりに、選択された列の電圧（たとえば、 $V_{COL0} \quad 1613 \quad 1504$ ）は V_{MID} に達し、 $CA[15:0]$ ラインは、後に続く $CS[44:0] \quad 1400 \quad 1500$ の変調の範囲に亘って $C_{CMEM0} \quad 1612$ のようなキャパシタに蓄積された列デマルチプレクス化制御電圧の状態を保存する能力がある負バイアス状態に戻される。

【0113】

列デマルチプレクス化動作の第2のフェーズでは、ソース電圧レベル $CS[44:0] \quad 1400 \quad 1500$ は所望のアナログ画素電圧値へ駆動される。「オン」状態にある列パストランジスタは、中間電圧レベル V_{MID} からの正および負の両方の偏位に対し $CS[44:0] \quad 1400 \quad 1500$ の変化に追従する。第1のフェーズ中に $C_{CMEM0} \quad 1612$ に蓄積された制御電圧を使用する一つの重要な結果は、パストランジスタ $M1 \quad 1601$ の V_{GS} が $CS[44:0] \quad 1400 \quad 1500$ から列キャパシタ C_{COLn} （たとえば、 $C_{COL0} \quad 1625$ ）へ駆動される画素ソース電圧からほぼ独立していることである。このことは、（10V以上である可能性がある）所要の画素ソース電圧レンジを、（ストレス累積を防止するため僅かに2Vである可能性がある）制御電圧から減結合し、その結果、高 V_{GS} を伴う正バイアスストレスを回避する。

【0114】

列デマルチプレクス化動作の第3かつ最後のフェーズは、「オン」状態の $TF T$ の制御キャパシタを「オフ」状態へ放電させる。 $CG1407 \quad 1501$ は、 $M1 \quad 1601$ のような全列パスト $TF T$ が C_{COLn} キャパシタ（たとえば、 $C_{COL0} \quad 1625$ ）に蓄積された電圧とは独立に「オフ」状態にあることを保証するため十分に低い電位に移される。 $M1 \quad 1601$ のゲート電圧は、放電の時点でデータ依存性であるが、 $C_{CMEM0} \quad 1612$ キャパシタを負電圧へ放電させることは、 $M2 \quad 1602$ の両端間にデータ依存性 V_{GS} を必要としない。前に選択された列パスト $TF T$ （たとえば、 $M1 \quad 1601$ ）は、 $M2 \quad 1602$ をオンに切り替えるため、対応する $CA[15:0]$ ライン 1401 （たとえば、図16における $CA0 \quad 1502$ ）を $CG1407 \quad 1402$ のレベルより十分に高い電圧に設定することにより、「オフ」状態に切り替えられ、 $C_{CMEM0} \quad 1612$ を放電させる。列デマルチプレクス化動作の第3かつ最後のフェーズの終わりに、 $CA[15:0]$ ライン 1401 は負の「オフ」ゲートバイアスに戻される。

【0115】

上述のとおり、本教示は、従来技術のデマルチプレクス化および/または走査回路を超える多数の重要な利点を与える。第一に、デマルチプレクサの制御状態は、正ストレスを最小限に抑えると共に調節し、データ依存性を全く受け入れる必要がない低電圧制御信号だけを使用して設定することが可能であり、すなわち、トランジスタが受けるストレスがおおよそ均一であり、画素データとは無関係である。第二に、画素ソース電圧は、デマルチプレクス化パストランジスタに大きい正ストレス電圧を導入することなく、同時に、画素ソース電圧とは無関係に、幅の広い偏位を有することが許される。第三に、デマルチプレクサの制御状態は大きい正ストレスをデマルチプレクス化 $TF T$ に導入することなくリセットすることが可能である。第四に、デマルチプレクサの制御信号はデマルチプレクサ状態（すなわち、 C_{CMEMn} キャパシタ電圧）を設定するためにより低い電圧のドライバIC技術の使用を可能にさせる低電圧に維持される。

【0116】

図16に示されているように、制御 $TF T \quad M2 \quad 1602$ は短い期間 1507 だけ作動され、大きい V_{GS} バイアスを伴わない。制限付きの正バイアスおよび制限付きのデューティサイクルは、従来型の $a-Si:H \quad TF T$ を使用して列走査を可能にさせるために十分である。

10

20

30

40

50

【0117】

図16に示された順番(1505および1506)に選択信号CA[15:0]1401を印加することにより、CS[44:0]1400 1500上の電圧の時系列が標準化され、画素アレイ1405に供給する1720台の列キャパシタC_{COLn}のアレイに一時的に蓄積されることがある。列走査動作の終わりに、C_{COLn}キャパシタの1台ずつ(本実施例では1720)は、所与の行に対する所望の画素レベルに対応する電圧を有する。アレイの次の動作は、1720個の列電圧を選択された画素の行に書き込むことである。

【0118】

TFT画素アレイ1405の1720列のうちの各列は、15個の行グループ404により構成され、各行グループは、水平方向1120個×垂直方向8個の画素を収容する。各行グループ1104は、一部が図15および17においてM3 1103、M4 1104、M5 1105、および、M6 1106として識別される行デマルチプレクス化TFTの動作によって選択することが可能である。

【0119】

各画素1406は、LCD画素電圧を制御すると共に画素のTFT上のバイアスストレスを相殺する回路を収容している。図17は、TFT基板201の入力/出力接続点からの単一画素(左上隅、すなわち、行添字=0、列添字=0)の電気導通および制御パスを示している。各画素1406 1600は、選択のため、図15および図17においてV_{ROW0}1620およびV_{ROW1}1621として識別された2個の制御信号を必要とする。画素1406 1600は、行制御ライン上の高電圧制御信号(たとえば、V_{ROW0}1620およびV_{ROW1}1621)が画素蓄積キャパシタC_{ST}1624と列キャパシタC_{COLn}(たとえば、C_{COL0}1625)とにパストランジスタM7 1607およびM8 1608を通る電荷を共有させるときに、対応している列ラインのV_{COLn}電圧を捕捉する。このように、LCD画素1406の両端間の電圧(たとえば、図17におけるV_{PIXEL0,0}1622)は、図17においてキャパシタC_{LC}1623として示されているように、液晶の両端間の電圧を制御することにより、画素の所望の光学状態を発生させるため独立にプログラムすることが可能である。画素蓄積キャパシタC_{ST}1624は、好ましくは、非選択期間中に画素電荷漏れを防止するために十分に大きい。C_{ST}1624は共通の画素キャパシタ基準ラインPC1627に接続されている。付加的または代替的に、C_{ST}ホールドキャパシタンス1624は、アレイ内の駆動されたラインのうちの1本であるバックプレート電圧、たとえば、V_{ROW0}1620を有することがある。液晶セル1204は、バックプレートがLCD1206の反対側の基板にあり、V_{COM}1626によって駆動される単純なキャパシタC_{LC}1623として示されている。V_{COM}1626は、場合によっては、セル保持性を改善し、アレイ電圧スイングを制限し、および/または、システム電力を削減するため、AC波形で駆動されることがある。

【0120】

画素ソース電圧CS0 1609は、上述されているように、列パストランジスタゲート制御キャパシタC_{CME0}1612がCG 1610、CA0 1611およびM2 1602の作用によってハイ状態に設定されるとき、列バスTFT M1 1601を介して典型的な寄生ホールドキャパシタC_{COL0}1625に接続される。付加的または代替的に、意図的な列キャパシタが、列キャパシタC_{COL0}1625から画素蓄積キャパシタC_{ST}1624への電荷転送を支援するため要求に応じて列ライン上で寄生容量を増大させるために作られることがある。電圧V_{COL0}1613は所与の画素に対し、図17の実施例では、列添字がゼロであるその画素の関連した列において、一時的に蓄積された画素情報を表現する。

【0121】

一実施形態では、画素ソース電圧CS[44:0]1400 1500(たとえば、CS0 1609)は、選択された画素に対する所望の最終電圧を表現する(必ずしも等し

10

20

30

40

50

くなくとも構わない)画素レベル電圧を用いて駆動される。後の動作(たとえば、 $C_{COL0}1625$ から C_{ST1624} への電荷の転送)における電荷共有のため、画素、たとえば、 $V_{PIXEL0,0}1622$ における電圧は、数ある影響のなかでも、システム内の共有キャパシタンスの比率、初期電圧条件、ゲート・ドレイン間キャパシタンス、ゲート電圧スイング、電荷分割、および、付加的な寄生容量によって修正される $CS[44:0]1400\ 1500$ (たとえば、 $CS0\ 1609$)における駆動された画素ソース電圧であろう。このような理想的ではない影響を低下させるため、画素ノード電圧、たとえば、 $V_{PIXEL0,0}1622$ が液晶ディスプレイ上に所望の画像を作成するため所望のレベルを実現するように、駆動されたソース電圧 $CS[44:0]1400\ 1500\ 1609$ は、図15および図17のTFT回路において予想される電圧修正を補償するために優先的に予め歪められる。

10

【0122】

図17の画素のための行イネーブル信号は、4フェーズの行選択動作で発生させられる。図18は、選択行動作1700と非選択行動作1701 1702の2つのケースとの両方のための一例の波形を伴うタイミング図を示している。選択行のケース1700の第1のフェーズ1703では、行ソースライン $RS0\ 1403\ 1616\ 1717$ は、好ましくは、 C_{ST1624} からの画素電荷漏れを防止するため選択される V_{OFF} 電圧レベルに設定される。共通のRGライン $1408\ 1614\ 1708$ は、選択されるならばTFT $M3\ 1063$ および $M4\ 1604$ が「オン」状態に駆動されるように、 V_{OFF} 電圧を十分に上回る電圧に設定される。両方のRA[1:0]ライン $1615\ 1618\ 1709$ はその後に、 $M5\ 1605$ および $M6\ 1606$ を導通させるため、RG $1408\ 1614\ 1708$ 電圧を上回る電圧に設定される。導通はフェーズ1では図18における黒点によって示唆され、 $M3\ 1603$ および $M4\ 1604$ において「オン」状態を設定することが要求される V_{GS} オーバードライブは、正電圧ストレスを最小限に抑えるため小さい状態に優先的に維持されることに留意されたい。行制御キャパシタ $C_{RMEM0}1617$ および $C_{RMEM1}1619$ は、結果として「オン」状態 $1710\ 1711$ にプログラムされ、選択行ライン $V_{ROW0}1620$ および $V_{ROW1}1621$ を $RS0\ 1403\ 1616\ 1707$ 電源に接続する。行ソースおよびゲート電圧は、すべて既知であり、本フェーズ中に高電圧を積極的に送り出すことはないので、選択トランジスタ(たとえば、 $M5\ 1605$ および $M6\ 1606$)と、行パストランジスタ(たとえば、 $M3\ 1630$ および $M4\ 1604$)との両方の V_{GS} は、比較的ロー状態に(たとえば、数ボルトに)維持することが可能であり、正ストレスの装置への影響を制限する。第1のフェーズの終わりに、RA[15:0]ライン 1402 は、「オン」状態を選択行パストランジスタ $M3\ 1603$ および $M4\ 1604$ に固定するため、低電圧に設定される。

20

30

【0123】

選択行動作1700の第2のフェーズ1704では、 $RS0\ 1403\ 1616\ 1707$ 電圧は、1720台の列キャパシタ C_{COLn} (たとえば、 C_{COL0})のアレイから画素蓄積キャパシタ(たとえば、 C_{ST1624})の選択された行へ電荷を転送するため高電圧 V_{ON} まで引き上げられる。制御情報は第1のフェーズ1703において C_{RMEM0} キャパシタ 1617 および C_{RMEM1} キャパシタ 1619 に捕捉されたので、行パストランジスタの V_{GS} は、図18において行駆動振幅 V_{ON} とは無関係にほぼ一定に維持される。「オフ」行電圧を送ることに起因して高い V_{GS} に晒されるパストランジスタを回避することにより、従来技術のデマルチプレクス化行駆動回路に対して有意な利点が見られる。その上、外部ドライバIC1301によって発生させられるべき最高制御電圧が低下される。第2のフェーズ1704の終わりに、 $RS0$ ライン $1616\ 1707$ は V_{OFF} 電圧へ戻される。

40

【0124】

行選択動作の第3のフェーズ1705では、RA[1:0]ライン 1709 のうちの1本、この場合にRA1 1618 は、RA0 1615 より大きい負電圧へ移される。こ

50

れは、M4 1604の「オン」状態を維持する効果がある。RG 114 1708は、その後にRA0電圧1615より低い電圧へ移され、M5 1605を導通させ、CRMEM0キャパシタ1617を放電させる。これは、M3の状態図1710に示されているように、M3パストランジスタ1603の状態を「オフ」に切り替える効果がある。第3のフェーズ1705の終わりに、M4 1604が1711 1713に示されるように「オン」状態のままであるので、RS0 1616 1707は、VROW1 1621がRS0 1616 1707をVRESTまで追従するようにさせる中間レンジ電位レベルVRESTへ移される。

【0125】

第4かつ最終のフェーズ1706では、RA1ライン1618は、CRMEM1キャパシタ1619を放電させ、M4 1604を「オフ」状態1711に切り替えるため、RG電圧1614を上回る電圧までパルス化される。第4のフェーズ1706の終わりに、M3行パストランジスタ1603およびM4行パストランジスタ1604は「オフ」状態1710 1711にある。第1のフェーズ1704、第3のフェーズ1705および第4のフェーズ1706の間に、図18において小さい黒丸によって指示されている「オン」VGS駆動はデマルチプレクス化ロジックでの正ストレスの累積を最小限に抑えるため優先的に小さい状態に維持されることに留意されたい。大きい電圧レンジ信号（たとえば、VOFFからVONまでの行スイング）をデマルチプレクス化する間にVGSを制限することにより、本教示は、進化したドライバ機能をa-Si:H TFTプロセスに統合することを可能にする。

【0126】

RA[15:0]1402ラインは、画素アレイ内の行のペアの1つずつを順次にアドレス指定するため、図18におけるRA[1:0]1615 1618と同様に、ペアを組んで、順次にパルス化される。RS[14:0]1403ラインは、他の行グループ1404の行ラインを駆動するため、RS0 1707に類似した選択信号によって順次に駆動される。

【0127】

同じRA[n+1:n]作動ペアを選択行と共有しないが、同じRS[m]ラインを選択行と共有する非選択行は、図18のタイミングセクション1702に示されているように、「オン」状態に切り替えられない。同じRA[n+1:n]1402作動ペアを選択行ラインと共有するが、同じRS[m]を選択行ラインと共有しない非選択行は、図18のタイミングセクション1701に示され、後述されているように、画素アレイトランジスタM7 1607およびM8 1608のストレス緩和を行うため、行のペア上の電圧を交換するために優先的に使用される。

【0128】

図18に示された非選択行波形1701は、行プログラミングの第2のフェーズの間にそのグループ内の画素行を選択するため、行グループのRS[n]ラインが高状態VONへ駆動されないときに起こる。図18の非選択行の一例1701において、RS0ライン1616 1707は、行アドレスフェーズ（フェーズ2 1704）の間にロー状態に維持される。M3 1603およびM4 1604の「オン」状態1710および「オフ」状態1711のパターンは、選択行を用いて見られるパターンに類似している。優先的に、M3 1603 1710およびM4 1604 1711の「オフ」状態への戻りのタイミングは、RA[1:0]の連続的な作動と作動との間で交番させられ、よって、1701のような非選択行動作の間にVROW0 1620およびVROW1 1621にVRESTとVOFFとの間で電圧レベルを優先的に交換させる。画素パストランジスタM7 1607およびM8 1608上のゲート電圧は、「ブレイクビフォアメーク」スイッチング遷移を採用することに留意されたい。このことは、CST 1624上の画素電荷が行電圧遷移での上昇/下降時間変動および電荷漏れに対して十分に保護されることを保証する。

【0129】

10

20

30

40

50

画素毎の行制御ライン（たとえば、第1の画素の行に対する $V_{ROW0\ 1620}$ および $V_{ROW1\ 1621}$ ）は、画素行作動の途中で蓄積された画素電荷と列ラインとの間の隔離の維持に關与する。 $M7\ 1607$ および $M8\ 1608$ において十分に低い漏れを実現するため、負ゲート電圧が必要とされる。しかし、フレームレートを図12に示された負ストレスロールオフ周波数より十分に低下させる要求に起因して、この負ゲート電圧は連続的に印加されるべきでない。本教示の好ましい実施形態では、2つの電圧レベル（ V_{REST} および V_{OFF} ）が漏れと負ストレス累積の両方を防止するため行ライン $V_{ROW0\ 1620}$ および $V_{ROW1\ 1621}$ 上で交互に使用される。高速フレームレートディスプレイに類似した周波数（たとえば、60Hz交番）で「オフ」バイアス（ V_{OFF} ）とストレス低減 V_{REST} 電圧との間で $V_{ROW0\ 1620}$ 電圧と $V_{ROW1\ 1621}$ 電圧を交番させることにより、図17の $M7\ 1607$ および $M8\ 1608$ への負ストレスの影響は著しく低下させることができる。

【0130】

一つの好ましい実施形態では、電圧レベル V_{OFF} は、 $C_{ST\ 1624}$ に蓄積された画素電荷が画素リフレッシュの間に $M7\ 1607$ または $M8\ 1608$ を介して実質的に漏出しないために十分に負であるように選択される。画素からの少ない漏れを実現するために $M7\ 1607$ または $M8\ 1608$ の一方だけが V_{OFF} によって駆動されるべきである。電圧 V_{REST} は、 $M7\ 1607$ および $M8\ 1608$ のチャンネル内の正孔蓄積を一掃するため作用する画素選択TFT（ $M7\ 1607$ および $M8\ 1608$ ）に僅かに正のバイアスを与え、その結果として、TFTチャンネルの負ストレス累積プロセスを妨害するために、優先的に選択される。 V_{REST} および V_{OFF} 電圧は、 V_{ROW0} ライン1620および V_{ROW1} ライン1621上で標本化され、駆動動作間に行ラインの寄生容量によって保持されるであろう。

【0131】

付加的または代替的に、僅かに負または中立のバイアスが V_{REST} 電圧のため選択されることがある。付加的または代替的に、RSライン1408 1616 1800は、 $RS0\ 1403\ 1616\ 1707$ をアレイ内のすべての可能な画素電圧 $V_{PIXEL_{n,m}}$ より高いレベルまで上昇させる上述されたフェーズ3 1705とフェーズ4 1706との間で、付加的な増分正パルスで変調することが可能である。このことは、支配的な負ストレス累積メカニズムをリセットするため作用する $M7\ 1607$ および $M8\ 1608$ におけるTFTチャンネルからの正孔排除を保証する効果を有する。 $RS0$ ライン1403 1616 1707は、その後、リフレッシュサイクル間で正又は負のストレスを引き続いて最小限に抑えるため、上述された第3のフェーズの終わりに、中立または僅かに負の V_{REST} 電圧へ戻すことが可能である。

【0132】

120行のディスプレイの本実施例における4Hzフレームリフレッシュレートで、 $RA[15:0]\ 1402$ のペアは、負ストレス累積を考慮したときに従来型のリフレッシュ走査プロファイルと同様に、60Hzの行電圧交番周期を生じるフレームの間に15回作動される。典型的に非常に低いフレームレートと関連付けられている負ストレス効果は抑制することが可能であり、同時に、 $C_{ST\ 624}$ 上の画素電荷は、圧倒的に負のオフ状態において $M7\ TFT\ 1607$ または $M8\ TFT\ 1608$ の一方を用いて実質的に保存することが可能である。

【0133】

反対方向において各行によって見られる V_{ROW0} ライン1620および V_{ROW1} ライン1621を変調することにより、行ラインの画素ノード $V_{PIXEL_{0,0}\ 1622}$ への寄生カップリングはフリッカアーティファクトを低減させるためバランスがとられる。 V_{REST} と V_{OFF} との間で行ラインを変調するために必要とされる電力は、LTPS画素メモリ回路における漏れと比べると比較的低く、本教示は、 $a-Si:H\ TFT\ 60Hz$ フレームリフレッシュと関連した高電力バジェット、または、LTPS集積画素メモリの高コストを招くことなく、ダイナミック画素電荷上で低い漏れ状態を達成する

方法を提供する。

【0134】

列走査動作（図16）および行ロード動作（図18）の正確な回数は、ディスプレイ解像度と、列、画素行ソースライン、および、行選択ラインの区分についての設計者選択とによって指示され、本教示は、列走査動作の特定の回数に限定されることも、列デマルチプレクス化ゲートまたはソース上の走査パルスの正確な回数および／または系列に限定されることもない。同様に、本教示は、行ロード動作の特定の回数、または、行デマルチプレクス化ゲートまたはソース上の走査パルスの正確な回数および／または系列に限定されない。

【0135】

列選択ゲートCA[15:0]1401上の正ストレスは、図16に示された列走査動作中に列選択ゲートのより高い正デューティサイクルのため、画素ゲートラインV_{ROW}₀1620およびV_{ROW}₁1621上の正ストレスよりはるかに高い。本教示の一実施形態では、M1 1601およびM2 1620上の列ゲート電圧は、累積した動作中の正ストレスを補償するために負ストレスを意図的に作るため、図18の行ロード動作中に負電圧へ駆動することが可能である。列がそうでなければ非アクティブ状態であるとき行ロード動作中に、非動作的な（すなわち、表示リフレッシュでない）時間変調または振幅変調信号を印加することにより、列パストFT M1 1601または列制御FT M2 1602上の負ストレスは、動作中の列走査動作の間に正ストレスの累積を相殺するために測定された量で意図的かつ積極的に印加することが可能である。

【0136】

同様に、行選択FT（たとえば、M3 1603、M4 104、M5 1605およびM6 1606）上の正ストレスは、図18の行ロード動作中の行選択制御信号RA[15:0]1402のより高い正デューティサイクルのため、画素ゲートラインV_{ROW}₀1620およびV_{ROW}₁1621上の正ストレスよりはるかに高い。本教示の一実施形態では、行制御信号は、累積した動作中の正ストレスを補償するために負ストレスを意図的に発生させるため列走査動作中に制御された負ストレス条件へ駆動することが可能である。列がそうでなければ非アクティブ状態であるとき図16に示された列走査動作中に、非動作的な（すなわち、表示リフレッシュでない）時間変調または振幅変調信号を印加することにより、行制御FT（たとえば、M3 1603、M4 1604、M5 1605およびM6 1606）上の負ストレスは、図18に示された動作中の行ロード動作または行変更の間に正ストレスの累積を相殺するために測定された量で意図的かつ積極的に印加することが可能である。

【0137】

パルス持続期間と、負ストレス期間と、ゲート正および負電圧とを適切に調整することにより、正および負ストレスは、本教示によって記載された列および行駆動システムを支援するために必要とされるすべてのゲート駆動タイプ（列選択、行選択、列制御、行制御、および、画素選択）に亘ってバランスを取ることが可能である。

【0138】

付加的または代替的な実施形態では、デマルチプレクス化FTを「オン」に切り替えるため印加されるV_{GS}オーバードライブは、充電されたキャパシタ（たとえば、C_{CM}_{EMn}、C_{RME}_{EMn}、C_{COL}_n、C_{ROW}_nのそれぞれ）が割り当てられた時間内で最終的な電圧に達すること（すなわち、ダイナミック電流が間隔の終わりにゼロに接近すること）を保証するため、上述された種々の充電間隔中にソースライン（たとえば、CG1408、RG1408、CS[44:0]1400またはRS[14:0]1403）上のダイナミック電流を監視することにより、デマルチプレクス化FT内のストレスが誘起したスレッシュホールドシフトを補償するためにパネルの寿命に亘って調節することが可能である。本教示は、可変フレームレートおよびスレッシュホールドシフト条件に応答して、多種多様なデマルチプレクス化トランジスタタイプ（たとえば、M1 1601、M2 1602、M3 1603およびM5 1605）のオーバードライブを動的かつ独立に

10

20

30

40

50

調節する能力を与える。本教示の一つの重要な態様では、M1 1601、M2 1602、M3 1603およびM5 1605と類似したTFTとのゲートオーバードライブ電圧は、最高発生電圧（典型的に、行ライン上の V_{ON} ）が経年変化のないパネルと一体となったゲートオーバードライブ信号より著しく高い場合が多いので、ドライバIC 1301の全体的な電圧レンジを増大することなく、より高い電圧へ十分に調節することが可能である。ドライバIC電圧レンジに影響を与えない付加的なゲートオーバードライブを用いて誘起されたバイアスストレスを補償することにより、本教示はコストを増大することなく著しい動作的な利点を提供する。

【0139】

240×120型RGBディスプレイの特定の実施形態を使用して説明されているが、本教示は、非対称的かつ非線形的な正ストレスおよび負ストレスの累積メカニズムを備えたTFTまたはスイッチング素子を有するいかなるデマルチプレクサベースのディスプレイシステムにも一般的に適用することが可能である。

10

【0140】

上述されたストレス制御波形は、既知の駆動波形および既知のTFTストレス非線形性を補償するために予め決定することが可能である。フィードバックに頼ることなく、このようなシステムは、フィードフォワード補償系として当技術分野において知られている。

【0141】

付加的または代替的な実施形態では、ディスプレイコントローラIC 1201は、1つ以上の付加的なストレス監視ステップを1つ以上のフレーム期間に挿入することが可能である。ストレス監視の一実施形態では、AC信号が画素ソース信号CS[44:0]1400に印加される。列選択ゲートラインCA[15:0]1401およびCG1407ラインは、既知の電圧に設定されるか、または、電圧の系列の中を通される。CS[44:0]ライン1400および/またはCGライン1407のACインピーダンスは、当技術分野において知られているような減衰時間または多点周波数応答法またはその他のインピーダンス測定法を使用してディスプレイコントローラIC 1201によって測定が可能である。C_{COLn}キャパシタンス（たとえば、C_{COL0}1625）はディスプレイの寿命に亘って比較的安定であるので、列バストランジスタ（たとえば、M1 1601）の抵抗は測定されたACインピーダンスから直接的に計算が可能である。列バスTFT1601のスレッシュホールド電圧シフトはこの方法で直接的に監視が可能であり、上述の負ストレス低減変調は、たとえば、TFTスレッシュホールド電圧を直接的に調節するためフィードバック制御ループを使用して適用が可能である。

20

30

【0142】

同様に、行選択トランジスタは、RS[14:0]1403 1616および/またはRG1408 1614からACインピーダンスを測定する間に同時に、行バスTFT（M3 1603およびM4 1604）を1個以上のテスト電圧に設定することによって監視が可能である。この測定に基づいて、制御ループは、その後に、累積した動作中のストレスを適応的に補正するため、M3 1603およびM4 1604の行バスゲートおよび/またはM5 1605およびM6 1606の行選択ゲートに印加された負バイアスを変調可能である。付加的または代替的に、好ましくは、ゲート駆動波形のタイプ毎に1台ずつの1台以上の非動作的なストレス監視装置がフラットパネル上に製作されることがあり、ゲート駆動波形は、その後に、（たとえば、ACインピーダンス、一定のドレイン・ソース間電流、または、当技術分野において知られているその他のスレッシュホールドもしくはインピーダンス監視技術を使用して）スレッシュホールド電圧シフトに関して直接的に監視が可能である。

40

【0143】

上述されているように、負ストレスの累積は、動作中に V_{GS} をできる限りゼロの近くに維持することによって多数のケースで回避することが可能である。付加的な実施形態では、ゲートの各タイプの V_{GS} が動作中のスレッシュホールドシフトを補償するため一意に制御され得るスタンバイ状態の追加が可能である。振幅およびタイミング変調は、このよう

50

なスタンバイ期間中に正ストレスを補償するために累積した負ストレスを効率的に調整することが可能である。好ましい実施形態では、スタンバイストレス緩和状態で使用される波形およびレベルは遷移および消費電力を最小限に抑えるため選択される。

【0144】

上述のACインピーダンス法に付加的または代替的に、専用のストレス監視装置が正確な監視および補償要件に依存してディスプレイに追加されてもよい。補償装置および共有されるピンの特定の配置は、たとえあるとしても、設計上の選択である。

【0145】

付加的または代替的に、a-Si:H TFT以外のスイッチング素子が動作期間中に支配的である負ストレスメカニズムを有し、上述されたものと機能的に類似した正ストレス制御メカニズムを必要とすることがある。しかし、動作中のストレスの極性および制御された補償ストレスの対応する反対極性に制限はない。

10

【0146】

従来のドライバ回路またはデマルチプレクス化回路では、ストレス補償の機会、累積したストレスのデータ依存性、および/または、ストレス補償のための要求に応じた多数のTFTのアクセス不能性または制御の欠如のために、通常は非常に限定されている。対照的に、本教示は、(パネル全体のための大規模並列ストレス補償を可能にする)累積したストレスパターンのデータ非依存性(すなわち、均一性)と、デマルチプレクス化ドライバTFTのソースとゲートの両方にアクセスする能力と、TFTシステムがまだ画像を提示している間にTFTシステム上でストレス分離を実行する選択肢とのために、ストレス補償に好適である。

20

【0147】

付加的または代替的に、ストレス変調技術は、限定されることなく、振幅変調、周波数変調、パルス幅変調、または、これらの組み合わせを含む多種多様な技術を包含することが可能である。付加的または代替的に、ストレス制御期間、1つ以上の任意的なストレス監視期間、および、フレーム更新期間は、TFT素子の非線形ストレス累積特性によって許容される程度まで補償ストレスの変調に影響を与えるため、時間的にインターリーブされることがある。

【0148】

ストレス監視方法およびストレス変調方法の仕様についての多数の選択肢が当業者である設計者により利用可能であり、このような設計上の決定に関する制約はない。本教示に記載されているように閉ループ系を形成することにより累積した動作中のストレスをバランスさせるためストレス制御期間中に装置駆動波形を変更することは、ストレス極性、ストレス監視構造もしくは方法、または、ストレス変調方法の詳細によって限定されない。

30

【0149】

当業者は、多種多様のディスプレイ解像度、特定の走査波形、デマルチプレクス化回路、(ダミーまたは動作中のどちらでも)ストレス監視装置構造、ストレス監視プロセスが、本教示を実施するため選択が可能であることを認識するであろう。

【0150】

図19aは、RA[15:0](たとえば、1803 1804)によってゲート制御されるペアにされた行制御TFTのための1802のアレイ1800により構成された本教示による行デマルチプレクサの代替的な実施形態を示している。図19aにおける実施例の垂直解像度は、1画素当たり2本の行制御ラインを伴う128画素である。行ソース電圧RSは、2つのネット、図19aでは、RS__EVEN[7:0](たとえば、1806 1809)とRS__ODD[7:0](たとえば、1805 1808)とに分割される。TFT1802は、1813のようなキャパシタに蓄積されたM12 1812およびM13のゲート・ソース間電圧を設定する。好ましい実施形態では、行バストランジスタ(たとえば、M12 1812およびM13)の状態は、M12およびM13のV_{GS}を、TFT1802を使用して正の値に設定することによって設定される。正のV_{GS}がM12 1812およびM13上に確立されると、対応するRSソースラインは、

40

50

画素アレイへの関連した行ラインを駆動することが可能であり、たとえば、 $V_{ROW0}1810$ は、 $M121812$ が「オン」状態にプログラムされているときに、 $RS_EVEN01806$ から駆動されることがある。

【0151】

図19bは、図19aの略図における最初の画素の行に対する選択行の動作1820と、2つのケースの非選択行の動作1821 1822のタイミング図を示している。選択行動作1820は、3つのフェーズに分割され、第1のフェーズ1823は $RS_EVEN[7:0]$ ラインおよび $RS_ODD[7:0]$ ラインを、図17の2個のトランジスタ画素1600における画素電荷漏れを防止するため十分に負である既知の低電圧 V_{OFF} に設定する。 RG ライン1807は V_{OFF} を上回る電圧に設定され、 $RA0$ ライン1803は、図19bにおける波形1826、1827および1828に示されているような RG 電圧1807を上回る電圧に設定される。その結果として、 $TFT1802$ は導通し、 $M121812$ および $M13$ は、状態波形1829および1830に示されているように「オン」状態にプログラムされる。

10

【0152】

図19bにおける行選択動作の第2のフェーズ1824では、 RS_EVEN0 ライン1806および RS_ODD0 ライン1805は共に、出力波形1831に示されているように、行パスゲート $M121812$ および $M13$ を介して $V_{ROW0}1810$ および $V_{ROW1}1811$ になる高電圧 V_{ON} に移される。第2のフェーズ1824の終わりに、 RS_EVEN0 ライン1806および RS_ODD0 ライン1805は低電圧 V_{OFF} へ戻される。

20

【0153】

図19bに示された第3かつ最後のフェーズ1825では、 RG ライン1807は、制御 $TFT1802$ が導通し、行状態キャパシタ（たとえば、1813）を放電させることを可能にするために十分低い電圧へ移される。これは、 $M121829$ および $M131830$ の状態を「オフ」条件へ戻す。

【0154】

$RA[15:0]$ ラインを共有しないが、アクティブな $RS_EVEN[7:0]$ ラインおよび $RS_ODD[7:0]$ ラインを選択行（タイミンググループ1822）と共有する非選択行に対し、出力行もスイッチ状態も作動されない。 $RA[15:0]$ ラインを共有し、 $RS_EVEN[7:0]$ および $RS_ODD[7:0]$ のアクティブ状態のペアを共有しない非選択行に対し、動作は図19bにおける波形グループ1821に示されている。非選択行トランジスタに現れる RG 電圧波形807 1827および $RA0$ 電圧波形803 1828は選択行と同じであり、 $M121829$ および $M131830$ の状態を「オン」条件に切り替えるために同じ効果がある。「オン」条件において、第1の RS_ODD0 ライン1805が中間レベル電位 V_{REST} にパルス化され、その後に、 V_{OFF} へ戻される。本教示の好ましい実施形態では、画素アレイを V_{ON} で駆動するために選択されていないすべての $RS_ODD[7:0]$ ラインは同様にパルス化される。 V_{REST} 電圧は、図18の画素 $TFTM71607$ および $M81608$ における負ストレス累積メカニズムをリセットするため、十分に正であるように選択される。次に、 RS_EVEN0 ライン1806は同じように V_{REST} にパルス化され、 V_{OFF} に戻される。本教示の好ましい実施形態では、アレイを V_{ON} で駆動するために選択されていないすべての $RS_EVEN[7:0]$ ラインが同じようにパルス化される。波形1831の右手側に示されている画素に現れる正パルスの結果として、タイミンググループ1821内の非選択画素行は、かなりの負ストレスの蓄積なしにより低いフレームレートを可能にさせるフレームレートより高いレート（本実施例では、8倍速い）でリセットされる負バイアスストレス累積を受ける。

30

40

【0155】

当業者は、電圧レベルと、タイミング波形と、 RS_EVEN0 行1806のストレス緩和パルスおよび RS_ODD0 行1805のストレス緩和パルスの順序の反転のような

50

動作の系列とが、特定の設計要件、たとえば、フレームレート、ディスプレイ解像度、ピン数、電圧レンジなどを満たすために変更可能であることを認識するであろう。本教示は、一般的に多数の高電圧デマルチプレクス化システム要求に適用することが可能である、デマルチプレクス化動作が複数のフェーズ（たとえば、選択およびターン「オン」、高電圧信号の通過、ターン「オフ」）に分割される方法について説明する。本教示は、高電圧信号（図19aおよび図19bの実施例では、1個以上の行電圧）がキャパシタの組に2値の「オン」/「オフ」状態を与えるために低 V_{GS} 制御信号だけを使用してセットアップされる選択デマルチプレクサによって駆動され得る技術を提供する。デマルチプレクス化動作の復号ロジックフェーズを低データ非依存性の V_{GS} 電圧に制限することにより、通常は $a - Si : H - TFT$ におけるパスゲートデマルチプレクス化と関連付けられている正ストレスが、デマルチプレクサの第2の動作フェーズ中にデマルチプレクサの入力/出力信号の電圧レンジを制限することなしに実質的に緩和される。

【0156】

図19cは、2レベルのデマルチプレクス化サブ回路を示し、唯一の出力ラインが示されている（ $V_{ROW01840}$ ）。2台のパス $TFT - M14 - 1843$ および $M15 - 1832$ は、共通の RG ライン1842によって供給された電圧レベルを使用して「オン」または「オフ」 V_{GS} 電圧をキャパシタ $C_{RMEMA01837}$ および $C_{RMEMB01838}$ に設定するため、図19bに関して上述されたラインに実質的に類似した $RA0$ ライン1835および $RB0$ ライン1836の低 V_{GS} 復号化によって「オン」または「オフ」状態に設定される。 $M14 - 1843$ と $M15 - 1832$ の両方が「オン」状態に設定されるならば、 $RS0$ ライン1839は、所望の出力電圧レベルを達成するため V_{ROW0} ライン1840を駆動することが可能である。デマルチプレクス化動作の最後に $M14 - 1843$ を「オフ」状態に切り替えることを支援するため、任意的な中間行キャパシタ C_{IR841} は、 $M19 - 1833$ が $M14 - 1843$ のゲートを放電させるとき、 $C_{RMEMA01837}$ の非駆動側を拘束するために作用することが可能である。 V_{ROW0} ライン1840上の寄生容量は、 $M20 - 1834$ が $M15 - 1832$ のゲートを放電させるとき、 $C_{RMEMB01838}$ のため類似した機能を提供する。任意的なキャパシタ（図示せず）は付加的な放電支援を行うため同様に $V_{ROW01840}$ に付加することが可能である。

【0157】

完全な行デマルチプレクサを形成するため類似したサブ回路（図示せず）が他の行ライン（図示せず）に取り付けられる。共通の RG ライン1830はすべての行駆動サブ回路に入る。 $RS0$ ライン1839は、 N_{RS} 行ソースラインのうちの1本であり、 $RA0$ ライン1835は N_{RA} 行選択ラインのうちの1本であり、 $RB0$ ライン1836は N_{RB} 行選択ラインのうちの1本である。 N_{RA} 制御ライン、 N_{RB} 制御ライン、および、 N_{RS} 制御ラインを（出力行ライン毎に $RS[i]$ 、 $RA[j]$ 、および、 $RB[k]$ の一意の組み合わせと）共有する図19cのような類似したサブ回路のアレイによって駆動することが可能である出力行ラインの本数は、 $N_{TOTAL} = N_{RA} * N_{RB} * N_{RS}$ である。このデマルチプレクサに必要な制御ラインの総数は、 $N_{RA} + N_{RB} + N_{RS} + 1$ である。フラットパネルディスプレイで典型的に見られる多数の行ラインに対し、本教示は、ピン数の実質的な削減を可能にさせ、たとえば、1024行のディスプレイは、従来通りに駆動されるならば、1024個のドライバICピンを必要とし、 $N_{RS} = 16$ 、 $N_{RA} = 8$ および $N_{RB} = 8$ として、行デマルチプレクサに必要とされるピンの総数は33であり、行駆動ピン数の97%の削減である。

【0158】

当業者は、より高いレベルのデマルチプレクス化、たとえば、3レベルの多重化への本教示の拡張性を認識するであろう。本教示は、多重化レベルの数、または、行ソース信号もしくは行制御信号の数によって特に限定されることはない。

【0159】

図20は、大規模な画素のアレイを形成するために水平方向および垂直方向にタイル化

することが可能である標準的な2金属a-Si TFT LCD技術における本教示の一例の画素レイアウトを示している。当業者は、本教示が異なる設計ルールおよび層を伴う他のTFTプロセスに適用されてもよいことを認識するであろう。そして、図20に提示されたプロセスの選択は、単に説明の目的のためであり、本教示の限定ではない。さらに、図20のレイアウトは、回路の電氣的挙動を実質的に変更することがなく、本教示の範囲に含まれるとみなされる多数の置換、転置、再方向付け、反転、経路指定、回転、および、これらの組み合わせを有している。本教示に基づいて、クロストークを最小限に抑え、画質を改善し、蓄積キャパシタンスを調整し、電力を削減し、安定性を改善し、製造容易性を改善し、特定のTFTプロセスおよび用途の要件に基づいて装置の性能を変更する等価回路の有利なレイアウト構成が当業者に明白になり、本教示の範囲に含まれるとみなされる。

10

【0160】

図20における2トランジスタ画素1600のレイアウトは、 $V_{COL}1613$ 1900と $V_{PIXEL}1622$ 1905との間で電荷の転送を生じさせる2台の直列TFT素子M7 607 1901およびM8 1608 1902を備える。行信号 $V_{ROWA}1907$ および $V_{ROWB}1908$ は、画素アレイ1405を横切って水平方向に通じ、図17の $V_{ROW0}1620$ および $V_{ROW1}1621$ のような行信号のペアによって駆動される。蓄積キャパシタ $C_{ST}1624$ 1904は、バックプレートノード $PC1627$ 1906に接続されている。画素蓄積キャパシタ $C_{ST}1624$ 1904は、好ましくは、1個以上の接点1903を介して、液晶キャパシタンス $C_{LC}1623$ のボトムプレートである反射電極1905 1909 1203に取り付けられる。対向電極1211は、 $C_{LC}1623$ のもう一方のプレートを形成し、コモン画素電圧 $V_{COM}1626$ に取り付けられている。 $V_{PIXEL}1622$ 1905と $V_{COM}1626$ との間の電圧のRMS差は、液晶1204の光学状態を決定する。本教示の好ましい実施形態では、反射型電極1905は、 $V_{COL}1900$ と $V_{PIXEL}1905$ との間の寄生カップリングを最小限に抑えるため、列信号 $V_{COL}1900$ に最小限度で重なるように設計されている。付加的な実施形態では、反射型電極1905は、寄生容量を最小限に抑えるため、行信号 $V_{ROWA}1907$ および $V_{ROWB}1908$ に最小限度で重なるように設計されている。代替的な実施形態では、反射型電極1905は、ディスプレイの反射率を押し上げるため反射領域を最大にするように設計されている。さらに別の実施形態では、反射型電極1905は、当技術分野において広く知られているように半透過型ディスプレイを作るため、1画素毎に透明領域(図示せず)の製造を可能にするために画素の全領域を占めないように設計されている。このような変形および特定の実施形態はディスプレイ用途に合わせる事が可能であり、本教示は反射型要素および透過型要素の光学配置を限定しない。

20

30

【0161】

一実施形態では、 $V_{COM}1626$ ノードは、TFT素子の所要の電圧レンジを削減するため、および/または、電力を削減するため連続的に変調される。図21は、印加RMS電圧1151に応じて代表的なLCD反射率1150を示している。 $V_{COM}1626$ 電極上のAC信号は、画素アレイ全体にコモンRMS電圧 $V_{COM_AC}1153$ を誘導する。付加的な画素情報1154は、加法的なRMS電圧であり、フラットパネルの光学状態を制御する。典型的に、 $C_{ST}1624$ は、 V_{COM} 信号の変調が、画素電圧(したがって、 $C_{ST}1624$)を直接的に変調するときと同じ大きさの電力ペナルティ無しに、実質的なRMSエネルギーを効率的にLCDへ供給することを可能にするように、 $C_{LC}1623$ よりはるかに大きい。

40

【0162】

図17における1画素当たりの2個の行選択ゲートM7 1607およびM8 1608の選択は、単に説明の目的のためであり、實際上、各画素内の行転送TFTの台数は、TFTプロセスパラメータと、ディスプレイのサイズおよび解像度と、所望のフレームレートと、許容可能なフリッカと、その他の性能規準とに基づく設計上の選択である。本教

50

示では、2台以上の行転送TF Tが本明細書中に記載されているように非常に低いフレームレートで負ストレス累積を防止するため必要とされる。このような選択は本教示の範囲に含まれるとみなされる。

【0163】

図22は、従来通りの走査型TF Tディスプレイへの本教示の代替的な適用を示している。本実施例では、ディスプレイの解像度はRGB水平1024×垂直768画素、または、3072×768電気画素である。画素アレイ1255は、従来型の1画素あたりに単一TF T（たとえば、図22におけるM18）を収容している画素セル1254のアレイで構成されている。V_{COL0}からV_{COL3071}によって示されている列ラインは、電圧のアレイをその後に画素アレイ1255に標本化されることがある列ワイヤに印加することができる従来型の列ドライバIC1250から駆動される。行デマルチプレクス化回路の機能は、当技術分野においてよく知られているように従来型の行走査プロセスによる要求に応じて（図22においてV_{ROW0}からV_{ROW767}によって示されている）行ラインを順次にハイ状態にパルス化することである。

【0164】

3フェーズの行選択動作1259が図22に示されている。行選択動作の第1のフェーズ1262では、RS[23:0]ライン1253は、上述のとおり、低い行制御電圧（たとえば、V_{OFF}）に移される。RG電圧1252は、図22のM17をオンに切り替えるために十分に高い電圧に設定される。RA[31:0]ライン1251のうちの1本は、その後に、図22において選択されたRA[31:0]ライン1251に対応する行制御キャパシタ（すなわち、32行毎に1台ずつのC_{RMEM0}、C_{RMEM32}・・・）がRGピン1252に印加された電圧によって「オン」状態にプログラムされるように、RG1252電圧を十分に上回る電圧へ駆動される。RA[31:0]ラインは、その後に、波形1257に示されているように低電圧へ戻される。この第1のフェーズの終わりに、多数（たとえば、最初の行に対して図22ではM17、本実施例では、全部で24台）の行バスTF Tは「オン」状態に切り替えられている。

【0165】

行選択動作1259の第2のフェーズ1263では、所望の行RS[23:0]ライン1253は、画素アレイ1255への単一行選択信号を駆動するため、V_{ON}までハイ状態にパルス化される。本教示の好ましい実施形態では、RS[23:0]波形は、図22において行バストランジスタM17の整定時間を考慮するためより緩やかな立ち下がり時間1264が与えられている。付加的または代替的に、選択されたRA[31:0]1251上のゲート電圧の立ち上がりエッジは、スイッチング事象中にできる限り低い行バスTF T（たとえば、図22におけるM17）のV_{GS}を維持するためより緩やかな立ち上がり時間が与えられることがある。当業者は、多種多様の立ち上がりレートおよび立ち下がりレートが様々な効果のため本教示に適用され得ることを認識するであろう。本教示は、駆動信号の立ち上がり時間および立ち下がり時間の選択によって特に限定されることはない。

【0166】

行選択1265の第3かつ最後のフェーズでは、上記の選択された同じRA[31:0]選択ライン1251が、C_{RMEMn}キャパシタを放電させ、行スイッチ状態をすべて「オフ」に戻すために、低いRG1252電圧を十分に上回る正の状態にされる。

【0167】

非選択ケースは上述されたケースに類似し、図22における非選択行動作1260は、RA[31:0]作動1258を受けるが、RS[23:0]作動1256を受けない。このケースでは、行電圧はV_{OFF}に保持される。非選択行動作1261は、行がRS[23:0]パルスを受け、RA[31:0]作動を受けないケースのための動作である。タイミンググループ1261に示されているように、スイッチ状態は、図19bに示された状態に類似した「オフ」状態に維持される。このように、非選択行は従来型の走査による要求に応じて一定のV_{OFF}へ駆動される。

10

20

30

40

50

【 0 1 6 8 】

当業者は、行われるアクションの正確な系列、たとえば、行が順次に処理されることが、類似した目的を達成するため変更できることを認識するであろう。一部の有利な変化、たとえば、すべての偶数行を先に書き込み、次に、すべての奇数行を書き込むこと、および/または、部分的な表示リフレッシュが、行、列、フレームおよびドット反転DC平衡化を含む任意の数の反転技術を実行している間に遷移を最小限に抑えることにより、電圧スイング及び消費電力を削減するために、本システムに適合させられ得る。このような変更及び置換は本教示の範囲に含まれるとみなされる。

【 0 1 6 9 】

フラットパネルの多数の用途は、可変フレームレートまたは可変領域リフレッシュを利用することが可能であり、本教示は、フレームレートがある種の内容に対し高速に（たとえば、ユーザが装置と積極的に相互作用しているとき30Hzフレームレートで）進行すべきであるが、フレームリフレッシュレートが数Hzまで降下する可能性がある低電力状態も必要とする用途に特に適している。本教示を用いてこれを実現するために、行パストランジスタおよび列パストランジスタの制御ゲート電圧オーバードライブはTF T整定時間を高速化するため一時的に増加させられることがある。このような高フレームレートが長い期間に亘って持続されない限り、高フレームレート動作の正ストレス累積は最小限である。付加的な実施形態では、本教示において上述されるような負ストレスの変調は、一時的に高いフレームレート動作によって累積された過剰な正ストレスを有利に補償することが可能である。

【 0 1 7 0 】

図23は、製品情報および価格を表示するため本教示のフラットパネルディスプレイ1353を店舗棚1350に取り付けることができる装置に統合する電子棚ラベル1352を示している。双方向ボタン1351は付加情報を店舗人員または買い物客に提供するため使用することが可能である。

【 0 1 7 1 】

図24は、本教示を採用しているショッピングカートハンドルバー搭載型のディスプレイを示している。ディスプレイ1451はショッピングカートハンドルバー1450に取り付けられている。1個以上のボタン又はキーパッド1452はユーザ入力を可能にさせる。

【 0 1 7 2 】

図25は本教示を採用しているクラムシェル型携帯電話機設計を示している。低電力反射型外部スクリーン1551が携帯電話機1550の蓋に統合されている。

【 0 1 7 3 】

図26は、本教示に基づくディスプレイ1651を統合している携帯型デジタル音楽プレーヤー1650を示している。

【 0 1 7 4 】

図27は、本教示に基づくディスプレイ751付きのコンピュータモニター、宣伝用看板、または、テレビ750を示している。

【 0 1 7 5 】

図28は、本教示に基づくディスプレイ1851付きの携帯型コンピュータまたは携帯型DVDプレーヤー1850を示している。

【 0 1 7 6 】

図29から図37は、後述されている208×RGB×160型ディスプレイの本教示の代替的な実施形態を示している。

【 0 1 7 7 】

図29は、後述されているTF T基板2000と、列デマルチプレクス化回路2001と、行デマルチプレクス化回路2002と、画素アレイ2003と、基板2000上のTF T回路を駆動する種々の信号（2004 - 2011）とを備える208×RGB×160型TF Tディスプレイの本教示の代替的な実施形態を示している。

【0178】

16本のCAライン2004及び39本のCSライン2005が列デマルチプレクス化回路2001を駆動するため使用される。本実施形態では、624本の列ラインは、CAライン2004およびCSライン2005を変調することにより列書き込み動作の順番に書き込むことが可能である。

【0179】

4本のRSライン2007と、16本のRAライン2008と、20本のRBライン2009と、1本のRGライン2010と、2本のDCライン2001とが、次に画素アレイ2003を駆動する320本のワイヤを生成する行デマルチプレクス化回路2002を駆動するため使用される。行デマルチプレクス化駆動信号(2007-2011)は、列ライン上の情報を画素アレイ2003に蓄積するため行書き込み動作を実行し、同様に、画素アレイ2003のTFT内に累積したストレスを緩和するため周期的な行交換動作を実行するために、優先的に駆動することが可能である。

【0180】

図29において、付加的なCOMライン2006は画素アレイ2003およびLCDバックプレート(図示せず)に共通の基準を提供する。

【0181】

図30は、列ライン V_{COL} 2050と、2本の行ライン V_{ROWA} 2051と、 V_{ROWB} 2052と、第1の直列バストランジスタM1 2055と、第2の直列バストランジスタM2 2056と、液晶セル C_{LC} 2057と、蓄積キャパシタ C_{ST} 2058と、蓄積キャパシタ C_{ST} 2058に接続されたコモンライン V_{COM} 2053と、液晶キャパシタンス C_{LC} 2057に接続されたコモンライン2054とを備える、本教示によるTFT画素回路の代替的な実施形態を示している。2台のバストランジスタM1 2055およびM2 2056は、 V_{COL} 2050から V_{PIXEL} 2059へゲート制御された導通パスを形成するため直列に接続されている。電荷蓄積キャパシタ C_{ST} 2058および C_{LC} 2057は、 V_{PIXEL} 2059を V_{COM} 2053 2054に接続する。

【0182】

画素電圧 V_{PIXEL} 2059は、 V_{COM} ライン2053 2054をハイ状態またはロー状態に保持し、M1 2055のソースに接続された列ライン V_{COL} 2050に電圧を格納することによりセルに書き込まれる。M1は、 V_{COL} 2050からM1 2055とM2 2056との直列接続を介して V_{PIXEL} 2059への電気導通を増加させるため、M2 2056のゲート V_{ROWB} 2052を高電位に同時にパルス化している間に、M1のゲート V_{ROWA} 2051を高電位にパルス化することにより作動される。電荷は、行ゲートライン V_{ROWA} 2051又は V_{ROWB} 2052のうちの少なくとも一方を負電位に維持することにより、 V_{PIXEL} ノード2059に蓄積され、漏出から隔離される。画素電荷は、 C_{ST} 2058と C_{LC} 2057の両方で V_{COM} 2052 2054と相対的に蓄積される。

【0183】

図31は、図30に示された画素回路のレイアウトの代替的な実施形態を示している。好ましくは、堆積された金属で作られている列ライン V_{COL} 2100は、画素の中を垂直方向に通じ、トランジスタM1 2105のソースに接続されている。M1 2105のゲートは V_{ROWA} 2101に接続されている。M1 2105のドレインはM2 2106のソースに接続されている。M2のゲートは V_{ROWB} 2102に接続されている。M2のドレインは蓄積キャパシタ C_{ST} 2108と画素蓄積ノード V_{PIXEL} 2109とに接続されている。蓄積キャパシタ C_{ST} 2108もまたコモンバックプレート電圧 V_{COM} 2103に接続されている。

【0184】

当業者は本教示の画素の多種多様の可能なレイアウト構造を認識するであろう。本教示は、画素回路の電氣的接続性または動作を変えることのない様々な方法で、列ラインおよ

10

20

30

40

50

び行ラインがセルの中を通り、または、セルの周りを通るように変更することが可能である。付加的に、（図31においてパストランジスタの下に示されている）蓄積キャパシタの配置は、任意の数の構造上の要件及び製造上の要件を受け入れるように変えることが可能である。トランジスタM1 2105およびM2 2106は、本明細書中に記載されている考え方の機能を維持したままサブユニットに分割してもよい。蓄積キャパシタC_S 2108は、本教示に記載されているような電氣的な目的を維持したまま複数のセクションに分割してもよい。好ましい実施形態では、RGBストライプ構造が採用されるが、本教示は、当技術分野において同様に知られているRGBデルタ構造、RGBW構造、及び、その他のサブピクセル配置を含むが、これらに限定されない、どのような画素配置にでも一般的に適用することが可能である。このようなレイアウトおよび回路配置への変更は、用途の要件を満たすために広く行われ、本教示の範囲に含まれるとみなされる。

10

【0185】

図32は、画素2152の16個の行バンク2151を収容する画素アレイ2150を備えるTFTディスプレイ回路の実施形態を示している。画素は、画素アレイ2003 2150のエッジから駆動される行ライン2167および列ライン2153によって接続されている。列デマルチプレクス化回路2001は、16本のCAライン2156のうちの1本と39本のCSライン2155のうちの1本との1つずつの組み合わせが、画素アレイ2150 2003に入る624本の列ライン2153に接続されているドレインを有するM4 トランジスタ2154（全部で624台）のゲートおよびソースを接続するように配置されている、多数のパストランジスタM4 2154で構成されている。M4

20

【0186】

図32は、1行の画素あたりに6台のトランジスタで構成されている行デマルチプレクス化回路を示している。RGライン2158は、M6 2162およびM9のゲートをそれぞれ駆動するM5 2160およびM8のソースに接続されている。蓄積キャパシタC_{Rxn} 2163は、M6 2162のドレインとM6 2162のゲートとの間にM5 2160によって蓄えられた電荷を蓄積する。（本実施形態では320本のうちの）各行ラインは、後続の動作中にM6 2162のゲート電圧を引き上げる等価的な蓄積キャパシタC_{Rxn} 2163を有している。M6 2162のソースは信号RB0 2161によって駆動される。M6のドレインは、M7 2165のゲートと、M7 2165のドレインとアレイ2167への行ラインとの間の付加的な蓄積キャパシタC_{Rr0} 2166とを駆動する。M7 2165のソースは信号RS0 2164によって駆動される。16本のRAライン2160と10組のRBライン2161のペアとのすべての組み合わせは、画素アレイ2150に入る160組の行ライン2167のペアを生成する。各RAライン2160は単一の行バンク2151を選択する。

30

【0187】

図33は本実施形態の動作フローチャートを示している。列書き込み動作2200は、所与の列の624個の所望の画素電圧をデマルチプレクス化し、列キャパシタンスC_{cc} 0 2157に蓄積するため、CAライン2156およびCSライン2155を駆動することを含む。列書き込み動作2200が完了したとき（判定2201）、行書き込み動作2202が、列書き込み動作2200中に蓄積された列電圧を選択された画素2152の行に捕捉するために、画素アレイ2150への行ライン2167の選択ペアを駆動する。行書き込み動作2202の終わりに、選択された行のラインのペアは、電氣的に浮遊状態であり、直前に書き込まれた画素2152からの電荷漏れを防止するため、一方が高電圧であり、もう一方が低電圧である。これらの2個の静止電圧のうちの低い方の電圧は画素セル2152からの電荷漏れを防止するため選択される。これらの2個の静止電圧のうちの高い方の電圧は、画素トランジスタ（たとえば、図30におけるM1 2055およびM2 2056）上の負バイアスストレス累積を防止するため選択される。

40

50

【0188】

画素のバンク2151の全体が書き込まれると(判定2203)、行交換動作2204が実行される。行交換動作2204は、最初により高い静止行ライン2167の全部の電圧を下降させ、次に、前のより低い行ライン2167の電圧の全部をより高い静止電圧に上昇させる。パネルのフレームレートより高いレートで低い方の電荷保持ゲート電圧と高い方のストレス低減電圧との間で画素トランジスタを交番させることにより、フレームレートは、パネル寿命を実質的に短縮する可能性がある負ストレスバイアスを受けることなく、実質的に低下させることが可能である。フレームレートを低下させることにより、消費電力の実質的な削減を達成することが可能である。

【0189】

フレーム全体が書き込まれると(判定2205)、補償動作2206は、特に、均一性、コントラスト、消費電力、ストレス低減、寿命、および、その他の所望のディスプレイの品質を改善するために駆動電圧および/または駆動波形の時間的な変調を調整するため使用することができる種々のTFTトランジスタおよび動作性能パラメータを測定するために、場合によって追加されることがある。

【0190】

図34は、単一画素2250によって表されるような動作素子を格納している詳細回路図を示している。2台の直列トランジスタバスゲートM1 2251およびM2 2252は、両方のゲートV_{ROW0} 2255およびV_{ROW1} 2256が高電圧に駆動される時、列ラインV_{COL0} 2258と画素蓄積ノードV_{PIXEL0,0} 2281との間で電流が流れることを可能にさせる。2台のバストランジスタM1 2251およびM2 2252の少なくとも一方が負ゲート電圧であるとき、画素電圧V_{PIXEL0,0} 2281は列ラインV_{COL0} 2258から(小さい漏れ電流を除いて)電気的に隔離される。画素蓄積ノードV_{PIXEL0,0} 2281は、2台のキャパシタC_{LC} 2254およびC_{ST} 2253によってCOMライン2257に接続されている。

【0191】

単一の列のための列デマルチプレクス化回路は、CSライン2261のソースを列ラインV_{COL0} 2258のドレインに接続するバストランジスタM4 2260を備える。他のノード、主として、COM2263への寄生容量C_{CC0} 2264は、列書き込み動作2200中にM4 2260によってゲート制御される電荷を蓄積する。M4 2260のゲートはCA0ライン2262に接続されている。

【0192】

単一の行のための行デマルチプレクス化回路は、6台のTFTを備える。駆動信号RG 2265はM5 2266のソースおよびM8 2274のソースに接続されている。M5 2267のゲートおよびM8 2274のゲートは、16個の行バンク選択信号のうちの1個、すなわち、RA0 2267によって駆動される。M5 2266のドレインは、トランジスタM6 2268のゲートおよび蓄積キャパシタC_{RX0} 2270を駆動する。M6 2268のソースは、20個のRB信号のうちの1個、すなわち、RB0 2269によって駆動される。ゲート蓄積キャパシタC_{RX0} 2270は、M6 2268のゲートとドレインとの間に接続されている。M6 2268のドレインは、RS0 2272によって駆動されるソースと、行ラインV_{ROW0} 2255に接続されたドレインとを有しているM7 2271のゲートにさらに接続されている。ゲート蓄積キャパシタC_{RR0} 2273はM7 2271のゲートとドレインとの間に接続されている。

【0193】

M8 2274のドレインは、ソースが駆動信号RB1 2276に接続されているM9 2277のゲートを駆動する。ゲート蓄積キャパシタC_{RX1} 2275は、M9 2277のゲートとドレインとの間に接続されている。M9 2277のドレインは、ソースが駆動信号RS1 2278によって駆動されるM10 2279のゲートをさらに駆動する。ゲート蓄積キャパシタC_{RR1} 2280は、M10 2279のゲートとドレインとの間に接続されている。M10 2279のドレインは、画素2256への行ライン

10

20

30

40

50

$V_{ROW1\ 2\ 2\ 5\ 0}$ を駆動する。

【0194】

図35は列デマルチプレクス化動作波形の代表的な波形およびサブ回路を示している。列書き込み動作2200は3つのフェーズで達成される。第1のフェーズでは、列ソース信号 $CS0\ 2\ 3\ 9\ 1$ は高いプリチャージ電圧 $V_{PCH\ 2\ 3\ 0\ 5}$ まで上昇され、16個の列ゲート信号 $CA0\ 2\ 3\ 0\ 0$ の全部が高電圧にパルス化される。これは、 $M4\ 2\ 3\ 0\ 2$ のソースからドレインへの導通によって V_{COL0} ノード2303（および全部で623個の類似したノード）を $V_{PCH\ 2\ 3\ 0\ 5}$ 電圧までプリチャージする。列書き込み動作の第2のフェーズ中に、 CS ラインの全部、本ケースでは $CS0$ ライン2301が、第3のフェーズに備えて中間レベル電圧 $V_{PCL\ 2\ 3\ 0\ 6}$ へ引き寄せられる。第3のフェーズ中に、単一の列選択信号 $CA0\ 2\ 3\ 0\ 0$ が中間レベルゲート電圧へ作動される。列ソースラインは、その後に、 $V_{PCL\ 2\ 3\ 0\ 6}$ と、 $M4\ 2\ 3\ 0\ 2$ に比較的高い導通を生じさせるため十分に低い電圧レベルである $V_{PD\ 2\ 3\ 0\ 7}$ との間で、画素情報を用いてパルス幅変調（PWM）される。 $M4$ の「オン」時間を時間変調することにより、所望の電圧が $V_{COL0\ 2\ 3\ 0\ 3}$ 上で達成され、蓄積キャパシタ2304によって蓄積される。後続の CA 選択ライン1004（たとえば、 $CA1\ 2\ 3\ 0\ 8$ ）が代わりの列ラインを書き込むためにパルス化される。

10

【0195】

図36は、4つのフェーズで記載されている行書き込み動作の電圧波形を示している。第1のフェーズ2350では、 RG 信号2357および $RA0$ 信号2358は、 $M5\ 2\ 2\ 6\ 6$ および $M8\ 2\ 2\ 7\ 4$ が導通し、 $M6\ 2\ 2\ 6\ 8$ および $M9\ 2\ 2\ 7\ 7$ のゲートへ所望の電圧を駆動できるように、駆動される。第1のフェーズ2350の終わりに、 $RA0$ 信号2358は下げられ、 $M5\ 2\ 2\ 6\ 6$ および $M8\ 2\ 2\ 7\ 4$ を「オフ」状態に切り替える。その結果、有意な導通のため十分である電圧が $M6\ 2\ 2\ 6\ 8$ のゲートおよび $M9\ 2\ 2\ 7\ 7$ のゲートに蓄積され、すなわち、 $M6\ 2\ 2\ 6\ 8$ のゲートおよび $M9\ 2\ 2\ 7\ 7$ のゲートは、状態時系列表示2359に示されているように「オン」状態に選択されている。 $M6\ 2\ 2\ 6\ 8$ および $M9\ 2\ 2\ 7\ 7$ の両方が状態時系列表示2360に示されているように同様に「オン」状態に切り替えられる。

20

【0196】

図36の第2のフェーズ2351では、 $RB0$ ラインおよび $RB1$ ライン2356は、 $M7\ 2\ 2\ 7\ 1$ および $M10\ 2\ 2\ 7\ 9$ を作動するため、十分に高い電圧へ駆動される。

30

【0197】

図36の第3のフェーズ2352では、 $RB0$ ラインおよび $RB1$ ライン2356は、 $RS0$ ライン2354および $RS1$ ライン2355と同様に、行ライン $V_{ROW0\ 2\ 2\ 5\ 5}$ および $V_{ROW1\ 2\ 2\ 5\ 6}$ が $M7\ 2\ 2\ 7\ 1$ および $M10\ 2\ 2\ 7\ 9$ の「オン」状態に起因して高電圧へ駆動されるように、高電位へ駆動される。行ゲート $V_{ROW0\ 2\ 2\ 5\ 5}$ および $V_{ROW1\ 2\ 2\ 5\ 6}$ をパルス化することにより、列電圧 $V_{COL0\ 2\ 2\ 5\ 8}$ は要求に応じて画素蓄積ノード $V_{PIXEL0,0\ 2\ 2\ 8\ 1}$ へ駆動される。対応する $RA2267$ 選択および $RB2269$ 選択の両方を作動させなかった行ライン2167は、対応する $RA2267$ 選択および $RB2269$ 選択が駆動されないので低電位を維持する。このようにして、画素の単一行は選択することが可能である。

40

【0198】

図36の第4のフェーズ2353では、 $RS0\ 2\ 3\ 5\ 4$ および $RS1\ 2\ 3\ 5\ 5$ は2個の静止電圧に低減される。 $RB0$ および $RB1\ 2\ 3\ 5\ 6$ は、状態タイミング図2361に示されているように、 $M7\ 2\ 2\ 7\ 1$ および $M10\ 2\ 2\ 7\ 9$ をオフに切り替えるためにさらに低減される。第4のフェーズ2353の終わりに、 $RA0$ 信号2358は、 $M6\ 2\ 2\ 6\ 8$ および $M9\ 2\ 2\ 7\ 7$ がゲート蓄積キャパシタ $C_{RX0\ 2\ 2\ 7\ 0}$ および $C_{RX1\ 2\ 2\ 7\ 5}$ にそれぞれ蓄積されている「オフ」状態に切り替えられるように、低減された RG 電圧2357より上にパルス化される。最後のステップでは、 $RA0$ 信号2358は、 $M5\ 2\ 2\ 6\ 6$ および $M8\ 2\ 2\ 7\ 4$ を同様に「オフ」に切り替えるため低電圧に低

50

減される。

【 0 1 9 9 】

図 3 7 は行交換動作 2 2 0 4 の代表的な電圧波形を示している。第 1 のフェーズ 2 4 0 0 では、RS 0 ライン 2 4 0 4 および RS 1 ライン 2 4 0 5 が予測される内部行電圧に設定される。RA 0 ライン 2 4 0 8 および RG ライン 2 4 0 7 は、1 個以上の行バンク 2 1 5 1 が選択されるように、図 3 6 に記載された第 1 のフェーズに類似した形式でパルス化される。第 2 のフェーズでは、RB 0 ラインおよび RB 1 ライン 2 4 0 6 が、M 6 2 2 6 9、M 9 2 2 7 7、M 7 2 2 7 1 および M 1 0 2 2 7 9 がすべて導通するように引き上げられる。高い方の静止電位にある RS ライン（本実施例では、RS 0 2 4 0 4）は低い方の静止電圧まで低減される。第 2 のフェーズ 2 4 0 1 と第 3 のフェーズ 2 4 0 2 との間で、充電時間は、アレイ 2 1 6 7 への行ラインが共に低い方の静止電位に整定し得るように考慮される。第 3 のフェーズでは、当初は低い方の静止電圧であった RS ライン（本実施例では、RS 1 2 4 0 5）は、高い方の静止電圧まで引き上げられる。第 4 のフェーズ 2 4 0 3 では、RB 0 ラインおよび RB 1 ライン 2 4 0 6 と、RG ライン 2 4 0 7 および RA 0 ライン 2 4 0 8 とは、行デマルチプレクス化回路内のトランジスタが静止「オフ」状態へ戻されるように低減される。

【 0 2 0 0 】

行交換動作 2 2 0 4 は多数のバンク上で同時に動作することが可能である。好ましい実施形態では、行は、COM 電圧レベルを上回る画素電圧および下回る画素電圧で交互に書き込まれる。その結果、「上回る」画素の行および「下回る」画素の行は、静止行電圧に対し異なる要件を有するであろう。行交換動作を共通の電圧レベルを有する行信号 1 1 6 7 の部分集合を取り扱う付加的なフェーズ（図示せず）に分割することは多くの場合に有利である。このような変更は、用途設計上の選択に依存し、本教示の範囲に含まれる。

10

20

【 図 1 】

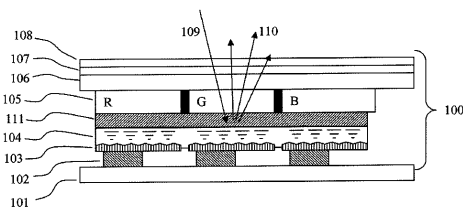
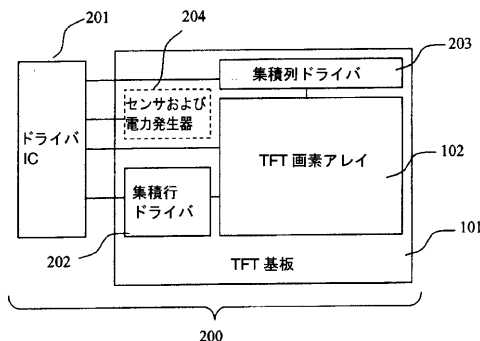
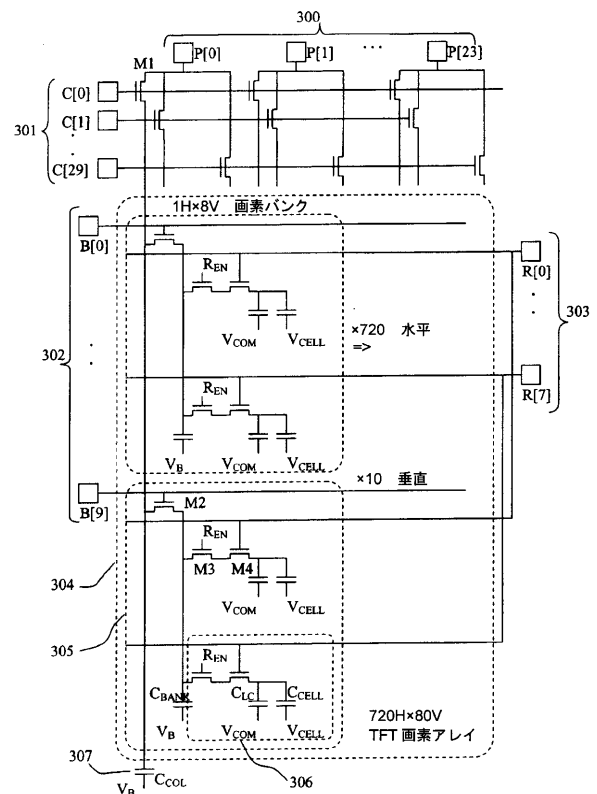


Figure 1.

【 図 2 】



【 図 3 】



【 図 4 】

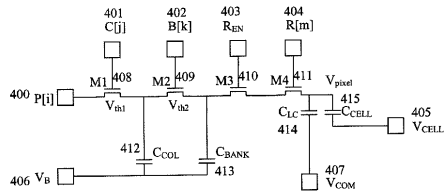


Figure 4.

【 図 5 】

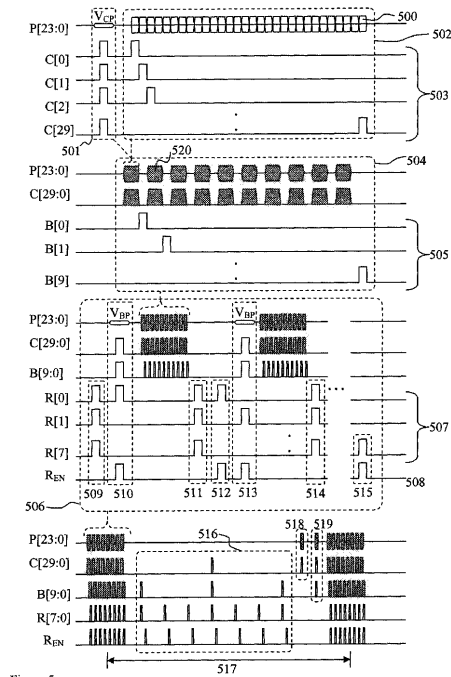
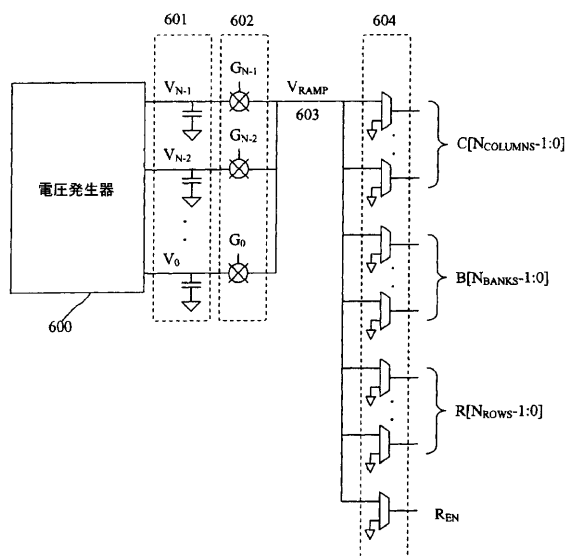


Figure 5.

【 図 6 】



【 図 7 】

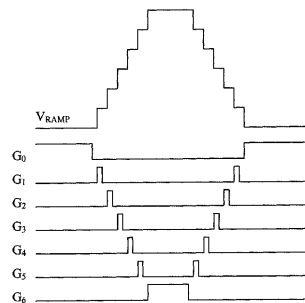


Figure 7.

【 図 8 】

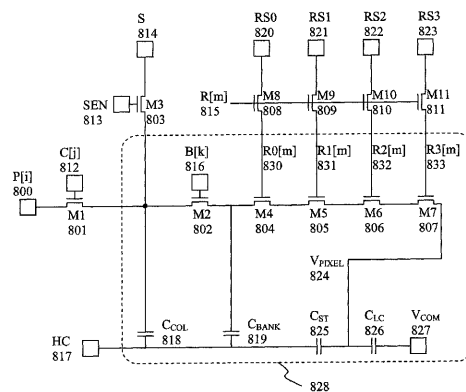
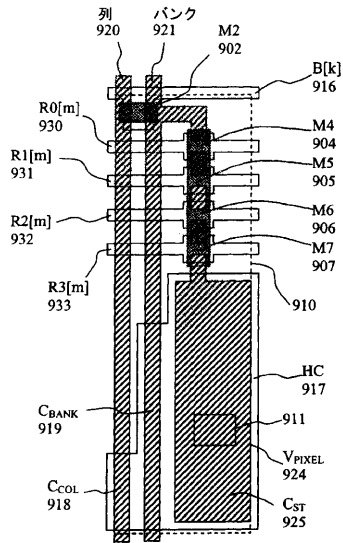
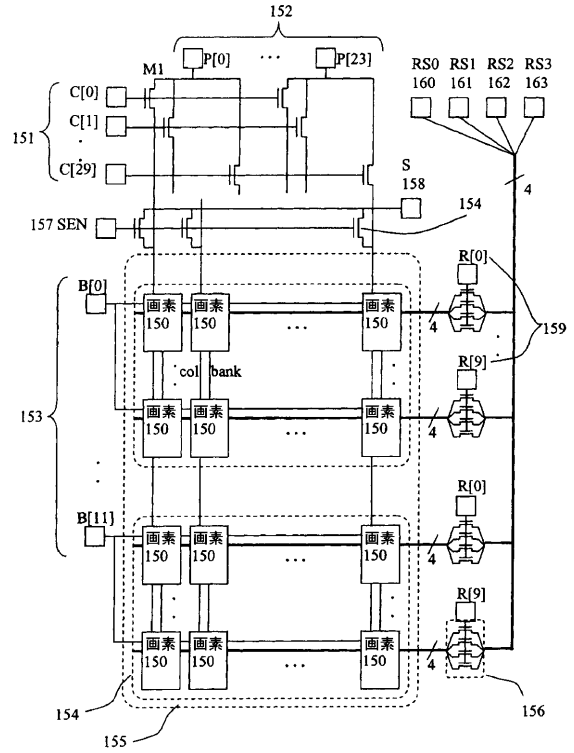


Figure 8.

【図 9】



【図 10】



【図 11】

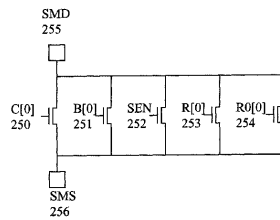


Figure 11.

【図 13】

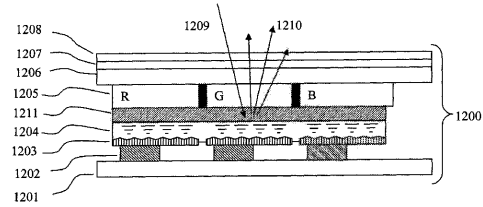
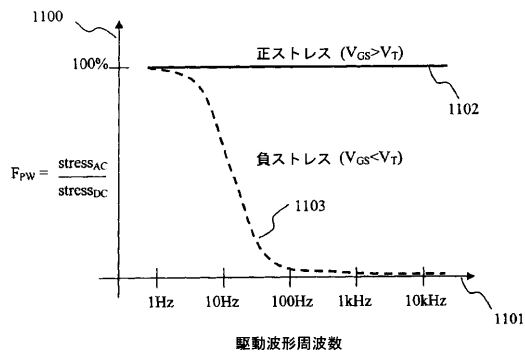
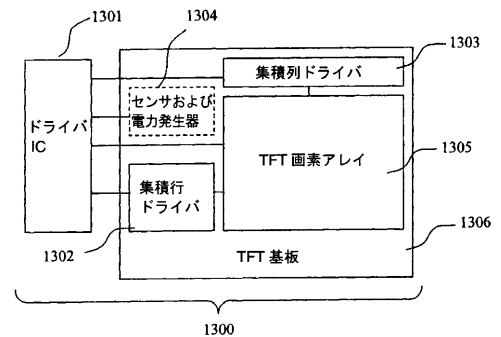


Figure 13.

【図 12】



【図 14】



【図 19 a】

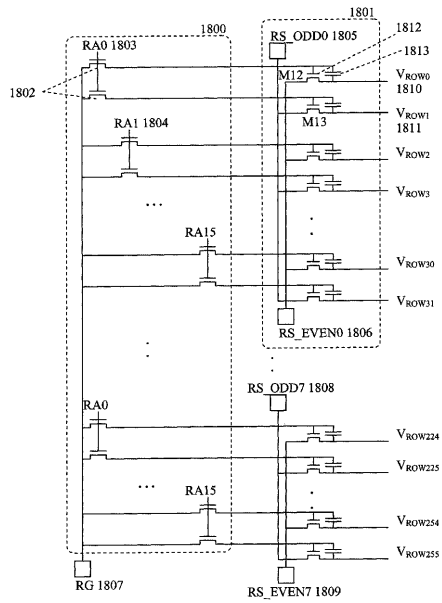
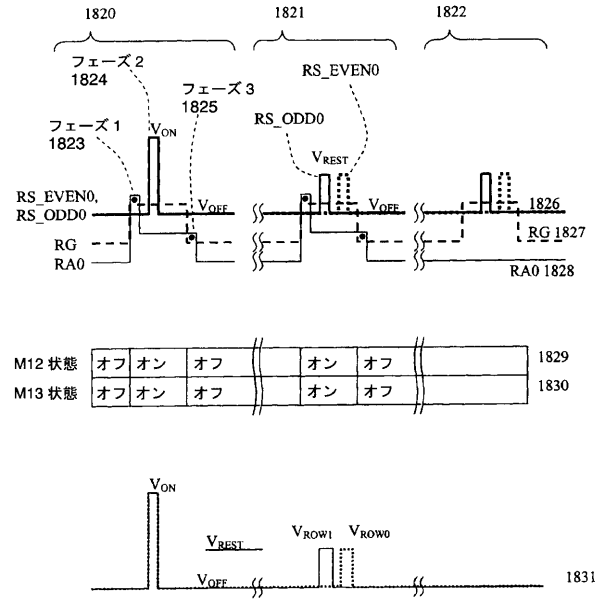


Figure 19a.

【図 19 b】



【図 19 c】

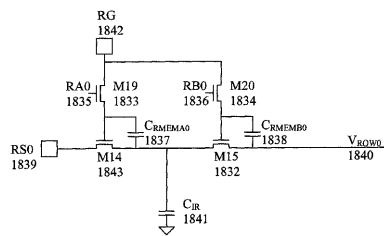


Figure 19c.

【図 20】

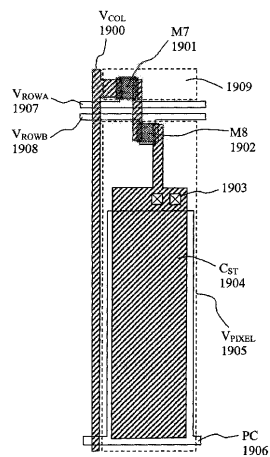
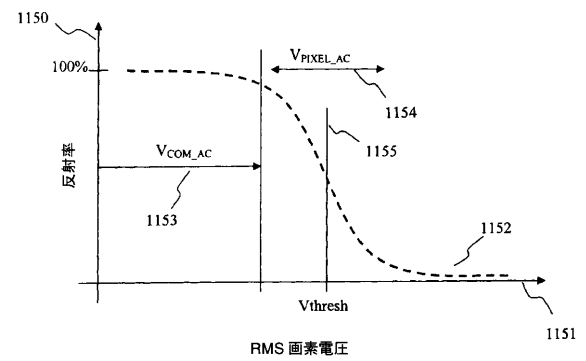
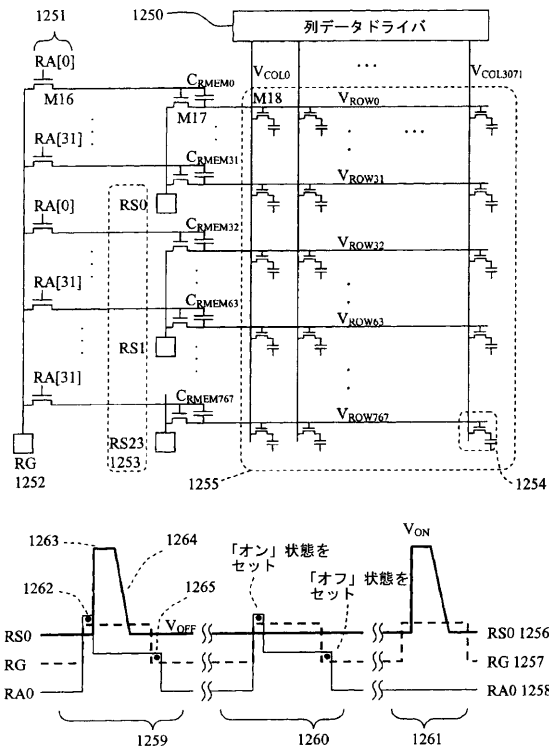


Figure 20.

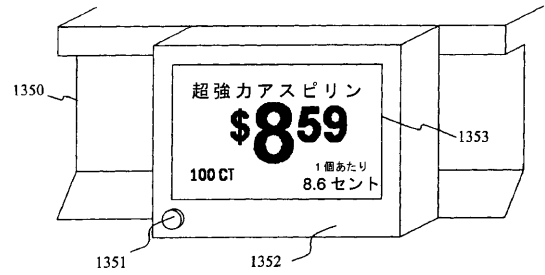
【図 21】



【 図 2 2 】



【 図 2 3 】



【 図 2 4 】

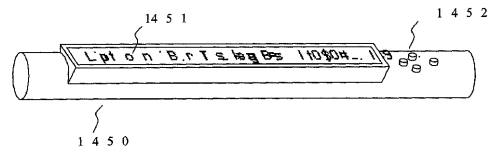


Figure 24.

【 図 2 5 】

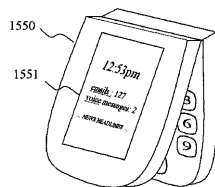
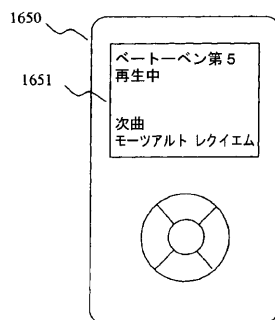


Figure 25.

【 図 2 6 】



【 ㊦ 27 】

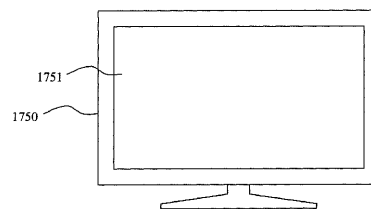


Figure 27.

【 ㊦ 2 8 】

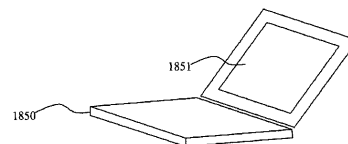
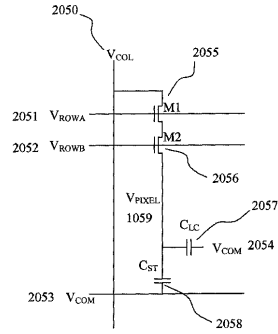


Figure 28.

【 図 3 0 】



【 ㊦ 3 2 】

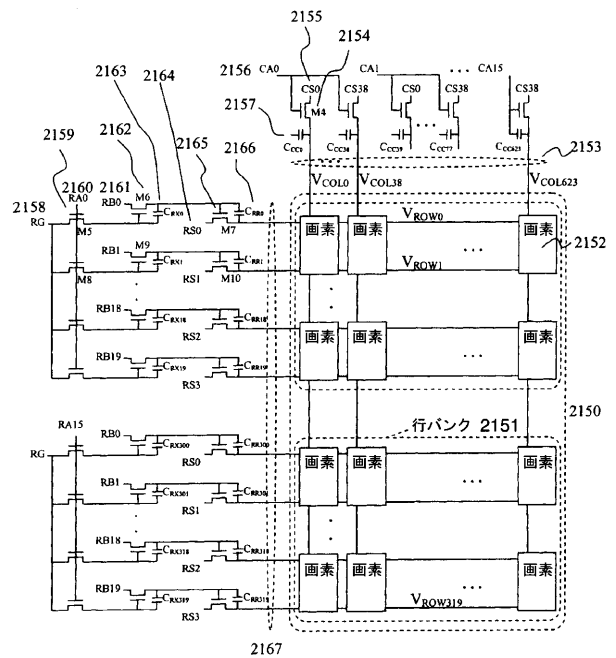
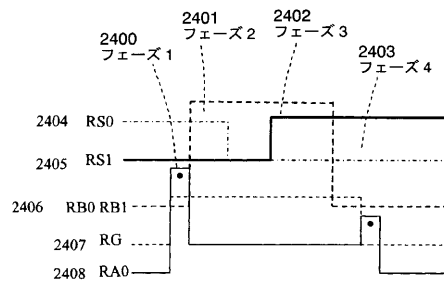


Figure 31.

【図 37】



• M5 「オン」

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2007/086314
A. CLASSIFICATION OF SUBJECT MATTER INV. 60963/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 903 249 A (KOYAMA JUN [JP] ET AL) 11 May 1999 (1999-05-11) figure 1A example 1	9, 10
A	WO 2004/088628 A (CANON KK [JP]; HIRAI TADAHIKO [JP]; SAWADA KIKUZO [JP]) 14 October 2004 (2004-10-14) the whole document	
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 3 April 2008		Date of mailing of the international search report 11/04/2008
Name and mailing address of the ISA/ European Patent Office, P.O. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. St 851 epo nl, Fax: (+31-70) 340-3016		Authorized officer Hussein, Stephane

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2007/086314

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5903249	A	11-05-1999	JP	3471928 B2	02-12-2003
			JP	8110530 A	30-04-1996
WO 2004088628	A	14-10-2004	US	2006109264 A1	25-05-2006

专利名称(译)	低功耗有源矩阵显示器		
公开(公告)号	JP2010511900A	公开(公告)日	2010-04-15
申请号	JP2009539538	申请日	2007-12-03
[标]申请(专利权)人(译)	存储电子系统		
申请(专利权)人(译)	商店，电子系统		
[标]发明人	チャールズエフノイゲパワー ゲアリーエルワグナー		
发明人	チャールズ、エフ.ノイゲパワー ゲアリー、エル.ワグナー		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G02F1/13624 G09G3/3659 G09G3/3677 G09G3/3688 G09G2300/0408 G09G2300/0814 G09G2310/0218 G09G2310/0254 G09G2310/0297 G09G2310/06 G09G2320/029 G09G2320/043 G09G2330/021 G09G2330/023		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.622.C G09G3/20.622.D G09G3/20.624.B G09G3/20.623.C G09G3/20.623.D G09G3/20.670.K G09G3/20.621.A G09G3/20.622.S G09G3/20.621.B G02F1/133.550 G02F1/133.505		
F-TERM分类号	2H193/ZA19 2H193/ZB30 2H193/ZF21 2H193/ZF31 2H193/ZF46 2H193/ZH32 2H193/ZH45 2H193/ZH52 2H193/ZK23 5C006/AA16 5C006/AA22 5C006/AC07 5C006/AC11 5C006/AC24 5C006/AF21 5C006/AF42 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF54 5C006/AF64 5C006/AF65 5C006/AF69 5C006/AF71 5C006/AF75 5C006/AF81 5C006/BB11 5C006/BB16 5C006/BB27 5C006/BB28 5C006/BC03 5C006/BC05 5C006/BC06 5C006/BC20 5C006/BC22 5C006/BC23 5C006/BF11 5C006/BF33 5C006/BF34 5C006/BF37 5C006/BF38 5C006/EB05 5C006/FA18 5C006/FA33 5C006/FA38 5C006/FA42 5C006/FA47 5C006/GA03 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD18 5C080/DD19 5C080/DD23 5C080/DD26 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07 5C080/KK02 5C080/KK07 5C080/KK43 5C080/KK47		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
优先权	60/868250 2006-12-01 US 60/884155 2007-01-09 US 60/893336 2007-03-06 US 60/894883 2007-03-14 US		
外部链接	Espacenet		

摘要(译)

这里描述的是用于低功率液晶显示器 (LCD) 中的应力避免和应力补偿的系统和方法。在示例性实施例中，串联的两个或更多个晶体管用于在LCD像素上保持电荷。为了避免对晶体管的负面应力，晶体管交替地被驱动到“关断”状态，使得没有一个晶体管看到长的“关断”时间。在另一个实施例中，测量显示电路的晶体管上的应力，并且将受控的负应力施加到晶体管以补偿测量的应力。

