

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-156805

(P2010-156805A)

(43) 公開日 平成22年7月15日(2010.7.15)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G09F 9/30 (2006.01)	G09F 9/30 338	5C094

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2008-334567 (P2008-334567)
(22) 出願日 平成20年12月26日 (2008.12.26)

(71) 出願人 000001443
カシオ計算機株式会社
東京都渋谷区本町1丁目6番2号
(74) 代理人 100082876
弁理士 平山 一幸
(74) 代理人 100109807
弁理士 篠田 哲也
(74) 代理人 100148127
弁理士 小川 耕太
(72) 発明者 中村 やよい
東京都八王子市石川町2951番地の5
カシオ計算機株式会社八王子技術センター
内

最終頁に続く

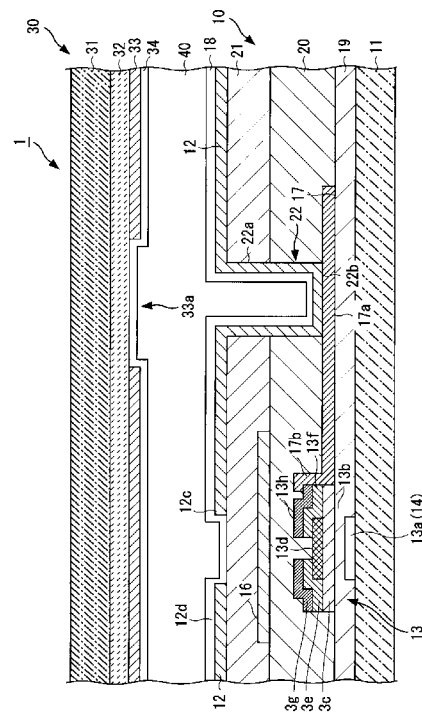
(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【課題】開口率を向上した液晶表示素子を提供する。

【解決手段】液晶表示素子は、マトリックス状に設けた複数の薄膜トランジスタ13と、それぞれが対応する薄膜トランジスタ13に接続した複数の接続電極17と、複数の薄膜トランジスタ13および複数の接続電極17上に設け画素毎の中央にコンタクトホール22を有する絶縁層20、21と、絶縁層21上に設けそれぞれが対応する接続電極17にコンタクトホール22を介して接続した複数の画素電極12と、絶縁層21および複数の画素電極12に対向し液晶41を挟んで配置し画素毎にコンタクトホール22の位置にあわせて開口33aを有する共通電極33と、を備える。

【選択図】図4



【特許請求の範囲】

【請求項 1】

マトリックス状に設けられる複数の薄膜トランジスタと、
それぞれが対応する前記薄膜トランジスタに接続される複数の接続電極と、
前記複数の薄膜トランジスタおよび前記複数の接続電極上に設けられ、画素毎の中央に
コンタクトホールを有する、絶縁層と、
前記絶縁層上に設けられ、それぞれが対応する前記接続電極に前記コンタクトホールを
介して接続される複数の画素電極と、
前記絶縁層および前記複数の画素電極に対向し液晶を挟んで配置され、画素毎に前記コ
ンタクトホールの位置にあわせて開口を有する共通電極と、
を含む液晶表示素子。

10

【請求項 2】

前記絶縁層に画素毎に形成されるコンタクトホールと前記共通電極に形成される開口と
が同軸上に配置される、請求項 1 に記載の液晶表示素子。

【請求項 3】

前記共通電極は、前記絶縁層に画素毎に形成されるコンタクトホールよりも径の大きい
前記開口を有する、請求項 1 に記載の液晶表示素子。

【請求項 4】

前記画素電極を覆って形成された第 1 の垂直配向膜と、前記共通電極を覆って形成され
た第 2 の垂直配向膜と、前記第 1 及び第 2 の垂直配向膜間に介在する負の誘電異方性を有
する前記液晶と、を含む、請求項 1 に記載の液晶表示素子。

20

【請求項 5】

前記接続電極は透明導電物質で形成されている、請求項 1 に記載の液晶表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、開口率を向上した液晶表示素子に関する。

【背景技術】

【0002】

液晶表示素子は、間隔を開けて対向する一对の基板のうち一方の基板に、マトリックス
状に設けられた複数の画素電極と、これらの複数の画素電極にそれぞれ対応して設けられ
て接続される複数の薄膜トランジスタと、各薄膜トランジスタにゲート信号とデータ信号
とをそれぞれ供給する複数の走査線および複数の信号線と、を設ける一方、他方の基板に
複数の画素電極と対向する共通の共通電極（対向電極）を設け、一对の基板の対向面のそ
れぞれに配向膜を設け、液晶を封入して構成されている。液晶表示素子は、画素毎に画素
電極に電圧を印加することで液晶の配向を制御している。

30

【0003】

そのうち、配向膜を垂直配向膜として負の誘電異方性を有する液晶を用いた垂直配向型
液晶表示素子がある。画素電極と共通電極との間に電界が生じていない場合には、液晶分
子は配向膜に垂直となっているが、その間に電界が印加されると、液晶分子はその長軸が
電界と直交するように傾斜する。そこで、共通電極側に突起を設け、その突起上にも垂直
配向膜を形成する。画素電極と共通電極との間に電圧が印加されていない状態でも突起の
領域にある液晶分子を共通基板に対してわずかに傾斜しておく。この状態で画素電極と共
通電極との間に電圧を印加すると、液晶分子が突起に向かって倒れる、すなわち突起の頂
点を境に液晶分子が逆方向に傾斜することにより、広い視野角が得られる（特許文献 1 参
照）。

40

【0004】

【特許文献 1】特開平 11 - 352489 号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 5 】

しかしながら、画素電極と共通電極との間に電界が生じていない状態であっても、突起の周囲では液晶分子が基板に対し垂直配向せず、一定の傾斜を有し配列される。よって、突起周りの液晶分子は垂直配向でないため、バックライトが透過する。そのため、T F T基板すなわち薄膜トランジスタが構築されている基板側において突起の領域には、光漏れを防止するために、遮光メタルを設ける必要がある。遮光メタルを設けると、一つの画素の面積に対し、表示に寄与する領域の割合が低下し、開口率が低下する。

【 0 0 0 6 】

突起は共通基板（対向基板）側に設けられ、遮光メタルはT F T基板側に設けられるため、対向基板とT F T基板とを間隔を開けて貼り合わせる際、突起と遮光メタルとの位置合わせで生じ得るずれ分だけ遮光メタルの面積を大きくする必要があり、開口率はさらに低下する。特に、高精細液晶表示素子では開口率の低下が著しくなる。

10

【 0 0 0 7 】

本発明では、開口率を向上した液晶表示素子を提供することを目的とする。

【 0 0 0 8 】

本発明の一つの観点は、マトリックス状に設けられる複数の薄膜トランジスタと、それぞれが対応の薄膜トランジスタに接続される複数の接続電極と、複数の薄膜トランジスタおよび複数の接続電極上に設けられ、画素毎の中央にコンタクトホールを有する、絶縁層と、絶縁層上に設けられ、それぞれが対応の接続電極にコンタクトホールを介して接続される複数の画素電極と、絶縁層および複数の画素電極に対向し液晶を挟んで配置され、画素毎にコンタクトホールの位置にあわせて開口を有する共通電極と、を含むことを特徴とする。

20

【 0 0 0 9 】

特に、絶縁層に画素毎に形成されるコンタクトホールと共通電極に形成される開口とが同軸上に配置されるとよい。共通電極には、絶縁層に画素毎に形成されるコンタクトホールよりも径の大きい開口を有すると好ましい。画素電極を覆って形成された第1の垂直配向膜と共通電極を覆って形成された第2の垂直配向膜と、これら第1及び第2の垂直配向膜間に介在する負の誘電異方性を有する液晶と、を含むと好ましい。接続電極は透明導電物質で形成されているとよい。

【 発明の効果 】

30

【 0 0 1 0 】

本発明によれば、画素電極と接続電極とを接触させるコンタクトホールと共通電極の開口とが位置合わせされているので、画素電極と共通電極との間に電界が生じていない場合、コンタクトホール近辺の液晶分子の傾斜による光漏れが共通電極の開口による液晶分子により抑制される。従って、コンタクト比が向上し表示品質が優れた液晶表示素子が得られる。

【 発明を実施するための最良の形態 】

【 0 0 1 1 】

以下、本発明の幾つかの実施の形態について図面を参照しつつ詳細に説明する。

図1は本発明の実施形態に係る液晶表示素子1のうちT F T基板10の平面図、図2は液晶表示素子1のうち共通基板30の平面図、図3は図2のI I I - I I I線に沿う断面図、図4は図1に示すI V - I V線に沿う断面図、図5は図1に示すV - V線に沿う断面図である。

40

【 0 0 1 2 】

本発明の実施形態に係る液晶表示素子1はアクティブマトリックス液晶表示素子であり、T F T基板10と対向基板（「共通基板」ともいう）30とが予め所定の間隔を開けて対向して設けられ、T F T基板10と対向基板30との間には液晶が封入され液晶層40が形成されている。

【 0 0 1 3 】

T F T基板10は、透明基板11と、透明基板面内にマトリックス状に配置するよう設

50

けられた複数の画素電極 1 2 と、複数の画素電極 1 2 のそれぞれに対応するよう設けられる複数の薄膜トランジスタ (T F T : Thin Film Transistor) 1 3 と、これら複数の薄膜トランジスタ 1 3 のそれぞれにゲート信号およびデータ信号を供給するよう行方向、列方向にそれぞれ設けられる複数のゲート線 1 4 および複数の信号線 1 5 と、複数の画素電極 1 2 のそれぞれに対して設けられる複数の補助容量電極 1 6 と、画素電極 1 2 と薄膜トランジスタ 1 3 とを接続する接続電極 1 7 と、画素電極 1 2 を含む T F T 基板表面に設けられる配向膜 1 8 と、を備えている。

【 0 0 1 4 】

一方、対向基板 3 0 は、透明基板 3 1 と、透明基板 3 1 面に設けられるカラーフィルター 3 2 と、このカラーフィルター 3 2 上に設けられ、画素毎に開口 3 3 a を有する共通電極 (対向電極) 3 3 と、対向基板 3 0 の表面、すなわち共通電極 3 3 およびカラーフィルター 3 2 面上に設けられる配向膜 3 4 と、を含んでいる。図 2 に示すように、 R 、 G 、 B の各カラーフィルターが順に並んで設けられる。

10

【 0 0 1 5 】

T F T 基板 1 0 の構成について詳細に説明する。

ガラス基板などの透明基板 1 1 上に複数本のゲート線 1 4 が列方向に間隔を空けて並んで配置され、それぞれのゲート線 1 4 が行方向に配設されている。各ゲート線 1 4 には画素領域毎にゲート電極 1 3 a を有している。ゲート線 1 4 は、例えば C r などの金属で形成されている。

20

【 0 0 1 6 】

透明基板 1 1 、ゲート線 1 4 を覆って第 1 の絶縁層 1 9 が形成されている。

第 1 の絶縁層 1 9 上には複数の信号線 1 5 が行方向に間隔を空けて並んで設けられ、それぞれの信号線 1 5 が列方向に配設されている。信号線 1 5 は、図 5 に示すように、半導体層 1 5 a とオーミックコンタクト層 1 5 b と金属層 1 5 c との積層で構成され、後述する薄膜トランジスタ 1 3 の一部の積層と同一のプロセスで形成される。

【 0 0 1 7 】

隣り合うゲート線 1 4 , 1 4 および信号線 1 5 , 1 5 で囲まれる各領域は一つの画素領域を構成し、画素領域毎に薄膜トランジスタ 1 3 が設けられる。この薄膜トランジスタ 1 3 は、各画素領域の所定位置、図 1 に示す例では下側のゲート線 1 4 の一部がゲート電極 1 3 a となり、第 1 の絶縁層 1 9 のうちこのゲート電極 1 3 a を覆う部分がゲート絶縁膜 1 3 b となり、このゲート絶縁膜 1 3 b を覆うように半導体層 1 3 c が設けられ、ゲート電極 1 3 a の領域で半導体層 1 3 c 面にエッチングストッパー層 1 3 d が設けられ、このエッチングストッパー層 1 3 d 面を一部分覆うよう列方向に対向して延びる一対のオーミックコンタクト層 1 3 e , 1 3 f と、この一対のオーミックコンタクト層 1 3 e , 1 3 f をそれぞれ覆うようにドレイン電極 1 3 g およびソース電極 1 3 h が設けられることにより、構成されている。

30

【 0 0 1 8 】

ソース電極 1 3 h および第 1 の絶縁層 1 9 上には接続電極 1 7 が設けられている。

接続電極 1 7 は、隣り合うゲート線 1 4 , 1 4 と隣り合う信号線 1 5 , 1 5 とのほぼ中間の領域に配置される矩形状の中央部 1 7 a と、中央部 1 7 a から列方向に細く延びてソース電極 1 3 h 上に部分的に重なり合う細長部 1 7 b とを有する。この細長部 1 7 b の行方向幅は、ソース電極 1 3 h の行方向幅よりも短い。

40

【 0 0 1 9 】

薄膜トランジスタ 1 3 の半導体層 1 3 c , エッチングストッパー層 1 3 d , 一対のオーミックコンタクト層 1 3 e , 1 3 f , ドレイン電極 1 3 g およびソース電極 1 3 h の積層構造は第 1 の絶縁層 1 9 面上に形成され、前述の信号線 1 5 も第 1 の絶縁層 1 9 面上に形成されるため、信号線 1 5 も半導体層 1 5 a , オーミックコンタクト層 1 5 b , 金属層 1 5 c の積層構造を有し、薄膜トランジスタ 1 3 のプロセスと同時に形成される。

【 0 0 2 0 】

信号線 1 5 、第 1 の絶縁層 1 9 および各画素領域の薄膜トランジスタ 1 3 上に第 2 の絶

50

縁層 20 が形成されている。

第 2 の絶縁層 20 上において、各ゲート線 14 および各信号線 15 の領域には、それぞれ補助容量電極 16 が設けられ、行方向および列方向で隣り合う補助容量電極 16 で枠状をなしている。

補助容量電極 16 および第 2 の絶縁層 20 上には第 3 の絶縁層 21 が設けられている。第 2 の絶縁層 20 および第 3 の絶縁層 21 には、各画素領域のほぼ中心部にコンタクトホール 22 が貫通して形成され、接続電極 17 の中央部 17a の一部を露出している。コンタクトホール 22 の中心は接続電極 17 の中央部 17a の中心とほぼ同軸上に形成されている。

第 3 の絶縁層 21 上において、各画素領域全体に互って、かつ、コンタクトホール 22 の開口縁部 22a および接続電極 17 上に、画素電極 12 が形成されている。

【0021】

画素電極 12 は、図 4 および図 5 に示す例では、画素電極 12 における列方向の縁部 12a, 12b が信号線 15, 15 と部分的に重ならず補助容量電極 16 と部分的に重なり合い、画素電極 12 における行方向の縁部 12c, 12d がゲート線 14, 14 と部分的に重ならず補助容量電極 16 と部分的に重なり合っている。なお、画素電極 12 における列方向の縁部 12a, 12b を信号線 15, 15 と部分的に重なり合い、画素電極 12 における行方向の縁部 12c, 12d のうち一方又は双方をゲート線 14 と部分的に重なり合うように形成されていてもよい。画素電極 12 および接続電極 17 は、ITO などの透明導電物質で形成されている。

【0022】

複数の画素電極 12 および第 3 の絶縁層 21 上には第 1 の配向膜としての垂直配向膜 18 が設けられている。この垂直配向膜 18 はラビング処理がされていても、されていなくてもよい。

【0023】

対向基板 30、特に CF 基板の構造について説明する。

透明基板 31 面には RGB の各カラーフィルター 32 が設けられ、カラーフィルター 32 上に共通電極 33 が形成されている。共通電極 33 には、画素領域毎に、画素電極 12 の中央部でコンタクトホール 22 を経由して接続電極 17 に接続している底部 22b の中心軸上に、開口 33a を有している。開口 33a は、図 2 に示すように、例えば円形である。コンタクトホール 22 の底部 22b 中心と開口 33a の中心とはほぼ同軸上にある。ここで、開口 33a の径は、コンタクトホール 22 の寸法よりも大きい。この理由は後述する。

【0024】

共通電極 33 およびカラーフィルター 32 上には、第 2 の配向膜としての垂直配向膜 34 が形成されている。この垂直配向膜 34 はラビング処理がされていてもされていなくてもよい。

【0025】

TFT 基板 10 と対向基板 30 とは、前述のように、各画素領域において、コンタクトホール 22 の中心軸と開口 33a の中心軸とがほぼ同軸となるよう、所定の間隔をおいて配置され、垂直配向膜 18, 34 の間に、負の誘電異方性を有する液晶分子が充填され、液晶層 40 となっている。

【0026】

この液晶表示素子 1 においては、図示を省略するが、TFT 基板 10 の下側に偏光板が設けられ、共通基板 31 の上側に偏光板が設けられ、両偏光板は互いに直交している。

【0027】

図 6 は、画素電極 12 と共通電極 33 との間の液晶分子 41 の様子を模式的に示し、(A) は電界が生じていない場合を、(B) は電界が生じている場合を、それぞれ示す図である。

画素電極 12 と共通電極 33 との間に電位差が生じていない、すなわち電界が生じてい

10

20

30

40

50

ない場合には、図 6 (A) に示すように、画素電極 1 2 側、共通電極 3 3 側も、液晶分子 4 1 の長軸が配向膜 1 8 , 3 4 に垂直となるように配向している。とくに、コンタクトホール 2 2 側の縁では、液晶分子 4 1 はコンタクトホール 2 2 の中心軸に傾いている。その結果、TFT 基板 1 0 の裏面側からのバックライトがわずかに漏れる可能性がある。しかし、共通基板 3 0 側の液晶分子 4 1 は共通基板 3 0 の開口 3 3 a 内において垂直配向しており、開口 3 3 a の径はコンタクトホール 2 2 の寸法 (幅および長さ) よりも大きいので、その漏れも小さい。

この状態で、画素電極 1 2 と共通電極 3 3 との間に電位差が生じると、共通電極 3 3 と画素電極 1 2 との面上では、図 6 (B) に点線で示すように共通電極 3 3 および画素電極 1 2 の何れにも直交するように電界が生じるのに対し、共通電極 3 3 の開口 3 3 a の端では画素電極 1 2 に向かって湾曲した電界が生じる。液晶分子 4 1 は負の誘電異方性を有するため、液晶分子 4 1 はその長軸が電界と直交するように配向する。よって、液晶分子 4 1 は、共通電極 3 3 の開口 3 3 a の周りでは、その開口 3 3 a の中心軸に傾斜し、しかも、一つの画素領域内の液晶分子 4 1 が開口 3 3 a を中心軸として対称となり、広い視野角が得られる。

【 0 0 2 8 】

本発明の実施形態では、列方向に隣り合うゲート線 1 4 , 1 4 と行方向に隣り合う信号線 1 5 , 1 5 とで一つの画素領域を画成し、画素電極 1 2 を各画素領域全体に互って形成し、かつ、コンタクトホール 2 2 を各画素領域の対角線の略中心に形成し、そのコンタクトホール下で接続電極 1 7 の中央部 1 7 a が形成されている。一方、共通電極 3 3 の開口 3 3 a の中心がコンタクトホール 2 2 の中心とほぼ同軸に配置されている。よって、画素電極 1 2 と共通電極 3 3 との間に電界が生じていない状態では黒表示となるが、コンタクトホール 2 2 の開口縁部 2 2 a では液晶分子 4 1 が傾斜しても、バックライトが光漏れし難い。この状態から電界が生じると、開口 3 3 a を中心に液晶分子 4 1 が傾斜し、白表示となる。その際、液晶分子 4 1 が開口 3 3 a を取り囲むように傾斜して配向制御もできる。また、本実施形態では、各接続電極 1 7 は、ITO などの透明導電性物質で形成され、各画素領域の中心領域まで張り出しているため、接続電極 1 7 によりコントラスト比が低下しない。よって、開口率の低下も阻止することができ、高精細の液晶表示素子を提供することができる。

【 0 0 2 9 】

本発明の実施形態は上述したものに限定されることなく、本発明の趣旨の範囲内で種々変形して適用することができる。

【 0 0 3 0 】

例えば、前述した例では補助容量電極 1 6 を画素領域毎に枠状に金属で構成しているが、内側の部分だけ ITO などの透明電極材料で構成することで、開口率の低下を免れることができる。

【 0 0 3 1 】

図 7 は本発明の別の実施形態について、隣り合うゲート線と隣り合う信号線とで囲まれる一領域について、接続電極 1 7 と画素電極 5 2 と、共通電極の位置関係を示す平面図である。一つの画素電極 5 2 が図 1 に示すように列方向に長い場合には、図 7 に示すように、画素電極 5 2 を例えば 3 つの領域に分割されるように行方向にスリット 5 2 a を設け、すなわち、画素電極 5 2 を 3 つの領域に分け、その細分化した領域毎に、その中心に共通電極の開口 6 3 を設け、各開口 6 3 と対峙するようにコンタクトホールをそれぞれ設け、接続電極 1 7 と接続されるとよい。

【 0 0 3 2 】

また、薄膜トランジスタ 1 3 のドレイン電極 1 3 g およびソース電極 1 3 h を ITO 等の透明導電性物質で形成してもよく、その場合には、接続電極 1 7 をドレイン電極 1 3 g およびソース電極 1 3 h と同プロセスで一体的に形成してもよい。

【 0 0 3 3 】

また、図示する例では、TFT 基板 1 0 においてコンタクトホール 2 2 の下側には遮光

10

20

30

40

50

メタルを配置していないため、開口率がより向上するが、サイズ制限がない場合には、遮光メタルを配置しても構わない。また、共通電極 3 3 の開口 3 3 a は、平面視で円形ではなく多角形状としてもよく、コンタクトホール 2 2 も平面視で円形や多角形状とすることもできる。また、コンタクトホール 2 2 は、各画素領域の対角線の略中心に形成する場合で説明したが、視野角拡大等、液晶配向を制御可能であれば、各画素領域のどの位置に形成してもよく、その場合、画素領域毎に異なる位置に配置してもよい。さらに、本実施形態では、負の誘電異方性を有する垂直配向型液晶表示素子で説明したが、正の誘電異方性を有する垂直配向型液晶表示素子、あるいは、垂直配向型液晶表示素子とは異なる液晶表示素子に適用することが可能である。

【図面の簡単な説明】

10

【 0 0 3 4 】

【図 1】本発明の実施形態に係る液晶表示素子のうち T F T 基板の平面図である。

【図 2】本発明の実施形態に係る液晶表示素子のうち共通基板の平面図である。

【図 3】本発明の実施形態に係る液晶表示素子に関する、図 2 の I I I - I I I 線に沿う断面図である。

【図 4】本発明の実施形態に係る液晶表示素子に関する、図 1 の I V - I V 線に沿う断面図である。

【図 5】本発明の実施形態に係る液晶表示素子に関する、図 1 に示す V - V 線に沿う断面図である。

【図 6】画素電極と共通電極との間の液晶分子の様子を模式的に示し、(A) は電界が生じていない場合を、(B) は電界が生じている場合を、それぞれ示す図である。

20

【図 7】本発明の別の実施形態について、隣り合うゲート線と隣り合う信号線とで囲まれる一領域について、接続電極と画素電極と共通電極の位置関係を示す平面図である。

【符号の説明】

【 0 0 3 5 】

1 : 液晶表示素子

1 0 : T F T 基板

1 1 : 透明基板

1 2 , 5 2 : 画素電極

1 2 c , 1 2 d : 画素電極の縁部

30

1 3 : 薄膜トランジスタ

1 3 a : ゲート電極

1 3 b : ゲート絶縁膜

1 3 c : 半導体層

1 3 d : エッチングストッパー層

1 3 e , 1 3 f : オーミックコンタクト層

1 3 g : ドレイン電極

1 3 h : ソース電極

1 4 : ゲート線

1 5 : 信号線

40

1 5 a : 半導体層

1 5 b : オーミックコンタクト層

1 5 c : 金属層

1 6 : 補助容量電極

1 7 : 接続電極

1 7 a : 中央部

1 7 b : 細長部

1 8 , 3 4 : 配向膜

1 9 : 第 1 の絶縁層

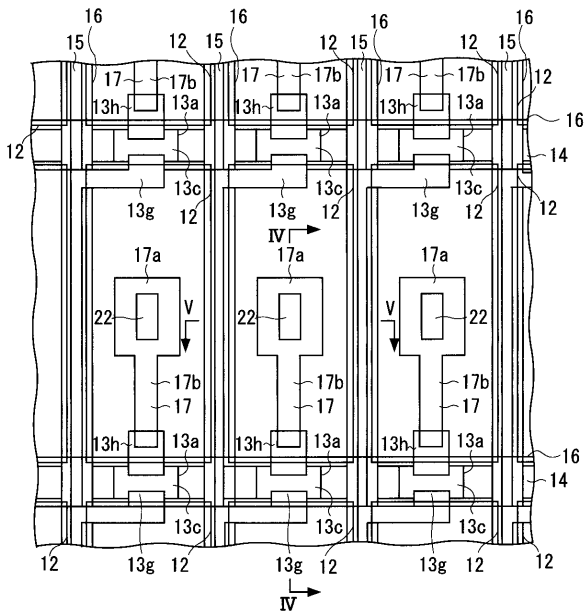
2 0 : 第 2 の絶縁層

50

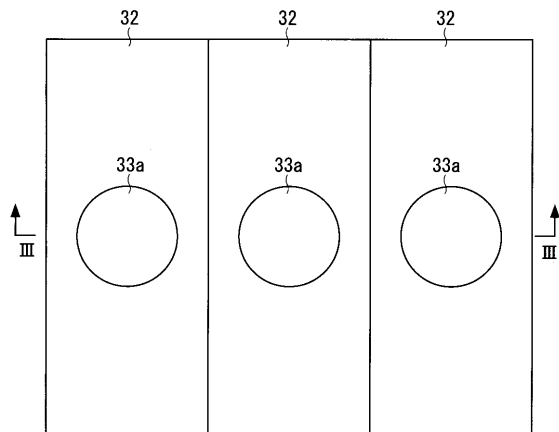
- 2 1 : 第 3 の絶縁層
- 2 2 : コンタクトホール
- 2 2 a : 開口縁部
- 2 2 b : 底部
- 3 0 : 共通基板 (対向基板)
- 3 1 : 透明基板
- 3 2 : カラーフィルタ
- 3 3 : 共通電極
- 3 3 a , 6 3 a : 共通電極の開口
- 3 4 : 配向膜
- 4 0 : 液晶層
- 4 1 : 液晶分子
- 5 2 a : スリット

10

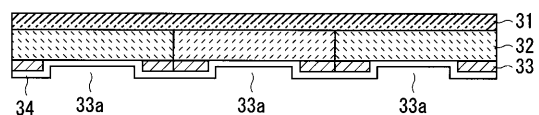
【 图 1 】



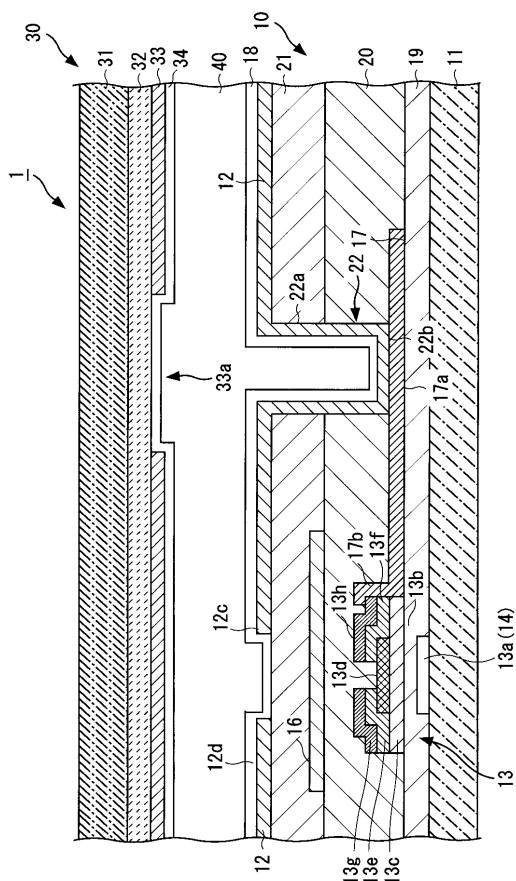
【圖 2】



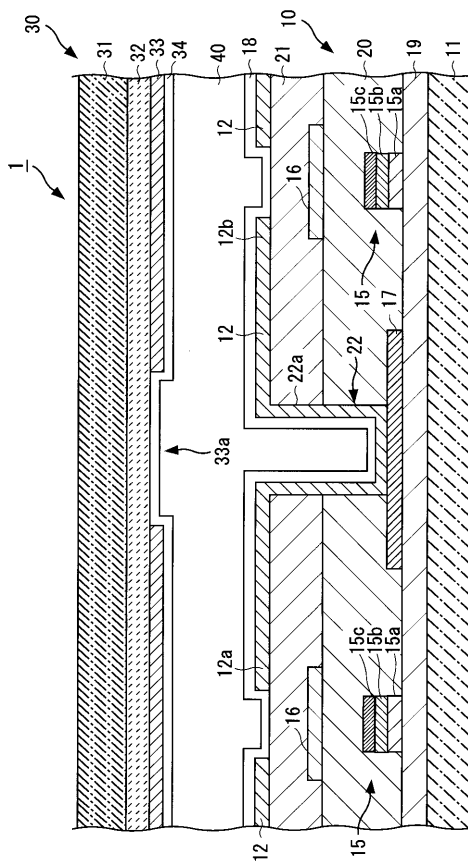
【圖 3】



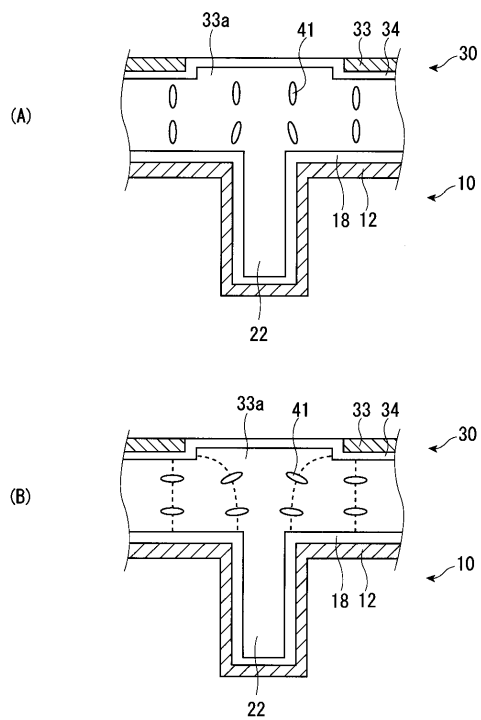
【 図 4 】



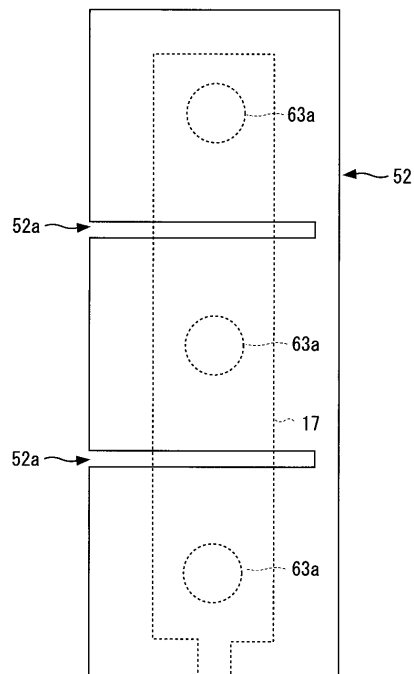
【 図 5 】



【 図 6 】



【图 7】



フロントページの続き

F ターム(参考) 2H092 GA12 GA32 JA24 JA34 JA37 JA41 JA46 JB11 JB22 JB56
NA07 PA02 PA08 QA05
5C094 AA02 BA03 BA43 DB01 EA10

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2010156805A5	公开(公告)日	2011-11-24
申请号	JP2008334567	申请日	2008-12-26
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	中村やよい		
发明人	中村 やよい		
IPC分类号	G02F1/1368 G09F9/30		
FI分类号	G02F1/1368 G09F9/30.338		
F-TERM分类号	2H092/GA12 2H092/GA32 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB11 2H092/JB22 2H092/JB56 2H092/NA07 2H092/PA02 2H092/PA08 2H092/QA05 5C094/AA02 5C094/BA03 5C094/BA43 5C094/DB01 5C094/EA10 2H192/AA24 2H192/BA24 2H192/BC13 2H192/BC42 2H192/CB05 2H192/CB61 2H192/CB71 2H192/CC04 2H192/DA15 2H192/EA43 2H192/JA13		
代理人(译)	平山和幸 筱田哲也 小川哥打		
其他公开文献	JP2010156805A		

摘要(译)

提供一种具有改善的孔径比的液晶显示装置。液晶显示装置包括以矩阵形式设置的多个薄膜晶体管，连接到相应的薄膜晶体管的多个连接电极，设置在多个连接电极上的多个薄膜晶体管，多个像素电极12设置在绝缘层21上并通过接触孔22连接到相应的连接电极17，绝缘层21和多个并且公共电极33面对像素电极12的像素电极12并且设置有插入其间的液晶41，并且对于每个像素具有根据接触孔22的位置的开口33a。点域4