

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-265568

(P2009-265568A)

(43) 公開日 平成21年11月12日(2009.11.12)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1339 (2006.01)	GO2F 1/1339 500	2H092
GO2F 1/1335 (2006.01)	GO2F 1/1335 500	2H189
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H191
	GO2F 1/1335 520	

審査請求 未請求 請求項の数 8 O L (全 26 頁)

(21) 出願番号 特願2008-118345 (P2008-118345)
 (22) 出願日 平成20年4月30日 (2008.4.30)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 宮本 賢一
 熊本県合志市御代志997番地 メルコ・
 ディスプレイ・テクノロジー株式会社内
 (72) 発明者 林 正美
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 棚原 学
 熊本県合志市御代志997番地 メルコ・
 ディスプレイ・テクノロジー株式会社内

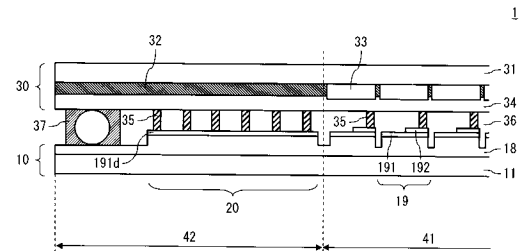
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位の優れた液晶表示装置を提供すること
 【解決手段】本発明にかかる液晶表示装置は、透過画素電極191と反射画素電極192とを含む画素電極19を有する液晶表示装置であって、TFTアレ基板10と、対向基板30と、両基板を貼り合わせるシール材37と、TFTアレ基板30上に形成され、画素電極19の下に設けられた厚膜部と、厚膜部の外側に設けられた薄膜部とを有する有機膜18と、対向基板30上に形成され、両基板間の基板間隔を保持する柱状スペーサ35と、表示領域41の外側かつシール材37の内側に形成され、表示領域41の外側における基板間隔を画素電極19上の基板間隔に応じて調整するギャップ保持用パッド20と、を備え、柱状スペーサ35は、ギャップ保持用パッド上20と画素電極19上とにおいて両基板間の基板間隔を保持するものである。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

透過画素電極と、前記透過画素電極上の一部に形成された反射画素電極とを含む画素電極を有する液晶表示装置であって、

前記画素電極が形成されたアレイ基板と、

前記アレイ基板と対向配置された対向基板と、

表示領域を囲むよう枠状に形成され、前記アレイ基板と前記対向基板とを貼り合わせるシール材と、

前記アレイ基板上に形成され、前記画素電極の下に設けられた厚膜部と、前記厚膜部の外側に設けられた薄膜部とを有する有機膜と、

前記対向基板上に形成され、前記アレイ基板と前記対向基板との間の基板間隔を保持する柱状スペーサと、

前記表示領域の外側かつ前記シール材の内側に形成され、前記表示領域の外側における前記基板間隔を前記画素電極上の前記基板間隔に応じて調整するギャップ保持用パッドと、を備え、

前記柱状スペーサは、前記ギャップ保持用パッド上と前記画素電極上とにおいて前記アレイ基板と前記対向基板との間の基板間隔を保持する液晶表示装置。

10

【請求項 2】

前記ギャップ保持用パッドは、前記アレイ基板側に設けられている請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記ギャップ保持用パッドは、

前記有機膜の前記厚膜部の上に形成された、前記透過画素電極と同じ透明導電層を備える請求項 2 に記載の液晶表示装置。

【請求項 4】

前記ギャップ保持用パッドは、

前記透明導電層の上に形成された、前記反射画素電極と同じ反射金属層をさらに備える請求項 3 に記載の液晶表示装置。

【請求項 5】

少なくとも前記有機膜の前記薄膜部を埋めるように形成され、前記アレイ基板の前記対向基板側の表面を平坦化する平坦化膜をさらに備え、

30

前記ギャップ保持用パッドは、前記表示領域の外側かつ前記シール材の内側において前記有機膜の前記薄膜部上に形成された前記平坦化膜を備える請求項 2 に記載の液晶表示装置。

【請求項 6】

前記ギャップ保持用パッドは、前記対向基板側に設けられ、

前記対向基板を構成するブラックマトリクス及び複数の色材のうちのいずれか 2 つ以上が積層された積層膜を備える請求項 1 に記載の液晶表示装置。

【請求項 7】

透過画素電極と、前記透過画素電極上の一部に形成された反射画素電極とを含む画素電極を有する液晶表示装置であって、

40

前記画素電極が形成されたアレイ基板と、

前記アレイ基板と対向配置された対向基板と、

表示領域を囲むよう枠状に形成され、前記アレイ基板と前記対向基板とを貼り合わせるシール材と、

前記アレイ基板上に形成され、前記反射画素電極の下に凹凸パターンを有する有機膜と、

前記有機膜の上に形成された無機絶縁膜と、

前記対向基板上に形成され、前記表示領域の外側かつ前記シール材の内側の領域と前記画素電極上とにおいて、前記アレイ基板と前記対向基板との間の基板間隔を保持する柱状

50

スペーサと、を備える液晶表示装置。

【請求項 8】

透過画素電極と、前記透過画素電極上の一部に形成された反射画素電極とを含む画素電極を有する液晶表示装置であって、

前記画素電極が形成されたアレイ基板と、

前記アレイ基板と対向配置された対向基板と、

表示領域を囲むよう枠状に形成され、前記アレイ基板と前記対向基板とを貼り合わせるシール材と、

前記アレイ基板上に形成され、前記画素電極の下に設けられた厚膜部と、前記厚膜部の外側に設けられた薄膜部とを有する有機膜と、

前記対向基板上に形成され、前記アレイ基板と前記対向基板との間の基板間隔を保持する柱状スペーサと、を備え、

前記柱状スペーサは、前記画素電極と対向する位置に形成された第 1 柱状スペーサと、前記表示領域の外側かつ前記シール材の内側に形成された第 2 柱状スペーサと、を有し、

前記第 2 柱状スペーサは、前記表示領域の外側における前記基板間隔と前記画素電極上の前記基板間隔の差に応じて、第 1 柱状スペーサより高く形成されている液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

液晶を用いた表示装置は、CRTに代わるフラットパネルディスプレイの一つとして、低消費電力や薄型であるという特徴を活かした製品への応用が盛んにされている。

【0003】

液晶表示装置(Liquid Crystal Display: LCD)には、単純マトリクス型LCDと、薄膜トランジスタ(Thin Film Transistor: TFT)をスイッチング素子として用いるTFT-LCDとがある。TFT-LCDは、携帯性、表示品位の点においてCRTや単純マトリクス型LCDより優れており、ノート型パソコン等に広く実用化されている。一般的に、TFT-LCDでは、TFTがアレイ状に形成されたTFTアレイ基板と対向基板との間に液晶層が挟持される。そして、TFTアレイ基板および対向基板の外側にはそれぞれ偏光板が設けられ、さらに一方の側には光源が設けられている。このような構成により、TFT-LCDは良好な表示が得られる。

【0004】

TFT-LCDには、光源として内蔵されたバックライトの光を透過させることにより画像表示を行う透過型の他に、外部から入射した光を反射板で反射させることにより画像表示を行う反射型がある。また、TFT-LCDには、透過型と反射型の両者の機能を兼ね備えた半透過型がある。半透過型の液晶表示装置は、周囲光が明るい場合は外光の反射を利用し、暗い場合はバックライトを利用するため、屋内と屋外の両方の環境下で良好な表示特性を得ることができる。近年では、モバイル用表示装置の増加に伴い、携帯電話、携帯音楽プレーヤー等の小型ディスプレイや、携帯映像プレーヤー、PDA、車載用ナビゲーション等の中型ディスプレイ向けに半透過型TFT-LCDパネルの需要が大きくなってきている。

【0005】

TFT-LCDでは、TFTアレイ基板を作製するにあたり、半導体技術を用いてガラス基板上にTFTをアレイ状に形成する必要があり、多くの工程数を必要とする。そのため、製造に必要となる装置の数が多くなり、製造コストが高くなるという問題がある。特に、半透過型TFT-LCDでは、反射画素電極と透過画素電極の両方を形成する必要があるため、通常の透過型TFT-LCDや反射型TFT-LCDに比べて工程数が多くなり製造コストが増大してしまう。

10

20

30

40

50

【0006】

そこで、例えば特許文献1には、半透過型TFT-LCDのTFTアレイ基板製造に用いるフォトリソグラフィのマスク数を削減する技術が開示されている。特許文献1では、ハーフトーン露光技術を用いて、画素電極の反射画素電極と透過画素電極とを1回のフォトリソグラフィで形成している。これにより、従来6回のフォトリソグラフィプロセスで形成していたTFTアレイ基板を特許文献1は5回のフォトリソグラフィプロセスで形成することができ、フォトリソグラフィのマスク数を削減できる。

【特許文献1】特開2005-215277号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0007】

特許文献1の方法で、反射画素電極と透過画素電極とを1回のフォトリソグラフィで形成する場合、透過画素電極となる透明導電層と反射画素電極となる反射金属層とを成膜した後、まず、膜厚差を有するレジストパターンを形成する。この膜厚差を有するレジストパターンをマスクとして、反射金属層をエッチングする。次に、酸素プラズマ処理により、膜厚差を有するレジストパターンの薄膜部を除去する。その後、反射金属層と、薄膜部の除去されたレジストパターンとをマスクとして透明導電層をエッチングする。そして、薄膜部の除去されたレジストパターンをマスクとして反射金属層を再度エッチングする。これにより、透過画素部の反射金属層が除去されて、反射画素電極と透過画素電極とが形成される。

20

【0008】

一般的に、膜厚差を有するレジストパターンの薄膜部を除去するには、例えば酸素プラズマ処理など、ドライエッチャーによりレジストを酸化分解する灰化除去（アッシング）が行われる。しかしながら、特許文献1の方法では、透明導電層が表面に露出した状態でアッシングを行うことになるため、異常放電が生じることがある。異常放電により、透明導電層だけでなく、その下に設けられた有機膜にまでもダメージを与えてしまう。また、さらに下層に設けられた配線が断線する等の不良を引き起こすこともある。

【0009】

一方、これとは別に、アッシング時の異常放電を未然に防ぐために、アッシング前に露出している透明導電層を予め除去しておく方法がある。具体的には、膜厚差を有するレジストパターンをマスクとして透明導電層と反射金属層とをエッチングしてからアッシングを行い、薄膜部の除去されたレジストパターンをマスクとして反射金属層を再度エッチングする。この方法においても、特許文献1と同様に、反射画素電極と透過画素電極とを1回のフォトリソグラフィで形成できる。

30

【0010】

しかしながら、この方法では、透明導電層が除去されることでその下の有機膜が表面に露出してしまう。半透過型液晶表示装置では、良好な散乱特性を得るために、表面に凹凸パターンを有する有機膜が画素電極の下層に設けられている。この露出した部分の有機膜は、膜厚差を有するレジストパターンの薄膜部を除去するためのアッシングによって、レジストパターン同様に膜減りする。従って、有機膜の膜厚は、透明導電層に覆われた部分と覆われていない部分とで、大きく異なることとなる。

40

【0011】

このようにして形成されたTFTアレイ基板を用いた従来の液晶表示装置の断面図を図19に示す。図19において、TFTアレイ基板10と対向基板30とが互いに対向して配置されている。そして、これら両基板を貼り合わせるシール材37との間の空間に液晶層36が挟持されている。シール材37は液晶表示装置の表示領域を囲うように枠状に形成されている。

【0012】

TFTアレイ基板10は、基板の上にゲート配線（不図示）及びソース配線（不図示）がそれぞれ絶縁膜（不図示）を介して形成されている。そして、これらゲート配線、ソー

50

ス配線、絶縁膜などの上層に、有機膜 18 が設けられている。有機膜 18 上には、透過画素電極 191 と反射画素電極 192 とが積層された画素電極 19 が各画素に形成されている。この画素電極 19 がマトリクス状に配置された領域が表示領域 41 となる。有機膜 18 は、上述したように、透明導電層に覆われた部分と覆われていない部分とで膜厚が異なっている。そのため、透明導電層に覆われていない部分、すなわち画素間領域や額縁領域 42 では、画素領域よりも有機膜 18 の膜厚が薄い。

【0013】

対向基板 30 は、基板上に BM 32、色材 33、及び対向電極 34 等が形成されている。そして、対向電極 34 の上には、対向する TFT アレイ基板 10 とのギャップを決定する柱状スペーサ 35 が設けられている。柱状スペーサ 35 は、表示領域 41 と額縁領域 42 とに形成される。具体的には、表示領域 41 では、反射画素電極 192 と対向する部分に配設されている。一方、額縁領域 42 では、表示領域 41 の外側からシール材 37 の内側にかけての領域に配設されている。しかし、この部分の有機膜 18 は前述のように画素領域よりも膜厚が薄くなっているため、図 19 に示すように、両基板間の間隔を均一に保つことができず、ギャップ不良となる。このギャップ不良により、表示領域 41 の周辺部では表示むらなどの表示不良（周辺ギャップむら）が発生し、液晶表示装置の表示品位を劣化させてしまう。

【0014】

近年、液晶パネルに求められる薄型化、軽量化を実現するために、用いられるガラス基板は TFT アレイ基板 10、対向基板 30 とともにますます薄くなり、機械的強度が弱くなってきている。ひいては、現在ではまだ主流ではないが、プラスチック基板が用いられることもある。このような状況下で、TFT アレイ基板 10 と対向基板 30 とを貼り合わせてパネル化する際にかかるセル内外からの圧力により基板が変形し、両基板間の間隔を均一に保つことがますます困難な状況となってきている。

【0015】

本発明は、上記のような問題点を解決するためになされたものであり、表示品位の優れた液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明の第 1 の態様にかかる液晶表示装置は、透過画素電極と、前記透過画素電極上の一部に形成された反射画素電極とを含む画素電極を有する液晶表示装置であって、前記画素電極が形成されたアレイ基板と、前記アレイ基板と対向配置された対向基板と、表示領域を囲むよう枠状に形成され、前記アレイ基板と前記対向基板とを貼り合わせるシール材と、前記アレイ基板上に形成され、前記画素電極の下に設けられた厚膜部と、前記厚膜部の外側に設けられた薄膜部とを有する有機膜と、前記対向基板上に形成され、前記アレイ基板と前記対向基板との間の基板間隔を保持する柱状スペーサと、前記表示領域の外側かつ前記シール材の内側に形成され、前記表示領域の外側における前記基板間隔を前記画素電極上の前記基板間隔に応じて調整するギャップ保持用パッドと、を備え、前記柱状スペーサは、前記ギャップ保持用パッド上と前記画素電極上とにおいて前記アレイ基板と前記対向基板との間の基板間隔を保持するものである。

【0017】

本発明の第 2 の態様にかかる液晶表示装置は、透過画素電極と、前記透過画素電極上の一部に形成された反射画素電極とを含む画素電極を有する液晶表示装置であって、前記画素電極が形成されたアレイ基板と、前記アレイ基板と対向配置された対向基板と、表示領域を囲むよう枠状に形成され、前記アレイ基板と前記対向基板とを貼り合わせるシール材と、前記アレイ基板上に形成され、前記反射画素電極の下に凹凸パターンを有する有機膜と、前記有機膜の上に形成された無機絶縁膜と、前記対向基板上に形成され、前記表示領域の外側かつ前記シール材の内側の領域と前記画素電極上とにおいて、前記アレイ基板と前記対向基板との間の基板間隔を保持する柱状スペーサと、を備えるものである。

【0018】

本発明の第3の態様にかかる液晶表示装置は、透過画素電極と、前記透過画素電極上の一部に形成された反射画素電極とを含む画素電極を有する液晶表示装置であって、前記画素電極が形成されたアレイ基板と、前記アレイ基板と対向配置された対向基板と、表示領域を囲むよう枠状に形成され、前記アレイ基板と前記対向基板とを貼り合わせるシール材と、前記アレイ基板上に形成され、前記画素電極の下に設けられた厚膜部と、前記厚膜部の外側に設けられた薄膜部とを有する有機膜と、前記対向基板上に形成され、前記アレイ基板と前記対向基板との間の基板間隔を保持する柱状スペーサと、を備え、前記柱状スペーサは、前記画素電極と対向する位置に形成された第1柱状スペーサと、前記表示領域の外側かつ前記シール材の内側に形成された第2柱状スペーサと、を有し、前記第2柱状スペーサは、前記表示領域の外側における前記基板間隔と前記画素電極上の前記基板間隔の差に応じて、第1柱状スペーサより高く形成されているものである。

10

【発明の効果】

【0019】

本発明によれば、表示品位の優れた液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0020】

以下に、本発明の好ましい実施の形態を説明する。以下の説明は、本発明の実施の形態を説明するものであり、本発明が以下の実施形態に限定されるものではない。説明の明確化のため、以下の記載及び図面は、適宜、省略及び簡略化がなされている。また、説明の明確化のため、必要に応じて重複説明は省略されている。尚、各図において同一の符号を付されたものは同様の要素を示しており、適宜、説明が省略されている。

20

【0021】

実施の形態1 .

始めに、図1を用いて、本実施の形態に係る液晶表示装置について説明する。図1は、本実施の形態1に係る液晶表示装置の構成を示す正面図である。本実施の形態に係る液晶表示装置は、1つの画素に透過領域と反射領域とを有する半透過型の液晶表示装置である。この液晶表示装置の全体構成については、以下に述べる第1～第6の実施形態で共通である。

【0022】

本発明に係る液晶表示装置は、液晶表示パネル1を備えている。液晶表示パネル1は、薄膜トランジスタ(Thin Film Transistors : TFT)アレイ基板10と対向基板30とが互いに対向して配置されている。

30

【0023】

TFTアレイ基板10には、表示領域41と表示領域41を囲むように設けられた額縁領域42とが設けられている。この表示領域41には、複数のゲート配線(走査信号線)12と複数のソース配線(映像信号線)16とが形成されている。複数のゲート配線12は平行に設けられている。同様に、複数のソース配線16は平行に設けられている。ゲート配線12とソース配線16とは、互いに交差するように形成されている。ゲート配線12とソース配線16とは直交している。隣接するゲート配線12とソース配線16とで囲まれた領域が画素49となる。従って、TFTアレイ基板10では、画素49がマトリクス状に配列される。

40

【0024】

更に、TFTアレイ基板10の額縁領域42に、制御回路45が搭載されたフレキシブル基板47、及び制御回路46が搭載されたフレキシブル基板48が接続されている。ゲート配線12は、表示領域41から額縁領域42まで延設されている。そして、ゲート配線12は、TFTアレイ基板10の端部で、ゲート配線端子(ゲート端子)44を介して制御回路46と接続される。ソース配線16も同様に、表示領域41から額縁領域42まで延設されている。そして、ソース配線16は、TFTアレイ基板10の端部で、ソース配線端子(ソース端子)43を介して制御回路45と接続される。

【0025】

50

制御回路 45、46 に外部からの各種信号が供給される。制御回路 46 は外部からの制御信号に基づいて、ゲート信号（走査信号）をゲート配線 12 に供給する。このゲート信号によって、ゲート配線 12 が順次選択されていく。制御回路 45 は外部からの制御信号や、表示データに基づいて表示信号をソース配線 16 に供給する。これにより、表示データに応じた表示電圧を各画素 49 に供給することができる。なお、制御回路 45 は、液晶表示パネル 1、フレキシブル基板 47、及び FPC（Flexible Printed Circuit）（図示せず）の上に分割されて搭載されてもよい。同様に、制御回路 46 は、液晶表示パネル 1、フレキシブル基板 48、及び FPC の上に分割されて搭載されてもよい。さらに、制御回路 45、46 の一部は、TFT アレイ基板 10 の上に形成されてもよい。

【0026】

画素 49 内には、少なくとも 1 つの TFT 50 が形成されている。TFT 50 はソース配線 16 とゲート配線 12 の交差点近傍に配置される。例えば、この TFT 50 が画素電極に表示電圧を供給する。即ち、ゲート配線 12 からのゲート信号によって、スイッチング素子である TFT 50 がオンする。これにより、ソース配線 16 から、TFT 50 のドレイン電極に接続された画素電極に表示電圧が印加される。そして、画素電極と対向電極との間に、表示電圧に応じた電界が生じる。なお、TFT アレイ基板 10 の表面には、配向膜（図示せず）が形成されている。画素 49 内の詳細な構成については後述する。

【0027】

一方、対向基板 30 は、例えば、カラーフィルタ基板であり、視認側に配置される。対向基板 30 には、カラーフィルタ（色材）、ブラックマトリクス（BM）、対向電極、及び配向膜等が形成されている。対向基板 30 の詳細な構成については後述する。なお、対向電極は、TFT アレイ基板 10 側に配置される場合もある。TFT アレイ基板 10 と対向基板 30 とは、シール材 37 を介して貼り合わされている。シール材 37 は、表示領域 41 を囲むよう枠状に設けられている。そして、TFT アレイ基板 10 と対向基板 30 との間に液晶層 36 が挟持される。即ち、TFT アレイ基板 10 と対向基板 30 との間には液晶が導入されている。更に、TFT アレイ基板 10 と対向基板 30 との外側の面には、偏光板、及び位相差板等が設けられる。また、液晶表示パネル 1 の反視認側には、バックライトユニット等が配設される。

【0028】

画素電極と対向電極との間の電界によって、液晶が駆動される。即ち、基板間の液晶の配向方向が変化する。これにより、液晶層を通過する光の偏光状態が変化する。即ち、偏光板を通過して直線偏光となった光は液晶層によって、偏光状態が変化する。具体的には、透過領域では、TFT アレイ基板側に設けられた偏光板によって、バックライトユニットからの光が直線偏光になる。そして、この直線偏光が TFT アレイ基板 10 側の位相差板、液晶層、及び対向基板 30 側の位相差板を通過することによって、偏光状態が変化する。一方、反射領域では、液晶表示パネルの視認側から入射した外光が、対向基板 2 側の偏光板によって直線偏光になる。そして、この光が、対向基板 30 側の位相差板、及び液晶層を往復することによって、偏光状態が変化する。

【0029】

そして、偏光状態によって、対向基板 30 側の偏光板を通過する光量が変化する。即ち、バックライトユニットから液晶表示パネル 1 を透過する透過光、及び液晶表示パネル 1 で反射される反射光のうち、視認側の偏光板を通過する光の光量が変化する。液晶の配向方向は、印加される表示電圧によって変化する。従って、表示電圧を制御することによって、視認側の偏光板を通過する光量を変化させることができる。即ち、画素ごとに表示電圧を変えることによって、所望の画像を表示することができる。

【0030】

次に、TFT アレイ基板 10 の画素構成について、図 2 及び図 3 を用いて詳細に説明する。図 2 は、本実施の形態 1 に係る TFT アレイ基板 10 の画素構成を示す平面図である。図 3 は、図 2 の III-III 断面図である。図 2 は、TFT アレイ基板 10 上の画素 49 の 1 つを示す平面図である。TFT アレイ基板 10 上には、このような画素 49 がマトリク

10

20

30

40

50

ス状に複数配置されている。なお、ここでは、チャンネルエッチ型のTFT50が形成されている場合について例示的に説明をする。

【0031】

図2及び図3において、TFTアレ基板10は、ガラスやプラスチック等の透明な絶縁性の基板11上に、その一部がゲート電極121を構成するゲート配線12が形成されている。よって、ゲート配線12は、TFT50のゲート電極121と電氣的に接続されている。

【0032】

また、基板11上には、補助容量電極122がゲート配線12と同じ層によって形成されている。補助容量電極122は、ゲート配線12と離間して設けられ、ゲート配線12と平行して延在している。すなわち、隣接するゲート配線12の間に補助容量電極122が配設されている。ここでは、補助容量電極122は、画素49の反射領域に配設されている。補助容量電極122は、後述する画素電極19との間で安定した表示を可能とするための保持容量を構成する。保持容量は、各画素49に接続されるTFT50がオフになった後もTFT50からの駆動電圧を保持する。

【0033】

ゲート配線12、ゲート電極121、及び補助容量電極122は、例えば膜厚250nmのMoによって形成されている。

【0034】

これらゲート配線12、ゲート電極121、及び補助容量電極122を覆うようにゲート絶縁膜13が設けられている。ゲート絶縁膜13は、例えば膜厚400nmのSiNにより形成されている。ゲート絶縁膜13を介してゲート電極121の対面には、半導体層14が設けられている。半導体層14は、例えば膜厚130nmのアモルファスシリコン(a-Si(i))などにより形成されている。

【0035】

また、半導体層14上の両端に、導電性不純物がドーピングされたオーミックコンタクト膜15がそれぞれ形成されている。オーミックコンタクト膜15に対応する半導体層14の領域は、ソース・ドレイン領域となる。具体的には、図3中の左側のオーミックコンタクト膜15に対応する半導体層14の領域がソース領域となる。そして、図3中の右側のオーミックコンタクト膜15に対応する半導体層14の領域がドレイン領域となる。このように、半導体層14の両端にはソース・ドレイン領域が形成されている。そして、半導体層14のソース・ドレイン領域に挟まれた領域がチャンネル領域となる。半導体層14のチャンネル領域上には、オーミックコンタクト膜15は形成されていない。オーミックコンタクト膜15は、例えば、リン(P)等の不純物が高濃度にドーピングされた、n型アモルファスシリコン(a-Si(n))などにより50nmの膜厚で形成されている。

【0036】

オーミックコンタクト膜15の上に、ソース電極161及びドレイン電極162が形成されている。具体的には、ソース領域側のオーミックコンタクト膜15上に、ソース電極161が形成されている。そして、ドレイン領域側のオーミックコンタクト膜15の上に、ドレイン電極162が形成されている。このように、チャンネルエッチ型のTFT50が構成されている。そして、ソース電極161及びドレイン電極162は、半導体層14のチャンネル領域の外側へ延在するように形成されている。すなわち、ソース電極161及びドレイン電極162は、オーミックコンタクト膜15と同様、半導体層14のチャンネル領域上には形成されない。

【0037】

ソース電極161は、半導体層14のチャンネル領域の外側へ延在し、ソース配線16と繋がっている。よって、ソース配線16は、TFT50のソース電極161と電氣的に接続されている。ソース配線16は、ゲート絶縁膜13上に形成され、基板11上においてゲート配線12と交差する方向に直線的に延在するように配設されている。したがって、ソース配線16は、ゲート配線12との交差部において分岐してからゲート配線12に沿

10

20

30

40

50

って延在し、ソース電極 161 となる。なお、図 2 には図示していないが、図 3 に示すように、半導体層 14 と同層のパターン及びオーミックコンタクト膜 15 と同層のパターンからなる積層膜をゲート配線 12 とソース配線 16 の交差部に配設してもよい。これにより、ゲート配線 12 とソース配線 12 との間の絶縁耐性を向上できる。

【0038】

一方、ドレイン電極 162 は、半導体層 14 のチャンネル領域の外側へ延在し、TFT50 の外側へと延在する延在部を有している。ソース電極 161、ドレイン電極 162、及びソース配線 16 は、例えば膜厚 300 nm の Mo によって形成されている。

【0039】

これらソース電極 161、ドレイン電極 162、及びソース配線 16 を覆うように、層間絶縁膜 17 が設けられている。よって、層間絶縁膜 17 は、TFT50 を覆っている。層間絶縁膜 17 は、膜厚 100 nm の SiN により形成されている。さらに、層間絶縁膜 17 の上に、有機膜 18 が積層されている。TFT50 のドレイン電極 162 上には、有機膜 18 及び層間絶縁膜 17 にコンタクトホール 181 が設けられている。コンタクトホール 181 は、有機膜 18 及び層間絶縁膜 17 を貫通し、TFT50 のドレイン電極 162 に到達する。

【0040】

有機膜 18 は、画素電極 19 を形成するための下地層となる有機樹脂膜であり、ソース配線 16、ゲート配線 12、補助容量電極 122 や、TFT50 などによって生じた基板 11 上の凹凸を平坦化する。本実施の形態にかかる液晶表示装置は半透過型であり、画素 49 は透過領域及び反射領域を有している。反射領域では、反射光を適切な散乱分布とするため、有機膜 18 の表面に凹凸パターン 185 が形成されている。なお、後述する画素電極 19 に覆われていない領域の有機膜 18 は、画素電極 19 に覆われた領域より膜厚が薄くなっている。ここでは、画素電極 19 に覆われた領域の有機膜 18 の膜厚は、例えば 3600 nm 程度である。

【0041】

有機膜 18 の上には、コンタクトホール 181 を介してドレイン電極 162 と接続する画素電極 19 が設けられている。画素電極 19 は、透過領域では透過画素電極 191 の単層構造であり、反射領域では透過画素電極 191 の上に反射画素電極 192 が積層された積層構造となっている。すなわち、透過画素電極 191 は、透過領域と反射領域の両方に設けられている。透過画素電極 191 は、ここでは、例えばITO、IZO、ITZO、ITSO等の透明導電層によって80 nmの膜厚に形成されている。一方、反射画素電極 192 は、反射領域のみに設けられている。反射画素電極 192 は、ここでは例えば、膜厚 50 nm の Mo 膜の上に膜厚 300 nm の AlCu 膜が積層された反射金属層によって形成されている。また、液晶層 36 との仕事関数を透過領域と反射領域との間で調整するため、画素電極 19 は、図 3 に示すように上部透明導電層 193 を反射画素電極 192 上にさらに積層した構成としてもよい。この場合、上部透明導電層 193 は、例えば膜厚 5 nm の ITO、IZO、ITZO、ITSO 等の透明導電層によって形成される。

【0042】

続いて、液晶表示パネル 1 の表示領域 41 周辺部とその外側の構成について図 4 及び図 5 を用いて説明する。図 4 は、本実施の形態 1 に係る液晶表示パネル 1 の表示領域 41 周辺部とその外側の構成を示す拡大平面図である。また、図 5 は、図 4 の V-V 断面図であり、本実施の形態 1 に係る液晶表示パネル 1 の表示領域 41 周辺部とその外側の構成を模式的に示している。なお、図 4 では、説明の便宜上のため、TFT アレイ基板 10 側の構成のみが記載されており、対向基板 30 側の構成については省略している。また、図 5 では、TFT アレイ基板 10 の構成は模式的に記載されており、ゲート配線 12、ソース配線 16、TFT50 等の構成要素が適宜省略して記載されている。

【0043】

図 4 及び図 5 において、図 2 及び図 3 で詳述したとおり、TFT アレイ基板 10 の基板 11 上には、ゲート配線 12、ソース配線 16、TFT50 などの上層に、有機膜 18 が

10

20

30

40

50

配設されている。この有機膜 18 は、表示領域 41 から額縁領域 42 まで基板 11 上の略全面にわたって形成されている。有機膜 18 の上には、透過画素電極 191 と反射画素電極 192 との積層からなる画素電極 19 が、各画素 49 に形成されている。そして、図 5 に示すように、この画素電極 19 が設けられた領域（画素領域）では、図 19 に示した従来例と同様、隣接する画素電極 19 間の領域（画素間領域）よりも有機膜 18 の膜厚が厚くなっている。すなわち、表示領域 41 では、画素領域に有機膜 18 の厚膜部、画素間領域に有機膜 18 の薄膜部がそれぞれ形成される。

【0044】

また、有機膜 18 には、表示領域 41 の外側の額縁領域 42 に、画素間領域と同様の薄膜部が形成されている。ここで、本実施の形態では、この額縁領域 42 のうち、表示領域 41 の外側からシール材 37 の内側にかけての領域内に、画素領域と同様の有機膜 18 の厚膜部が設けられている。そして、この有機膜 18 の厚膜部の上には、透過画素電極 191 と同層の透明導電層 191d が形成されている。このように、本実施の形態では、有機膜 18 の厚膜部の上に透明導電層 191d が積層されたギャップ保持用パッド 20 が、表示領域 41 の外側かつシール材 37 の内側の領域に設けられている。

10

【0045】

ギャップ保持用パッド 20 は、例えば図 4 に示すように、枠状のシール材 37 の各辺に沿って、帯状に形成されている。

【0046】

このような TFT アレイ基板 10 の対面には、シール材 37 を介して対向基板 30 が貼り合わされている。図 5 に示すように、対向基板 30 は、基板 31 の TFT アレイ基板 10 と対向する面に、顔料あるいはクロム等の金属から成り光を遮光するブラックマトリクス 32 が形成されている。ブラックマトリクス 32 は、ソース配線 16 及びゲート配線 12 と対向する領域に設けられており、その形状は格子状になっている。また、ブラックマトリクス 32 は、表示領域 41 を囲むように枠状に形成されている。そして、ブラックマトリクス 32 間を埋めるように顔料あるいは染料からなる色材 33 が形成されている。色材 33 は例えば R（赤）、G（緑）、B（青）のカラーフィルタである。

20

【0047】

さらにブラックマトリクス 32 及び色材 33 を覆うように、対向電極 34 が形成されている。対向電極 34 は、TFT アレイ基板 10 の画素電極 19 との間に電界を生じさせ、液晶層 36 の液晶を駆動する。なお、色材 33 と対向電極 34 との間に SiN 等からなる保護膜が設けられていてもよい。保護膜は、対向電極 34 と同様、対向基板 30 の基板 31 上全体に形成される。対向電極 34 の上には、柱状スペーサ 35 が設けられている。柱状スペーサ 35 は、TFT アレイ基板 10 と対向基板 30 とシール材 37 とに囲まれた空間において表示領域 41 と額縁領域 42 とに設けられ、両基板間のギャップを保持する。表示領域 41 に設けられた柱状スペーサ 35 は、反射画素電極 192 と対向する部分に配設されている。額縁領域 42 に設けられた柱状スペーサ 35 は、ギャップ保持用パッド 20 と対向する部分に配設されている。柱状スペーサ 35 は、樹脂等の材料によって形成され、柱状の形状を有している。表示領域 41 の柱状スペーサ 35 は、表示領域 41 と額縁領域 42 とで同じ高さに形成されている。

30

40

【0048】

上記のように構成された本実施の形態にかかる液晶表示パネル 1 は、互いに対向する TFT アレイ基板 10 の表面と対向基板 30 の表面との間の距離が、ギャップ保持用パッド 20 部と画素領域とでほぼ同等となる。従って、ギャップ保持用パッド 20 部と対向する位置に設けられた柱状スペーサ 35 によって、両基板間の間隔を表示領域 41 と同等に保つことができ、両基板間の間隔が液晶表示パネル 1 全体にわたって均一に保たれる。このように、ギャップ保持用パッド 20 は、液晶表示パネル 1 において、表示領域の外側における基板間隔を画素電極 19 上の基板間隔に応じて調整する機能を有する。

【0049】

次に、本実施の形態に係る液晶表示装置の製造方法について図 6 及び図 7 を用いて説明

50

する。図6及び図7は、本実施の形態1に係るTFTアレ基板10の製造工程を示した断面図である。なお、図6及び図7の各図において右側には、図2のIII-III断面に相当する画素49内の断面図を示している。また、図6及び図7の各図において左側には、ゲート端子44部、ソース端子43部、及びギャップ保持用パッド20部の断面図を記している。

【0050】

まず初めに、ガラスなどの透明絶縁性基板からなる基板11上に、ゲート電極121等となる電極膜を成膜する。例えば、スパッタ装置等を用いて、膜厚250nmのMoを基板11全面に成膜する。次に、写真製版工程(フォトリソグラフィプロセス)によって、この電極膜の上にレジストパターンを形成する。そして、このレジストパターンから露出した電極膜をウェットエッチング処理等により除去して、電極膜をパターニングする。その後、レジスト剥離処理を行い、レジストパターンを除去すると、図6(a)に示すように、ゲート配線12、ゲート電極121、補助容量電極122、及びゲート端子44が形成される。

10

【0051】

これらゲート配線12、ゲート電極121、補助容量電極122、及びゲート端子44を覆うように、ゲート絶縁膜13を成膜する。例えば、CVD装置を用いて、ゲート絶縁膜13として膜厚400nmのSiNを基板11全面に成膜する。続いて、ゲート絶縁膜13の上に、半導体層14とオーミックコンタクト膜15とをこの順に成膜する。例えば、CVD装置を用いて、半導体層14として膜厚130nmのa-Si(i)を基板11全面に成膜した後、リン(P)等の不純物を添加した膜厚50nmのa-Si(n)をオーミックコンタクト膜15として基板11全面に成膜する。

20

【0052】

その後、写真製版工程により、オーミックコンタクト膜15の上にレジストパターンを形成する。そして、ドライエッチング処理等により、オーミックコンタクト膜15及び半導体層14を島状にパターニングする。レジストパターンを除去すると、図6(b)に示すように、ゲート絶縁膜13を介してゲート電極121の対面に半導体層14及びオーミックコンタクト膜15が形成される。なお、図6(b)のように、ゲート配線12のうち、ソース配線16との交差部となる領域上に、半導体層14及びオーミックコンタクト膜15の積層パターンを形成してもよい。

30

【0053】

次に、半導体層14及びオーミックコンタクト膜15を覆うように、ソース電極161、ドレイン電極162等となる電極膜を成膜する。例えば、スパッタ装置等を用いて、膜厚300nmのMoを基板11全面に成膜する。次に、写真製版工程によって、この電極膜の上にレジストパターンを形成する。そして、ウェットエッチング処理等により、この電極膜をパターニングする。これにより、ソース配線16、ソース電極161、ドレイン電極162、及びソース端子43が形成される。続いて、ソース電極161又はドレイン電極162に覆われず表面に露出したオーミックコンタクト膜15を、ドライエッチング処理等により除去する。これにより、ソース電極161とドレイン電極162の間の半導体層14が露出し、チャンネル領域が形成される。その後、レジスト剥離処理を行い、レジストパターンを除去すると、図6(c)に示すような構成となる。

40

【0054】

次に、ソース配線16、ソース電極161、ドレイン電極162、及びソース端子43を覆うように、層間絶縁膜17を成膜する。例えば、CVD装置を用いて、層間絶縁膜17として膜厚100nmのSiNを基板11全面に成膜する。続いて、層間絶縁膜17の上に、感光性を有する有機膜18を平坦部の膜厚が3600nm程度となるように塗布する。その後、写真製版工程を行い、有機膜18をパターニングする。これにより、ドレイン電極162、ゲート端子44、及びソース端子43上の有機膜18が除去されて開口部が形成されるとともに、反射領域の有機膜18に凹凸パターン185が形成される。

【0055】

50

その後、この有機膜 18 をマスクとして、ドライエッチング等により層間絶縁膜 17 及びゲート絶縁膜 13 をパターンニングする。これにより、図 6 (d) に示すように、ドレイン電極 162 上の層間絶縁膜 17 が除去され、ドレイン電極 162 に到達するコンタクトホール 181 が形成される。また、ソース端子 43 上の層間絶縁膜 17 が除去され、ソース端子 43 に到達するコンタクトホール 182 が形成される。さらに、ゲート端子 44 上の層間絶縁膜 17 及びゲート絶縁膜 13 が除去され、ゲート端子 44 に到達するコンタクトホール 183 が形成される。

【0056】

次に、有機膜 18 上に、透過画素電極 191 となる透明導電層 191d と、反射画素電極 192 となる反射金属層 192d とを順次成膜する。例えば、スパッタ装置を用いて、透明導電層 191d として膜厚 80 nm の ITO を基板 11 全面に成膜する。透明導電層 191d には、ITO の他に、IZO、ITZO、ITSO 等を用いることができる。そして、反射金属層として膜厚 50 nm の Mo、膜厚 300 nm の AlCu を基板 11 全面にこの順で成膜する。ここでは、連続して、膜厚 5 nm の ITO を上部透明導電層 193 として基板 11 全面に成膜する。なお、上部透明導電層 193 には、ITO の他に、IZO、ITZO、ITSO 等を用いることができる。これにより、図 6 (e) に示すように、コンタクトホール 181、182、183 は、透明導電層 191d、反射金属層 192d、及び上部透明導電層 193 によって覆われる。

【0057】

続いて、上部透明導電層 193 の上にレジストをスピンコート法などにより塗布した後、ハーフトーン等の複数階調露光を用いた写真製版工程によって、膜厚差を有するレジストパターン 25 を形成する。画素領域では、透過画素電極部の膜厚が反射画素電極部の膜厚より薄くなるようにレジストパターン 25 を形成する。すなわち、レジストパターン 25 は、画素 49 の反射画素電極部に厚膜部 25a、透過画素電極部に薄膜部 25b が設けられている。このとき、本実施の形態では、ゲート端子部及びソース端子部に厚膜部 25a と、ギャップ保持用パッド部に薄膜部 25b となるレジストパターン 25 を形成する。

【0058】

そして、このレジストパターン 25 をマスクとして、ウェットエッチング処理などによって、上部透明導電層 193、反射金属層 192d、及び透明導電層 191d を、順次もしくは一括でパターンニングする。これにより、図 7 (f) に示すように、レジストパターン 25 に覆われない領域の上部透明導電層 193、反射金属層 192d、及び透明導電層 191d が除去され、有機膜 18 が露出する。

【0059】

次に、アッシング処理を行ってレジストパターン 25 の薄膜部 25b を除去する。レジストパターン 25 の厚膜部 25a は、膜厚が薄くなり、レジストパターン 25c として残存する。すなわち、図 7 (g) に示すように、薄膜部 25b の除去されたレジストパターン 25 は、レジストパターン 25c となる。これにより、ギャップ保持用パターン部上のレジストパターン 25 が除去される。また、上部透明導電層 193、反射金属層 192d、及び透明導電層 191d から露出した部分の有機膜 18 は、このときのアッシング処理によって同時に膜減りし、有機膜 18 に薄膜部が形成される。このとき、本実施の形態では、ギャップ保持用パッド部の有機膜 18 は、上部透明導電層 193、反射金属層 192d、及び透明導電層 191d によって覆われているので、膜減りしない。このようにして、ギャップ保持用パッド部に画素領域と同様の厚膜部が設けられた有機膜 18 が形成される。

【0060】

アッシング後、レジストパターン 25c をマスクとしてウェットエッチング処理等を行い、上部透明導電層 193 及び反射金属層 192d を選択的にパターンニングする。これにより、透過画素電極部とギャップ保持用パッド部の上部透明導電層 193 及び反射金属層 192d が除去され、透明導電層 191d が露出する。その後、レジスト剥離液を用いてレジストパターン 25c を除去する。これにより、図 7 (h) に示すように、透過画素電

10

20

30

40

50

極 1 9 1 上の一部に反射画素電極 1 9 2 と上部透明導電層 1 9 3 が積層された画素電極 1 9 が形成される。また、コンタクトホール 1 8 2、1 8 3 を介してソース端子 4 3 及びゲート端子 4 4 と接続するソース端子パッド及びゲート端子パッドが、透明導電層 1 9 1 d、反射金属層 1 9 2 d、及び上部透明導電層 1 9 3 の積層膜によって形成される。さらに、有機膜 1 8 の厚膜部の上に透明導電層 1 9 1 d が積層されたギャップ保持用パッド 2 0 が形成される。

【0061】

上記方法で上部透明導電層 1 9 3 及び反射金属層 1 9 2 d をパターンニングすることにより、上部透明導電層 1 9 3 及び反射画素電極 1 9 2 のパターン端部が透過画素電極 1 9 1 のパターン端部の内側となるように画素電極 1 9 が階段状に形成される。すなわち、反射画素電極 1 9 2 が透過画素電極 1 9 1 からみ出して庇状（オーバーハング形状）とならない。よって、画素電極 1 9 が庇形状であることに起因する後続工程の不良発生を防止できる。以上の工程を経て本実施の形態に係る T F T アレイ基板 1 0 が完成する。

10

【0062】

このように作製した T F T アレイ基板 1 0 の上に、転写法等により配向膜を形成する。次に、配向膜に熱を加え硬化させた後、この配向膜に対して、液晶層 3 6 との接触面に一方向にミクロな傷をつける配向処理（ラビング処理）を施す。

【0063】

一方、別の基板 3 1 上に、写真製版工程によりブラックマトリクス 3 2 を形成する。ブラックマトリクス 3 2 は、顔料を含む樹脂あるいはクロム等の金属を用いることができる。ブラックマトリクス 3 2 の上からブラックマトリクス 3 2 間を埋めるように、色材 3 3 を写真製版工程により形成する。色材 3 3 は、顔料あるいは染料からなる感光性樹脂を用いることができる。そして、ここでは、ブラックマトリクス 3 2 及び色材 3 3 を覆うように、S i N 等の保護膜を基板 3 1 の略全面に形成する。この保護膜の上に、対向電極 3 4 を基板 3 1 の略全面に形成する。対向電極 3 4 として、I T O 等からなる透明導電膜が用いられる。

20

【0064】

このように対向電極 3 4 が設けられた対向基板 3 0 上に、T F T アレイ基板 1 0 と同様、配向膜を形成し、ラビング処理を行う。そして、配向膜の上に、柱状スペーサ 3 5 となるフォトレジスト（観光性樹脂）を塗布する。そして、写真製版工程によってフォトレジストをパターンニングし、柱状スペーサ 3 5 を形成する。このとき、後述する基板貼り合わせ工程において、T F T アレイ基板 1 0 の反射画素電極 1 9 2 に対向する位置と、ギャップ保持用パッド 2 0 に対向する位置とに、柱状スペーサ 3 5 を形成しておく。以上のような工程を経て、柱状スペーサ 3 5 を有する対向基板 3 0 が形成される。

30

【0065】

次に、シール材 3 7 を塗布して、T F T アレイ基板 1 0 と対向基板 3 0 とを貼り合わせる（基板貼り合わせ工程）。このとき、柱状スペーサ 3 5 が反射画素電極 1 9 2 及びギャップ保持用パッド 2 0 に対向する位置に配置されるよう、T F T アレイ基板 1 0 と対向基板 3 0 とを貼り合わせる。T F T アレイ基板 1 0 と対向基板 3 0 とを貼り合わせた後、真空注入法等により、液晶注入口から液晶を注入する（液晶注入工程）。そして、液晶注入口を封止する（封止工程）。このようにして、本実施の形態の液晶表示パネル 1 が完成する。

40

【0066】

このように、本実施の形態では、対向基板 3 0 の柱状スペーサ 3 5 が T F T アレイ基板 1 0 の反射画素電極 1 9 2 及びギャップ保持用パッド 2 0 と対向配置され、両基板間の間隔を保持する。そのため、基板貼り合わせ工程、液晶注入工程、及び封止工程を通して T F T アレイ基板 1 0 と対向基板 3 0 との間に圧力が加わるが、両基板間の間隔を液晶表示パネル 1 全体にわたり均一に保つことができる。

【0067】

その後、T F T アレイ基板 1 0 及び対向基板 3 0 の外側に、偏光板を貼着する。そして、制御基板を実装して、バックライトユニット等を取り付ける。以上の工程を経て、本実

50

施の形態に係る液晶表示装置が完成する。

【0068】

このように、本実施の形態では、TFTアレイ基板10上の表示領域41の外側かつシール材37の内側の領域に、透過画素電極191と同層の透明導電層191dを設けてギャップ保持用パッド20を形成する。これにより、透明導電層191dの下には、反射画素電極192の下と同様、有機膜18の厚膜部が形成される。そして、反射画素電極192及びギャップ保持用パッド20の対面に対向基板30の柱状スペーサ35が位置するように両基板を貼り合わせる。これにより、ギャップ保持用パッド20上では、対向基板30表面との距離が反射画素電極192上とほぼ同等となり、これらの部分で柱状スペーサ35が両基板間の間隔を保持することとなる。よって、両基板間の間隔は、表示領域41の外側と内側とで同等となる。従って、表示領域41の周辺部に発生する表示むらを抑制することができ、表示品位の優れた液晶表示装置を提供できる。

10

【0069】

なお、上記説明では、ギャップ保持用パッド20をシール材37の各辺に沿って帯状に形成して、1つのギャップ保持用パッド20に複数の柱状スペーサ35を対向配置させたが、ギャップ保持用パッド20の形状はこれに限定されるものではない。図8は、本実施の形態1の別の実施例に係る液晶表示パネル2の表示領域41周辺部とその外側の構成を示す拡大平面図である。また、図9は、本実施の形態1の別の実施例に係る液晶表示パネル2の表示領域41周辺部とその外側の構成を模式的に示した断面図である。なお、図8では、TFTアレイ基板10側の構成のみが記載されており、対向基板30側の構成については省略している。また、図9では、TFTアレイ基板10の構成は模式的に記載されている。例えば図8及び図9に示すように、柱状スペーサ35が内包できる程度の大きさでギャップ保持用パッド20を形成して、1つのギャップ保持用パッド20に柱状スペーサ35のそれぞれを対向配置させてもよい。

20

【0070】

実施の形態2

本実施の形態に係る液晶表示装置について、図10を用いて説明する。本実施の形態にかかる液晶表示装置の基本的構成は、実施の形態1と同様であるため、同様の内容については、説明を省略する。本実施の形態では、ギャップ保持用パッド20の構成が実施の形態1と異なっている。図10は、本実施の形態2に係る液晶表示パネル3の表示領域41周辺部とその外側の構成を模式的に示した断面図である。図10では、図4のV-V断面図に相当する断面が記載されている。

30

【0071】

図10において、図5と同じ構成部分については同一の符号を付し、差異について説明する。図10に示すように、実施の形態1と同様、TFTアレイ基板10上における表示領域41の外側かつシール材37の内側の領域にギャップ保持用パッド20が設けられている。本実施の形態では、ギャップ保持用パッド20は、有機膜18の厚膜部の上に、透過画素電極191と同層の透明導電層191dと、反射画素電極192と同層の反射金属層192dとが積層された構成となっている。なお、画素電極19が仕事関数を調整するための上部透明導電層193を反射画素電極192上に有する構成の場合は、ギャップ保持用パッド20は、反射金属層192dの上に上部透明導電層193がさらに積層された構成となる。

40

【0072】

そして、対向基板30の柱状スペーサ35がTFTアレイ基板10の反射画素電極192とギャップ保持用パッド20とに対向配置されるように、TFTアレイ基板10と対向基板30とがシール材37を介して貼り合わされている。

【0073】

次に、本実施の形態に係る液晶表示装置の製造方法について図11及び図12を用いて説明する。図11及び図12は、本実施の形態2に係るTFTアレイ基板10の製造工程を示した断面図である。なお、図11及び図12の各図において右側には、図6及び図7

50

と同様、図2のIII-III断面に相当する画素49内の断面図を示している。また、図11及び図12の各図において左側には、ゲート端子44部、ソース端子43部、及びギャップ保持用パッド20部の断面図を記している。本実施の形態では、ギャップ保持用パッド20の形成工程が実施の形態1と異なっていて、それ以外の工程については実施の形態1と同様であるため説明を省略する。

【0074】

実施の形態1と同様、初めに、ゲート電極121となる電極膜を基板11全面に成膜する。写真製版、エッチング、レジスト除去の工程を経て、この電極膜をパターンニングする。これにより、ゲート配線12、ゲート電極121、補助容量電極122、及びゲート端子44が基板11上に形成され、図11(a)の構成とする。これらを覆うように、ゲート絶縁膜13、半導体層14、及びオーミックコンタクト膜15を成膜する。その後、写真製版工程により、半導体層14及びオーミックコンタクト膜15をパターンニングして、図11(b)の構成とする。

10

【0075】

次に、これらを覆う電極膜を、実施の形態1と同様に成膜する。そして、写真製版、エッチングの工程を経て、ソース配線16、ソース電極161、ドレイン電極162、及びソース端子43を形成する。続いて、実施の形態1と同様に、ソース電極161とドレイン電極162間のオーミックコンタクト膜15をエッチングにより除去して、チャンネル領域を形成する。その後、レジスト除去工程を経て、図11(c)の構成となる。

【0076】

チャンネル領域の形成後、実施の形態1と同様、これらの上に層間絶縁膜17を形成する。続いて、層間絶縁膜17の上に、写真製版工程によって、凹凸パターン185と開口部とを有する有機膜18を形成する。この有機膜18をマスクとして、エッチングを行う。これにより、図11(d)のように、ドレイン電極162に到達するコンタクトホール181、ゲート端子44に到達するコンタクトホール183、及びソース端子43に到達するコンタクトホール182が形成される。

20

【0077】

そして、実施の形態1と同様、有機膜18上に、透明導電層191d及び反射金属層192dを順次成膜する。実施の形態1と同様に、ここでは、反射金属層192dの上にさらに上部透明導電層193を成膜する。これにより、図11(e)に示すように、コンタクトホール181、182、183は、透明導電層191d、反射金属層192d、及び上部透明導電層193によって覆われる。

30

【0078】

続いて、上部透明導電層193の上にレジストをスピンコート法などにより塗布した後、ハーフトーン等の複数階調露光を用いた写真製版工程によって、膜厚差を有するレジストパターン25を形成する。本実施の形態では、図12(f)に示すように、反射画素電極部、ゲート端子部、ソース端子部、及びギャップ保持用パッド部にレジストパターン25の厚膜部25aを形成する。また、透過画素電極部にレジストパターン25の薄膜部25bを形成する。すなわち、ギャップ保持用パッド部には、実施の形態1では薄膜部25bを形成したが、本実施の形態では厚膜部25aを形成する。

40

【0079】

そして、このレジストパターン25をマスクとして、ウェットエッチング処理などによって、上部透明導電層193、反射金属層192d、及び透明導電層191dを、順次もしくは一括でパターンニングする。これにより、図127(f)に示すように、レジストパターン25に覆われない領域の上部透明導電層193、反射金属層192d、及び透明導電層191dが除去され、有機膜18が露出する。

【0080】

次に、アッシング処理を行ってレジストパターン25の薄膜部25bを除去する。薄膜部25bの除去されたレジストパターン25は、図12(g)に示すように、レジストパターン25cとなる。これにより、ギャップ保持用パターン部上のレジストパターンの厚

50

膜部 25 a は、膜厚が薄くなり、レジストパターン 25 c として残存する。また、上部透明導電層 193、反射金属層 192 d、及び透明導電層 191 d から露出した部分の有機膜 18 は、このときのアッシング処理によって同時に膜減りし、有機膜 18 に薄膜部が形成される。このとき、本実施の形態では、ギャップ保持用パッド部の有機膜 18 は、上部透明導電層 193、反射金属層 192 d、及び透明導電層 191 d によって覆われているので、膜減りしない。このようにして、ギャップ保持用パッド部に画素領域と同様の厚膜部が設けられた有機膜 18 が形成される。

【0081】

アッシング後、レジストパターン 25 c をマスクとしてウェットエッチング処理等を行い、上部透明導電層 193 及び反射金属層 192 d を選択的にパターニングする。これにより、透過画素電極部の上部透明導電層 193 及び反射金属層 192 d が除去され、透明導電層 191 d が露出する。その後、レジスト剥離液を用いてレジストパターン 25 c を除去する。これにより、図 12 (h) に示すように、透過画素電極 191 上の一部に反射画素電極 192 と上部透明導電層 193 が積層された画素電極 19 が形成される。また、コンタクトホール 182、183 を介してソース端子 43 及びゲート端子 44 と接続するソース端子パッド及びゲート端子パッドが、透明導電層 191 d、反射金属層 192 d、及び上部透明導電層 193 の積層膜によって形成される。さらに、有機膜 18 の厚膜部の上に透明導電層 191 d、反射金属層 192 d、及び上部透明導電層 193 が積層されたギャップ保持用パッド 20 が形成される。

10

【0082】

以上の工程を経て本実施の形態に係る TFT アレイ基板 10 が完成する。以降の工程については、実施の形態 1 と同様であるため、説明を省略する。

20

【0083】

このように、本実施の形態では、TFT アレイ基板 10 上の表示領域 41 の外側かつシール材 37 の内側の領域に、画素電極 19 を構成する導電層と同じ導電層を設けてギャップ保持用パッド 20 を形成する。これにより、ギャップ保持用パッド 20 の導電層の下には、反射画素電極 192 の下と同様、有機膜 18 の厚膜部が形成される。そして、反射画素電極 192 及びギャップ保持用パッド 20 の対面に対向基板 30 の柱状スペーサ 35 が位置するように両基板を貼り合わせる。これにより、ギャップ保持用パッド 20 上では、対向基板 30 表面との距離が反射画素電極 192 上とほぼ同等となり、これらの部分で柱状スペーサ 35 が両基板間の間隔を保持することとなる。よって、両基板間の間隔は、表示領域 41 の外側と内側とで同等となる。従って、表示領域 41 の周辺部に発生する表示むらを抑制することができ、表示品位の優れた液晶表示装置を提供できる。

30

【0084】

実施の形態 3 .

本実施の形態に係る液晶表示装置について、図 13 を用いて説明する。本実施の形態にかかる液晶表示装置の基本的構成は、実施の形態 1 と同様であるため、同様の内容については、説明を省略する。本実施の形態では、ギャップ保持用パッド 20 の構成が実施の形態 1、2 と異なっている。図 13 は、本実施の形態 3 に係る液晶表示パネル 4 の表示領域 41 周辺部とその外側の構成を模式的に示した断面図である。

40

【0085】

図 13 において、図 5 と同じ構成部分については同一の符号を付し、差異について説明する。本実施の形態では、図 13 に示すように、対向基板 30 上における表示領域 41 の外側かつシール材 37 の内側の領域にギャップ保持用パッド 20 が設けられている。すなわち、ギャップ保持用パッド 20 は、TFT アレイ基板 10 側ではなく、対向基板 30 側に設けられている。よって、図 19 に示す従来例と同様、TFT アレイ基板 10 の表示領域 41 の外側には、画素間領域と同じ有機膜 18 の薄膜部が形成される。

【0086】

ギャップ保持用パッド 20 は、基板 31 上に複数の色材 33 が積層して形成され、これらを覆うように対向電極 34 が形成されている。ここでは、ギャップ保持用パッド 20 に

50

、赤（R）、緑（G）、青（B）3色の色材33が積層されているが、積層される色材33の数は、対向基板30のギャップ保持用パッド20表面と対向するTFTアレイ基板10表面との間の距離に応じて適宜決定される。すなわち、TFTアレイ基板10と対向基板30との互いに対向する側の表面間の距離が、対向基板30のギャップ保持用パッド20上と、TFTアレイ基板10の反射画素電極192上と同等となるように、ギャップ保持用パッド20に積層する色材33が決定される。

【0087】

ギャップ保持用パッド20の形状は、実施の形態1と同様、特に限定されるものではない。例えば、実施の形態1において説明したように、シール材37の各辺に沿って帯状に形成して、1つのギャップ保持用パッド20の上に複数の柱状スペーサ35を設けてもよい。また、柱状スペーサ35が内包できる程度の大きさでギャップ保持用パッド20を形成して、1つのギャップ保持用パッド20に柱状スペーサ35のそれぞれを設けてもよい。なお、対向基板30が、表示領域41内において色材33と対向電極34の間に保護膜が設けられる構成の場合は、保護膜を表示領域41より延在してギャップ保持用パッド20にも形成する。

10

【0088】

このようにギャップ保持用パッド20が設けられた対向基板30の対向電極34上には、柱状スペーサ35が、反射画素電極192に対向する位置と、ギャップ保持用パッド20上とに設けられている。そして、対向基板30の柱状スペーサ35がTFTアレイ基板10の反射画素電極192、及び表示領域41の外側かつシール材37の内側の領域とに

20

【0089】

なお、ギャップ保持用パッド20は上記構成に限られるものではない。図14は、本実施の形態3の別の実施例に係る液晶表示パネル5の表示領域41周辺部とその外側の構成を模式的に示した断面図である。図14に示すように、ギャップ保持用パッド20には、色材33と基板31との間にブラックマトリクス32が形成されていてもよい。ここでは、ギャップ保持用パッド20に、ブラックマトリクス32上に2色の色材33が積層されているが、積層される色材33の数は、前述したように、対向基板30のギャップ保持用パッド20表面と対向するTFTアレイ基板10表面との間の距離に応じて適宜決定される。

30

【0090】

このように、本実施の形態では、対向基板30上の表示領域41の外側かつシール材37の内側の領域に、ブラックマトリクス32及び色材33のうち少なくとも2層以上を積層させてギャップ保持用パッド20を形成する。これにより、ギャップ保持用パッド20における対向基板30の基板31表面からの高さは、表示領域41内における高さより高くなる。すなわち、ギャップ保持用パッド20上におけるTFTアレイ基板10表面との距離が、反射画素電極192上における対向基板30表面との距離とほぼ同等となり、これらの部分で柱状スペーサ35が両基板間の間隔を保持することとなる。よって、両基板間の間隔は、表示領域41の外側と内側とで同等となる。従って、表示領域41の周辺部に発生する表示むらを抑制することができ、表示品位の優れた液晶表示装置を提供できる。

40

【0091】

実施の形態4 .

本実施の形態に係る液晶表示装置について、図15を用いて説明する。本実施の形態にかかる液晶表示装置の基本的構成は、実施の形態1と同様であるため、同様の内容については、説明を省略する。本実施の形態では、TFTアレイ基板10の構成が実施の形態1と異なっている。図15は、本実施の形態4に係る液晶表示パネル6の表示領域41周辺部とその外側の構成を模式的に示した断面図である。

【0092】

50

図15において、図5と同じ構成部分については同一の符号を付し、差異について説明する。図15に示すように、TFTアレイ基板10の表示領域41の外側には、図19に示す従来例と同様、画素間領域と同じ有機膜18の薄膜部が形成される。本実施の形態では、TFTアレイ基板10の画素電極19の上に、平坦化膜21がさらに形成されている。平坦化膜21は、画素電極19や有機膜18を覆うように形成され、TFTアレイ基板10上に生じた凹凸を平坦化する。平坦化膜21は、棒状のシール材37よりも内側の領域において表示領域41より大きく形成される。すなわち、シール材37の下には平坦化膜21が設けられていない。このように、平坦化膜21は、表示領域41の外側かつシール材37の内側の領域において、実施の形態1と同様、ギャップ保持用パッド20として機能する。平坦化膜21は、有機絶縁膜、無機絶縁膜などの平坦化膜によって形成されている。

10

【0093】

このように平坦化膜21が設けられたTFTアレイ基板10は、反射画素電極192、及び表示領域41の外側かつシール材37の内側の領域とに対向基板30の柱状スペーサ35が対向配置されるように、シール材37を介して対向基板30と貼り合わされている。

【0094】

なお、平坦化膜21は上記形状に限られるものではない。図16は、本実施の形態4の別の実施例に係る液晶表示パネル7の表示領域41周辺部とその外側の構成を模式的に示した断面図である。図16に示すように、平坦化膜21は、有機膜18の薄膜部を埋めるような形状で形成されていてもよい。但し、この場合も、前述したように、シール材37の下の平坦化膜21は除去されている。

20

【0095】

以上のように、本実施の形態では、TFTアレイ基板10の画素電極19の上から平坦化膜21をさらに形成する。このとき、有機膜18の薄膜部上に設けられた平坦化膜21表面の基板11からの高さが、透過画素電極191表面の基板11からの高さ以上となるように平坦化膜21を形成する。これにより、基板11からの表面の高さが、表示領域41の外側かつシール材37の内側の領域と、反射画素電極192上とでほぼ同等となり、これらの部分で柱状スペーサ35がTFTアレイ基板10と対向基板30の間隔を保持することとなる。よって、両基板間隔は、表示領域41の外側と内側とで同等となる。従って、表示領域41の周辺部に発生する表示むらを抑制することができ、表示品位の優れた液晶表示装置を提供できる。

30

【0096】

実施の形態5。

本実施の形態に係る液晶表示装置について、図17を用いて説明する。本実施の形態にかかる液晶表示装置の基本的構成は、実施の形態1と同様であるため、同様の内容については、説明を省略する。本実施の形態では、TFTアレイ基板10の構成が実施の形態1と異なっている。図17は、本実施の形態5に係る液晶表示パネル8の表示領域41周辺部とその外側の構成を模式的に示した断面図である。

【0097】

図17において、図5と同じ構成部分については同一の符号を付し、差異について説明する。図17に示すように、本実施の形態では、有機膜18と透過画素電極191との間に無機絶縁膜22がさらに形成されている。そのため、本実施の形態の有機膜18には、実施の形態1～4と異なり、薄膜部が設けられていない。すなわち、透過画素電極191と反射画素電極192をパターニングするためのマスクとして形成された膜厚差を有するレジストパターンのアッシング時に、有機膜18が無機絶縁膜22に覆われており膜減りしない。従って、有機膜18上に無機絶縁膜22を設けることにより、アッシング時に有機膜18が膜減りして薄膜部が形成されることを防止できる。この無機絶縁膜22は、例えばCVD装置を用いて膜厚100nmのSiNなどを基板11全面に成膜すればよい。

40

【0098】

50

このように無機絶縁膜 22 が設けられた T F T アレイ基板 10 は、反射画素電極 192、及び表示領域 41 の外側かつシール材 37 の内側の領域とに対向基板 30 の柱状スペーサ 35 が対向配置されるように、シール材 37 を介して対向基板 30 と貼り合わされている。

【0099】

以上のように、本実施の形態では、T F T アレイ基板 10 の有機膜 18 と透過画素電極 191 との間に無機絶縁膜 22 をさらに形成する。これにより、透過画素電極 191 と反射画素電極 192 とを 1 回の写真製版で形成する際のアッシングによって、有機膜 18 が膜減りして薄膜部が形成されることを防止できる。すなわち、基板 11 からの表面の高さが、表示領域 41 の外側かつシール材 37 の内側の領域と、反射画素電極 192 上とではほぼ同等となり、これらの部分で柱状スペーサ 35 が T F T アレイ基板 10 と対向基板 30 の間の間隔を保持することとなる。よって、両基板間の間隔は、表示領域 41 の外側と内側とで同等となる。従って、表示領域 41 の周辺部に発生する表示むらを抑制することができ、表示品位の優れた液晶表示装置を提供できる。

【0100】

実施の形態 6 .

本実施の形態に係る液晶表示装置について、図 18 を用いて説明する。本実施の形態にかかる液晶表示装置の基本的構成は、実施の形態 1 と同様であるため、同様の内容については、説明を省略する。本実施の形態では、表示領域 41 の外側かつシール材 37 の内側の領域の構成が実施の形態 1 と異なっている。図 18 は、本実施の形態 6 に係る液晶表示パネル 9 の表示領域 41 周辺部とその外側の構成を模式的に示した断面図である。

【0101】

図 18 において、図 5 と同じ構成部分については同一の符号を付し、差異について説明する。図 18 に示すように、表示領域 41 の外側かつシール材 37 の内側の領域の T F T アレイ基板 10 には、ギャップ保持用パッド 20 が設けられていない。よって、図 19 に示す従来例と同様、T F T アレイ基板 10 の表示領域 41 の外側には、画素間領域と同じ有機膜 18 の薄膜部が形成される。

【0102】

そして、本実施の形態では、高さの異なる柱状スペーサ 35、35a が対向基板 30 に設けられている。柱状スペーサ 35a は、表示領域 41 の外側かつシール材 37 の内側の領域に形成され、表示領域 41 において反射画素電極 192 と対向配置される柱状スペーサ 35 よりも高さが高い。すなわち、表示領域 41 の外側では、有機膜 18 の膜厚が画素領域よりも薄くなっているため、対向基板 30 表面から T F T アレイ基板 10 表面までの間隔が画素領域よりも広くなる。従って、両基板 11、31 が液晶表示パネル 9 全体にわたって平行に対向配置されるように、それぞれの間隔に応じた高さの柱状スペーサ 35、35a が形成される。すなわち、表示領域 41 の外側における基板間隔と画素電極 19 上の基板間隔の差に応じて、柱状スペーサ 35a を柱状スペーサ 35 より高く形成する。これら柱状スペーサ 35、35a は、それぞれ別々の写真製版工程によって形成すればよい。

【0103】

このように柱状スペーサ 35、35a が設けられた対向基板 30 は、T F T アレイ基板 10 と対向配置され、シール材 37 を介して貼り合わされている。

【0104】

以上のように、本実施の形態では、表示領域 41 の外側かつシール材 37 の内側の領域に設けられる柱状スペーサ 35a が、表示領域 41 において反射画素電極 192 と対向配置される柱状スペーサ 35 よりも高さが高くなるように、それぞれの間隔に応じて形成する。これにより、表示領域 41 の外側かつシール材 37 の内側の領域では T F T アレイ基板 10 表面と対向基板 30 表面との間の間隔が反射画素電極 192 上よりも広いまま、両基板が保持される。すなわち、透過画素電極 191 と反射画素電極 192 とを 1 回の写真製版で形成する際のアッシングで有機膜 18 が膜減りした分を相殺するように、高さの高

い柱状スペーサ35aによって両基板間が保持される。よって、TFTアレイ基板10と対向基板30とは、表示領域41の内側及び外側において平行に対向配置された液晶表示パネル9となる。従って、表示領域41の周辺部に発生する表示むらを抑制することができ、表示品位の優れた液晶表示装置を提供できる。

【0105】

なお、実施の形態1～6では、チャンネルエッチ型のTFT50が形成された液晶表示装置について説明したが、トップゲート型など他のTFT50が設けられていてもよい。また、焼きつき防止の目的で反射画素電極192の上に上部透明導電層193を設けた構成について例示的に説明をしたが、上部透明導電層193が設けられていなくても同様の効果を奏することができる。さらに、対向基板30上に柱状スペーサを設ける構成に限定されない。TFTアレイ基板10上に柱状スペーサを設ける構成でも同様の効果を奏することができる。

【0106】

以上の説明は、本発明の実施の形態を説明するものであり、本発明が以上の実施の形態に限定されるものではない。また、当業者であれば、以上の実施の形態の各要素を、本発明の範囲において、容易に変更、追加、変換することが可能である。

【図面の簡単な説明】

【0107】

【図1】実施の形態1に係る液晶表示装置の構成を示す正面図である。

【図2】実施の形態1に係るTFTアレイ基板の画素構成を示す平面図である。

【図3】図2のIII-III断面図である。

【図4】実施の形態1に係る液晶表示パネルの表示領域周辺部とその外側の構成を示す拡大平面図である。

【図5】図4のV-V断面図である。

【図6】実施の形態1に係るTFTアレイ基板の製造工程を示した断面図である。

【図7】実施の形態1に係るTFTアレイ基板の製造工程を示した断面図である。

【図8】実施の形態1の別の実施例に係る液晶表示パネルの表示領域周辺部とその外側の構成を示す拡大平面図である。

【図9】実施の形態1の別の実施例に係る液晶表示パネルの表示領域周辺部とその外側の構成を模式的に示した断面図である。

【図10】実施の形態2に係る液晶表示パネルの表示領域周辺部とその外側の構成を模式的に示した断面図である。

【図11】実施の形態2に係るTFTアレイ基板の製造工程を示した断面図である。

【図12】実施の形態2に係るTFTアレイ基板の製造工程を示した断面図である。

【図13】実施の形態3に係る液晶表示パネルの表示領域周辺部とその外側の構成を模式的に示した断面図である。

【図14】実施の形態3の別の実施例に係る液晶表示パネルの表示領域周辺部とその外側の構成を模式的に示した断面図である。

【図15】実施の形態4に係る液晶表示パネルの表示領域周辺部とその外側の構成を模式的に示した断面図である。

【図16】実施の形態4の別の実施例に係る液晶表示パネルの表示領域周辺部とその外側の構成を模式的に示した断面図である。

【図17】実施の形態5に係る液晶表示パネルの表示領域周辺部とその外側の構成を模式的に示した断面図である。

【図18】実施の形態6に係る液晶表示パネルの表示領域周辺部とその外側の構成を模式的に示した断面図である。

【図19】従来例に係る液晶表示パネルの表示領域周辺部とその外側の構成を模式的に示した断面図である。

【符号の説明】

【0108】

10

20

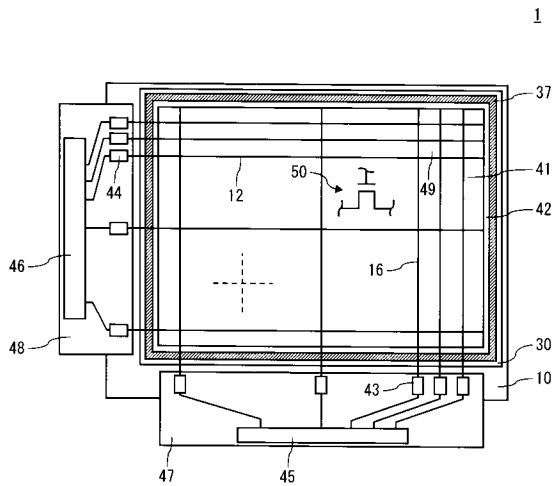
30

40

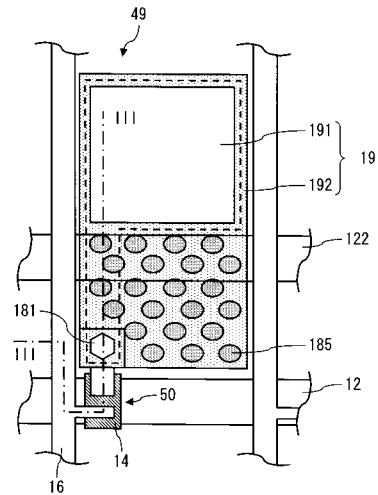
50

- 1、2、3、4、5、6、7、8、9 液晶表示パネル、
- 10 TFTアレイ基板、12 ゲート配線、13 ゲート絶縁膜、
- 14 半導体層、15 オーミックコンタクト膜、16 ソース配線、
- 17 層間絶縁膜、18 有機膜、19 画素電極、
- 20 ギャップ保持用パッド、21 平坦化膜、22 無機絶縁膜、
- 25 レジストパターン、25a 厚膜部、25b 薄膜部、
- 25c レジストパターン、30 対向基板、31 基板、
- 32 ブラックマトリクス、33 色材、34 対向電極、
- 35、35a 柱状スペーサ、36 液晶層、37 シール材、
- 41 表示領域、42 額縁領域、43 ソース端子、
- 44 ゲート端子、45、46 制御回路、
- 47、48 フレキシブル基板、49 画素、50 TFT、
- 121 ゲート電極、122 補助容量電極、
- 161 ソース電極、162 ドレイン電極、
- 181、182、183 コンタクトホール、185 凹凸パターン、
- 191 透過画素電極、191d 透明導電層、
- 192 反射画素電極、192d 反射金属層、
- 193 上部透明導電層

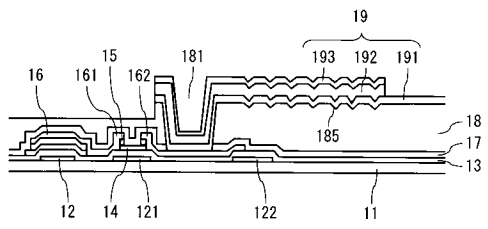
【図1】



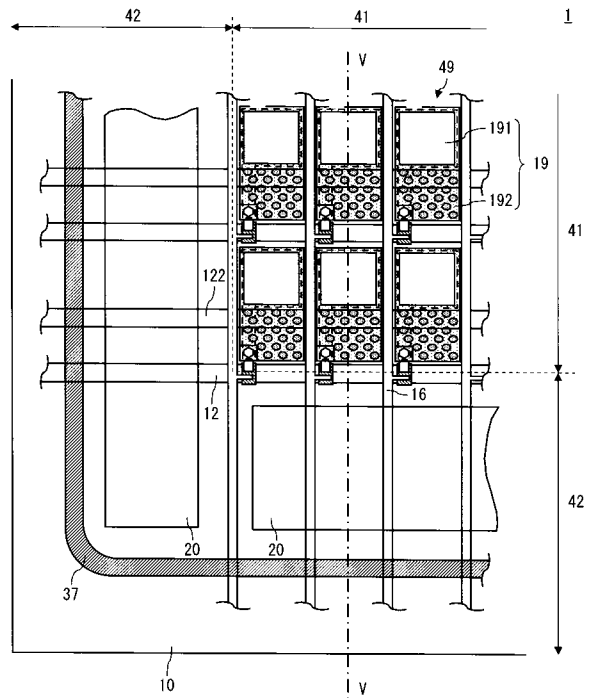
【図2】



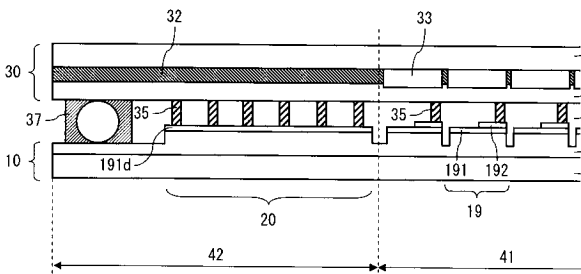
【 図 3 】



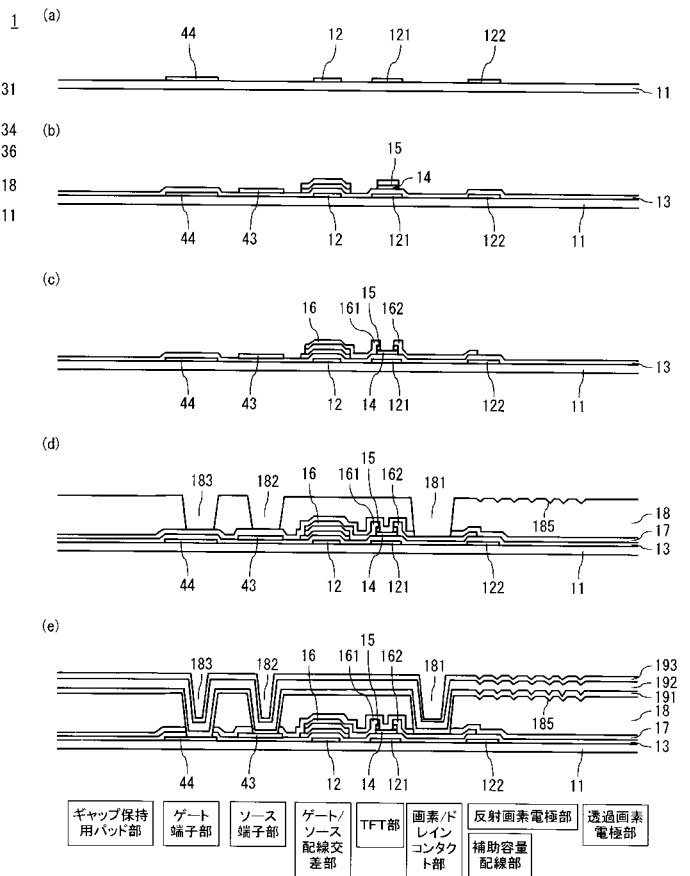
【 図 4 】



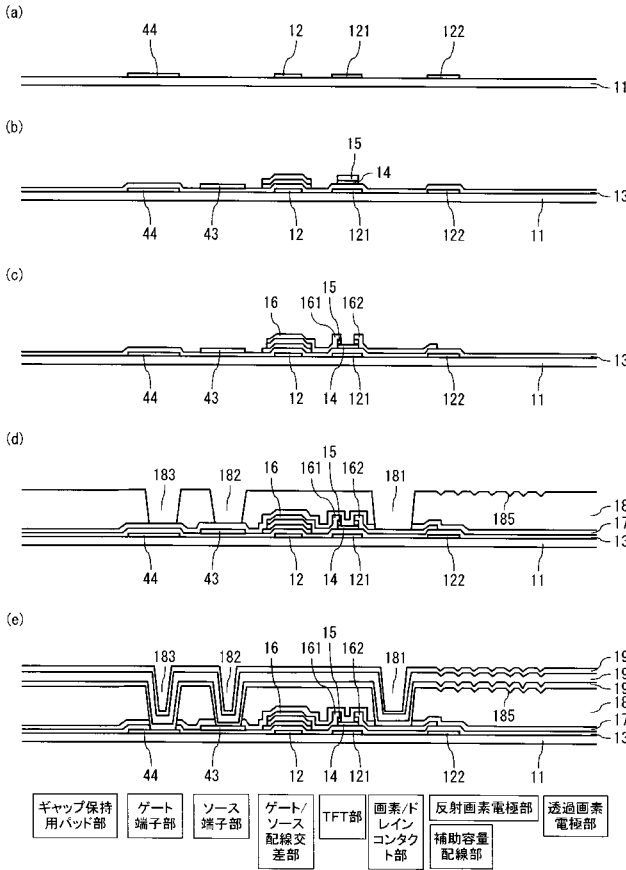
【 図 5 】



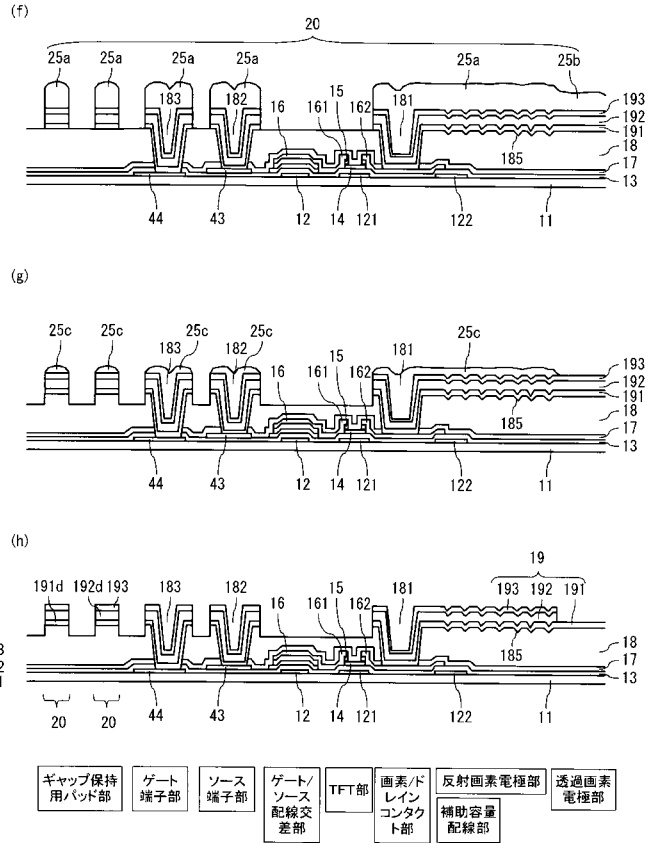
【 図 6 】



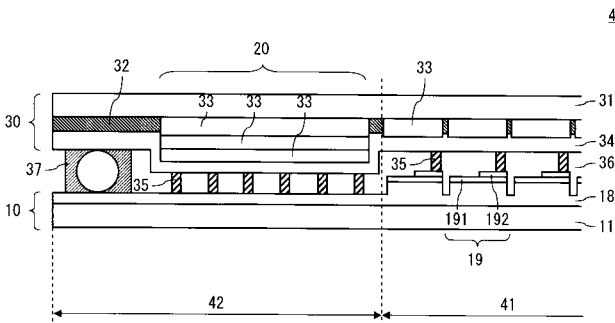
【図 1 1】



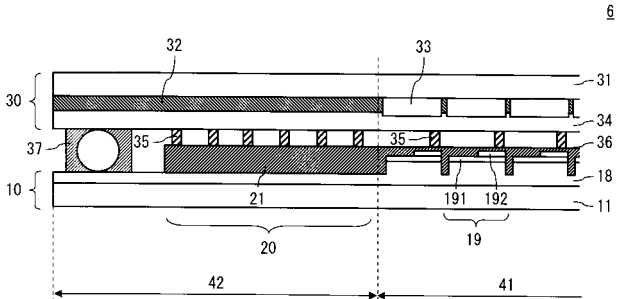
【図 1 2】



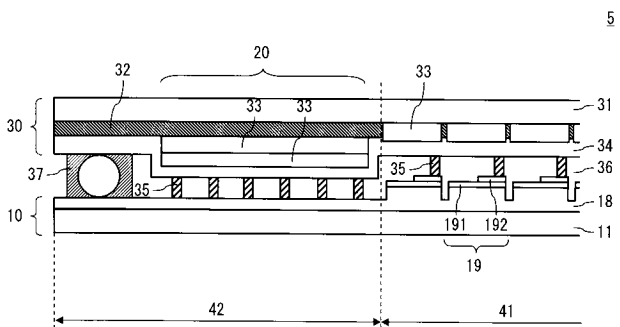
【図 1 3】



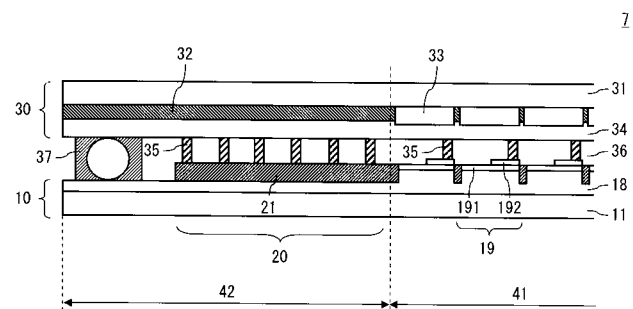
【図 1 5】



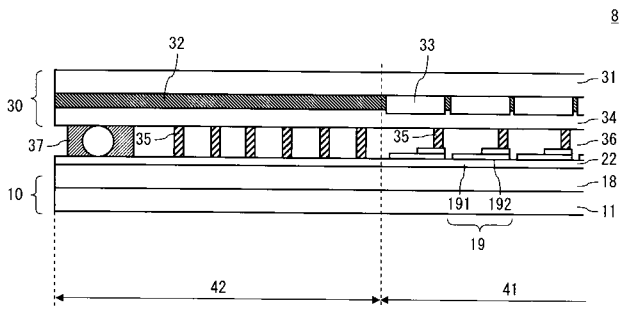
【図 1 4】



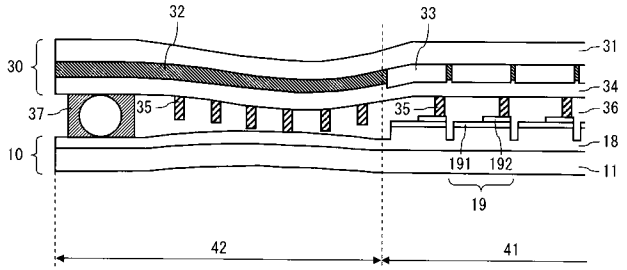
【図 1 6】



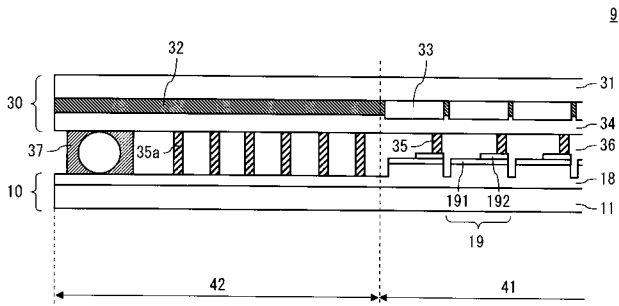
【 図 1 7 】



【 図 1 9 】



【 図 1 8 】



フロントページの続き

(72)発明者 青木 理

熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

Fターム(参考) 2H092 GA29 GA43 GA50 JA26 JA46 JB07 JB69 KA05 KA12 KA18
KB04 KB22 KB25 MA05 MA07 MA13 MA18 MA19 MA27 PA03
PA08 PA09 PA12
2H189 DA07 DA30 DA34 DA43 FA31 HA04 HA14 LA10 LA19 NA03
2H191 FA02Y FA14Y FA31Y FC02 FC10 GA11 GA19 NA09 NA30 NA34

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009265568A	公开(公告)日	2009-11-12
申请号	JP2008118345	申请日	2008-04-30
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	宫本賢一 林正美 棚原学 青木理		
发明人	宫本 賢一 林 正美 棚原 学 青木 理		
IPC分类号	G02F1/1339 G02F1/1335 G02F1/1343		
CPC分类号	G02F1/13394 G02F1/133555		
FI分类号	G02F1/1339.500 G02F1/1335.500 G02F1/1343 G02F1/1335.520		
F-TERM分类号	2H092/GA29 2H092/GA43 2H092/GA50 2H092/JA26 2H092/JA46 2H092/JB07 2H092/JB69 2H092/KA05 2H092/KA12 2H092/KA18 2H092/KB04 2H092/KB22 2H092/KB25 2H092/MA05 2H092/MA07 2H092/MA13 2H092/MA18 2H092/MA19 2H092/MA27 2H092/PA03 2H092/PA08 2H092/PA09 2H092/PA12 2H189/DA07 2H189/DA30 2H189/DA34 2H189/DA43 2H189/FA31 2H189/HA04 2H189/HA14 2H189/LA10 2H189/LA19 2H189/NA03 2H191/FA02Y 2H191/FA14Y 2H191/FA31Y 2H191/FC02 2H191/FC10 2H191/GA11 2H191/GA19 2H191/NA09 2H191/NA30 2H191/NA34 2H291/FA02Y 2H291/FA14Y 2H291/FA31Y 2H291/FC02 2H291/FC10 2H291/GA11 2H291/GA19 2H291/NA09 2H291/NA30 2H291/NA34		
其他公开文献	JP5536986B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示品质优异的液晶显示装置。根据本发明的液晶显示装置是具有包括透射像素电极191和反射像素电极192的像素电极19的液晶显示装置，并且包括TFT阵列基板10，对向基板30以及两个基板。用于粘合在一起的密封材料37，形成在TFT阵列基板30上并具有设置在像素电极19下方的厚膜部分和设置在该厚膜部分外部的薄膜部分的有机膜18，形成在相对基板30上并保持两个基板之间的基板间隙的柱状间隔物35，以及形成在显示区域41外部和密封材料37内部的柱状间隔物35，使得显示区域41外部的基板间隙在像素电极19上。柱状间隔件35在间隙保持垫20和像素电极19上保持两个基板之间的基板间隙，并且根据基板间隙调节间隙保持垫20。 [选择图]图5

