

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-175237

(P2009-175237A)

(43) 公開日 平成21年8月6日(2009.8.6)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623B	2H193
G02F 1/133 (2006.01)	G09G 3/20 641H	5C006
	G09G 3/20 623G	5C080
	G09G 3/20 641P	
審査請求 未請求 請求項の数 25 O L (全 26 頁) 最終頁に続く		

(21) 出願番号 特願2008-11418 (P2008-11418)
 (22) 出願日 平成20年1月22日 (2008.1.22)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 能勢 崇
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 (72) 発明者 降旗 弘史
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 (72) 発明者 堀 良彦
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内

最終頁に続く

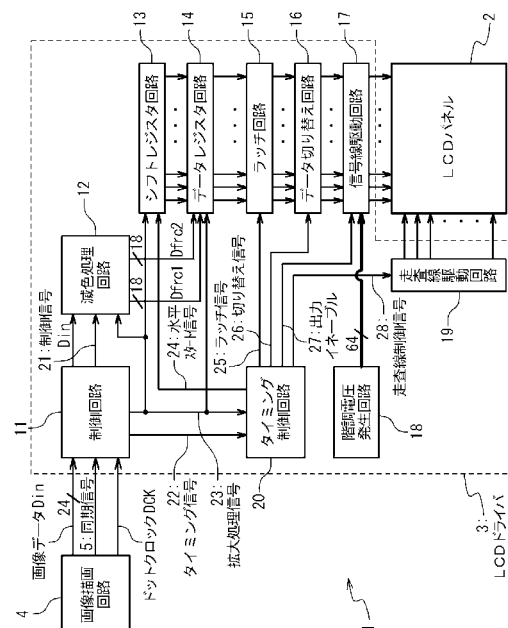
(54) 【発明の名称】 表示装置、表示パネルドライバ、及び表示パネル駆動方法

(57) 【要約】

【課題】減色処理と画像を拡大するような駆動とを組み合わせても、画像の劣化が起こらないような駆動技術を提供する。

【解決手段】液晶表示装置1は、LCDパネル2と、LCDパネル2を駆動するLCDドライバ3とを具備する。LCDドライバ3は、減色処理回路12と駆動部として機能する回路群13～17とを備えている。減色処理回路12は、入力画像データDinから誤差値Derr^Cを用いて減色画像データDfrc¹を生成し、入力画像データDinから誤差値Derr^{N1}を用いて減色画像データDfrc²を生成することができるよう構成されている。回路群13～17は、LCDパネル2の或る水平ラインに位置する第1画素を減色画像データDfrc¹にตอบสนองして駆動し、前記或る水平ラインに位置し、且つ、前記第1画素に水平方向に隣接する第2画素を減色画像データDfrc²にตอบสนองして駆動する動作を実行可能に構成されている。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

表示パネルと、
前記表示パネルの信号線を駆動する表示パネルドライバ
とを具備し、
前記表示パネルドライバは、
第 1 入力画像データから第 1 誤差値を用いて誤差拡散処理を行うことにより第 1 減色画像データを生成し、前記第 1 入力画像データから前記第 1 誤差値と別に用意された第 2 誤差値を用いて誤差拡散処理を行うことにより第 2 減色画像データを生成することができるように構成された減色処理回路と、
前記表示パネルの或る水平ラインに位置する第 1 画素を前記第 1 減色画像データに応答して駆動し、前記或る水平ラインに位置し、且つ、前記第 1 画素に水平方向に隣接する第 2 画素を前記第 2 減色画像データに応答して駆動する動作を実行可能に構成された駆動部とを具備する
表示装置。

10

【請求項 2】

請求項 1 に記載の表示装置であって、
前記第 1 入力画像データが、第 1 フォーマットの画像として供給された場合、前記減色処理回路は、前記第 1 入力画像データから前記第 1 誤差値を用いて誤差拡散処理を行うことにより第 1 減色画像データを生成し、前記第 1 入力画像データから前記第 1 誤差値と別に用意された第 2 誤差値を用いて誤差拡散処理を行うことにより第 2 減色画像データを生成し、前記駆動部は、前記第 1 画素を前記第 1 減色画像データに応答して駆動するとともに前記第 2 画素を前記第 2 減色画像データに応答して駆動し、
前記第 1 画素に対応する第 2 入力画像データと前記第 2 画素に対応する第 3 入力画像データが、前記第 1 フォーマットと異なる第 2 フォーマットの画像として供給された場合、前記減色処理回路は、前記第 2 入力画像データに対して誤差拡散処理を行うことにより第 3 減色画像データを生成すると共に、前記第 3 入力画像データに対して誤差拡散処理を行うことにより第 4 減色画像データを生成し、前記駆動部は、前記第 1 画素を前記第 3 減色画像データに応答して駆動するとともに前記第 2 画素を前記第 4 減色画像データに応答して駆動する
表示装置。

20

30

【請求項 3】

請求項 2 に記載の表示装置であって、
前記減色処理回路は、
前記入力画像データから前記第 1 誤差値を用いて誤差拡散処理を行うことによって前記第 1 減色画像データと前記第 2 誤差値を生成するための第 1 回路部分と、
前記入力画像データから前記第 2 誤差値を用いて誤差拡散処理を行うことによって前記第 2 減色画像データを生成するための第 2 回路部分
とを具備する
表示装置。

40

【請求項 4】

請求項 3 に記載の表示装置であって、
前記第 2 回路部分は、前記第 2 誤差値を用いた前記誤差拡散処理によって、前記第 2 減色画像データに加えて第 3 誤差値を生成するように構成され、
前記減色処理回路は、更に、
前記第 2 誤差値と前記第 3 誤差値の一方を選択して出力する第 1 セレクタと、
前記第 1 セレクタから出力される誤差値をラッチするラッチと、
初期値を出力する初期値設定回路と、
前記ラッチから出力される誤差値と前記初期値との一方を、前記第 1 誤差値として選択する第 2 セレクタ

50

とを備え、

前記第 1 セレクタは、前記第 1 入力画像データが前記第 1 フォーマットの画像として供給された場合、前記第 3 誤差値を選択し、前記第 2 入力画像データ及び前記第 3 入力画像データが前記第 2 フォーマットの画像として供給された場合、前記第 2 誤差値を選択する表示装置。

【請求項 5】

請求項 2 乃至 4 のいずれかに記載の表示装置であって、

前記第 2 フォーマットの画像の前記水平方向の画素数は、前記第 1 フォーマットの画像の前記水平方向の画素数の 2 倍である

表示装置。

10

【請求項 6】

請求項 1 乃至 4 のいずれかに記載の表示装置であって、

前記駆動部は、前記或る水平ラインに隣接する次水平ラインに位置し、且つ、前記第 1 画素に垂直方向に隣接する第 3 画素を、前記第 2 減色画像データに応答して駆動し、且つ、前記次水平ラインに位置し、且つ、前記第 2 画素に垂直方向に隣接する第 4 画素を、前記第 1 減色画像データに応答して駆動する動作を実行可能に構成されている

表示装置。

【請求項 7】

請求項 6 に記載の表示装置であって、

前記駆動部は、

20

前記第 1 減色画像データをラッチする第 1 ラッチと、前記第 2 減色画像データをラッチする第 2 ラッチとを備えるラッチ回路と、

第 1 入力と第 2 入力とを有し、前記第 1 入力に供給されたデータに応答して前記第 1 画素に対応する第 1 信号線を駆動し、前記第 2 入力に供給されたデータに応答して前記第 2 画素に対応する第 2 信号線を駆動する信号線駆動回路と、

前記第 1 ラッチ及び前記第 2 ラッチと、前記信号線駆動回路の前記第 1 入力及び前記第 2 入力との間の接続関係を切り替え可能に構成されたデータ切り替え回路

とを備える

表示装置。

【請求項 8】

30

請求項 2 乃至 5 のいずれかに記載の表示装置であって、

前記第 1 入力画像データが前記第 1 フォーマットの画像として供給された場合、前記駆動部は、前記或る水平ラインに隣接する次水平ラインに位置し、且つ、前記第 1 画素に垂直方向に隣接する第 3 画素を、前記第 2 減色画像データに応答して駆動し、且つ、前記次水平ラインに位置し、且つ、前記第 2 画素に垂直方向に隣接する第 4 画素を、前記第 1 減色画像データに応答して駆動する動作を実行し、

前記第 3 画素に対応する第 4 入力画像データ及び前記第 4 画素に対応する第 5 入力画像データが前記第 2 フォーマットの画像として供給された場合、前記減色処理回路は、前記第 4 入力画像データに対して誤差拡散処理を行うことにより第 5 減色画像データを生成すると共に、前記第 5 入力画像データに対して誤差拡散処理を行うことにより第 6 減色画像データを生成し、前記駆動部は、前記第 3 画素を前記第 5 減色画像データに応答して駆動するとともに前記第 4 画素を前記第 6 減色画像データに応答して駆動する

40

表示装置。

【請求項 9】

請求項 7 に記載の表示装置であって、

前記駆動部は、

ラッチ信号に응答して動作する第 1 及び第 2 ラッチを備えるラッチ回路と、

第 1 入力と第 2 入力とを有し、前記第 1 入力に供給されたデータに응答して前記第 1 画素及び前記第 3 画素に対応する第 1 信号線を駆動し、前記第 2 入力に供給されたデータに응答して前記第 2 画素及び前記第 4 画素に対応する第 2 信号線を駆動する信号線駆動回

50

路と、

前記第 1 ラッチ及び前記第 2 ラッチと、前記信号線駆動回路の前記第 1 入力及び前記第 2 入力との間の接続関係を切り替え可能に構成されたデータ切り替え回路とを備え、

前記第 1 入力画像データが前記第 1 フォーマットの画像として供給されたとき、前記第 1 ラッチ及び前記第 2 ラッチは、それぞれ前記第 1 減色画像データ及び前記第 2 減色画像データを受け取り、前記データ切り替え回路は、前記或る水平ラインの画素の駆動の際には前記第 1 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 2 減色画像データを前記第 2 ラッチから前記第 2 入力に供給し、前記次水平ラインの画素の駆動の際には前記第 2 減色画像データを前記第 1 ラッチから前記第 2 入力に供給すると共に前記第 2 減色画像データを前記第 2 ラッチから前記第 1 入力に供給し、

前記第 2 乃至第 5 入力画像データが前記第 2 フォーマットの画像として供給されたとき、前記第 1 ラッチは、前記第 3 減色画像データ及び第 5 減色画像データを受け取り、前記第 2 ラッチは、前記第 4 減色画像データ及び第 6 減色画像データを受け取り、前記データ切り替え回路は、前記或る水平ラインの画素の駆動の際には前記第 3 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 4 減色画像データを前記第 2 ラッチから前記第 2 入力に供給し、前記次水平ラインの画素の駆動の際には前記第 5 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 6 減色画像データを前記第 2 ラッチから前記第 2 入力に供給する

表示装置。

【請求項 10】

請求項 8 又は 9 に記載の表示装置であって、

前記第 2 フォーマットの画像の垂直方向の画素数は、前記第 1 フォーマットの画像の前記垂直方向の画素数の 2 倍である

表示装置。

【請求項 11】

表示パネルの信号線を駆動する表示パネルドライバであって、

入力画像データから第 1 誤差値を用いて誤差拡散処理を行うことにより第 1 減色画像データを生成し、前記入力画像データから前記第 1 誤差値と別に用意された第 2 誤差値を用いて誤差拡散処理を行うことにより第 2 減色画像データを生成するように構成された減色処理回路と、

前記表示パネルの或る水平ラインに位置する第 1 画素を前記第 1 減色画像データに応答して駆動し、前記或る水平ラインに位置し、且つ、前記第 1 画素に水平方向に隣接する第 2 画素を前記第 2 減色画像データに応答して駆動する動作を実行可能に構成された駆動部とを具備する

表示パネルドライバ。

【請求項 12】

請求項 11 に記載の表示パネルドライバであって、

前記駆動部は、前記或る水平ラインに隣接する次水平ラインに位置し、且つ、前記第 1 画素に垂直方向に隣接する第 3 画素を、前記第 2 減色画像データに応答して駆動し、且つ、前記次水平ラインに位置し、且つ、前記第 2 画素に垂直方向に隣接する第 4 画素を、前記第 1 減色画像データに応答して駆動する動作を実行可能に構成されている

表示パネルドライバ。

【請求項 13】

請求項 11 又は 12 に記載の表示パネルドライバであって、

前記第 1 入力画像データが、第 1 フォーマットの画像として供給された場合、前記減色処理回路は、前記第 1 入力画像データから前記第 1 誤差値を用いて誤差拡散処理を行うことにより第 1 減色画像データを生成し、前記第 1 入力画像データから前記第 1 誤差値と別に用意された第 2 誤差値を用いて誤差拡散処理を行うことにより第 2 減色画像データを生成し、前記駆動部は、前記第 1 画素を前記第 1 減色画像データに応答して駆動するととも

に前記第 2 画素を前記第 2 減色画像データに応答して駆動し、

第 2 入力画像データと第 3 入力画像データが、前記第 1 フォーマットと異なる第 2 フォーマットの画像として供給された場合、前記減色処理回路は、前記第 2 入力画像データに対して誤差拡散処理を行うことにより第 3 減色画像データを生成すると共に、前記第 3 入力画像データに対して誤差拡散処理を行うことにより第 4 減色画像データを生成し、前記駆動部は、前記第 1 画素を前記第 3 減色画像データに応答して駆動するとともに前記第 2 画素を前記第 4 減色画像データに応答して駆動する

表示パネルドライバ。

【請求項 1 4】

請求項 1 3 に記載の表示装置であって、

10

前記減色処理回路は、

前記入力画像データから前記第 1 誤差値を用いて誤差拡散処理を行うことによって前記第 1 減色画像データと前記第 2 誤差値を生成するための第 1 回路部分と、

前記入力画像データから前記第 2 誤差値を用いて誤差拡散処理を行うことによって前記第 2 減色画像データを生成するための第 2 回路部分とを具備する

表示パネルドライバ。

【請求項 1 5】

請求項 1 4 に記載の表示パネルドライバであって、

前記第 2 回路部分は、前記第 2 誤差値を用いた前記誤差拡散処理によって、前記第 2 減色画像データに加えて第 3 誤差値を生成するように構成され、

20

前記減色処理回路は、更に、

前記第 2 誤差値と前記第 3 誤差値の一方を選択して出力する第 1 セレクタと、

前記第 1 セレクタから出力される誤差値をラッチするラッチと、

初期値を出力する初期値設定回路と、

前記ラッチから出力される誤差値と前記初期値との一方を、前記第 1 誤差値として選択する第 2 セレクタ

とを備え、

前記第 1 セレクタは、前記第 1 入力画像データが前記第 1 フォーマットの画像として供給された場合、前記第 3 誤差値を選択し、前記第 2 入力画像データ及び前記第 3 入力画像データが前記第 2 フォーマットの画像として供給された場合、前記第 2 誤差値を選択する表示装置。

30

【請求項 1 6】

請求項 1 3 乃至 1 5 のいずれかに記載の表示パネルドライバであって、

前記第 1 入力画像データが前記第 1 フォーマットの画像として供給された場合、前記駆動部は、前記或る水平ラインに隣接する次水平ラインに位置し、且つ、前記第 1 画素に垂直方向に隣接する第 3 画素を、前記第 2 減色画像データに応答して駆動し、且つ、前記次水平ラインに位置し、且つ、前記第 2 画素に垂直方向に隣接する第 4 画素を、前記第 1 減色画像データに応答して駆動する動作を実行し、

前記第 3 画素に対応する第 4 入力画像データ及び前記第 4 画素に対応する第 5 入力画像データが前記第 2 フォーマットの画像として供給された場合、前記減色処理回路は、前記第 4 入力画像データに対して誤差拡散処理を行うことにより第 5 減色画像データを生成すると共に、前記第 5 入力画像データに対して誤差拡散処理を行うことにより第 6 減色画像データを生成し、前記駆動部は、前記第 3 画素を前記第 5 減色画像データに応答して駆動するとともに前記第 4 画素を前記第 6 減色画像データに応答して駆動する

40

表示装置。

【請求項 1 7】

請求項 1 6 に記載の表示パネルドライバであって、

前記駆動部は、

ラッチ信号に応答して動作する第 1 及び第 2 ラッチを備えるラッチ回路と、

50

第 1 入力と第 2 入力とを有し、前記第 1 入力に供給されたデータに応答して前記第 1 画素及び前記第 3 画素に対応する第 1 信号線を駆動し、前記第 2 入力に供給されたデータに応答して前記第 2 画素及び前記第 4 画素に対応する第 2 信号線を駆動する信号線駆動回路と、

前記第 1 ラッチ及び前記第 2 ラッチと、前記信号線駆動回路の前記第 1 入力及び前記第 2 入力との間の接続関係を切り替え可能に構成されたデータ切り替え回路とを備え、

前記第 1 入力画像データが前記第 1 フォーマットの画像として供給されたとき、前記第 1 ラッチ及び前記第 2 ラッチは、それぞれ前記第 1 減色画像データ及び前記第 2 減色画像データを受け取り、前記データ切り替え回路は、前記或る水平ラインの画素の駆動の際には前記第 1 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 2 減色画像データを前記第 2 ラッチから前記第 2 入力に供給し、前記次水平ラインの画素の駆動の際には前記第 2 減色画像データを前記第 1 ラッチから前記第 2 入力に供給すると共に前記第 2 減色画像データを前記第 2 ラッチから前記第 1 入力に供給し、

前記第 2 乃至第 4 入力画像データが前記第 2 フォーマットの画像として供給されたとき、前記第 1 ラッチは、前記第 3 減色画像データ及び第 5 減色画像データを受け取り、前記第 2 ラッチは、前記第 4 減色画像データ及び第 6 減色画像データを受け取り、前記データ切り替え回路は、前記或る水平ラインの画素の駆動の際には前記第 3 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 4 減色画像データを前記第 2 ラッチから前記第 2 入力に供給し、前記次水平ラインの画素の駆動の際には前記第 5 減色画像データを前記第 1 ラッチから前記第 1 入力に供給すると共に前記第 6 減色画像データを前記第 2 ラッチから前記第 2 入力に供給する

表示パネルドライバ。

【請求項 18】

請求項 16 又は 17 に記載の表示パネルドライバであって、

前記第 2 フォーマットの画像の前記水平方向の画素数は、前記第 1 フォーマットの画像の前記水平方向の画素数の 2 倍であり、

前記第 2 フォーマットの画像の垂直方向の画素数は、前記第 1 フォーマットの画像の前記垂直方向の画素数の 2 倍である

表示パネルドライバ。

【請求項 19】

入力画像データから前記第 1 誤差値を用いて誤差拡散処理を行うことによって前記第 1 減色画像データと前記第 2 誤差値を生成する第 1 回路部分と、

前記入力画像データから前記第 2 誤差値を用いて誤差拡散処理を行うことによって前記第 2 減色画像データと第 3 誤差値とを生成する第 2 回路部分とを具備する

減色処理回路。

【請求項 20】

請求項 19 に記載の減色処理回路であって、

更に、

前記第 2 誤差値と前記第 3 誤差値の一方を選択して出力する第 1 セレクタと、

前記第 1 セレクタから出力される誤差値をラッチするラッチと、

初期値を出力する初期値設定回路と、

前記ラッチから出力される誤差値と前記初期値との一方を、前記第 1 誤差値として選択する第 2 セレクタ

とを具備する

減色処理回路。

【請求項 21】

請求項 19 又は 20 に記載の減色処理回路であって、

前記第 1 回路部分は、

10

20

30

40

50

前記入力画像データの下位ビットと前記第 1 誤差値とを加算して、前記第 2 誤差値を算出する第 1 加算回路と、

前記第 1 加算回路から出力されるキャリーと前記入力画像データの上位ビットとを加算して前記第 1 減色画像データを生成する第 2 加算回路とを備え、

前記第 2 回路部分は、

前記入力画像データの下位ビットと前記第 2 誤差値とを加算して、前記第 3 誤差値を算出する第 3 加算回路と、

前記第 3 加算回路から出力されるキャリーと前記入力画像データの上位ビットとを加算して前記第 2 減色画像データを生成する第 2 加算回路とを備える

10

減色処理回路。

【請求項 2 2】

(a) 第 1 入力画像データが第 1 フォーマットの画像として供給された場合に、第 1 ラインに位置する第 1 画素と第 2 画素とを前記第 1 入力画像データに応答して駆動するステップと、

(b) 第 2 入力画像データ及び第 3 入力画像データが前記第 1 フォーマットとは異なる第 2 フォーマットの画像として供給された場合に、前記第 1 画素を前記第 2 入力画像データに応答して駆動し、前記第 2 画素を前記第 3 入力画像データに応答して駆動するステップ

20

とを具備し、

前記 (a) ステップは、

(a 1) 第 1 入力画像データに対して第 1 誤差値を用いて誤差拡散処理を行うことにより第 1 減色画像データを生成するステップと、

(a 2) 前記第 1 入力画像データに対して前記第 1 誤差値と別に用意された第 2 誤差値を用いて誤差拡散処理を行うことにより第 2 減色画像データを生成するステップと、

(a 3) 前記第 1 減色画像データに応答して前記第 1 画素を駆動するステップと、

(a 4) 前記第 2 減色画像データに応答して前記第 2 画素を駆動するステップ

とを備え、

前記 (b) ステップは、

30

(b 1) 前記第 2 入力画像データに対して誤差拡散処理を行うことにより第 3 減色画像データを生成するステップと、

(b 2) 前記第 3 入力画像データに対して誤差拡散処理を行うことにより第 4 減色画像データを生成するステップと、

(b 3) 前記第 3 減色画像データに応答して前記第 1 画素を駆動するステップと、

(b 4) 前記第 4 減色画像データに応答して前記第 2 画素を駆動するステップ

とを備える

表示パネル駆動方法。

【請求項 2 3】

請求項 2 2 に記載の表示パネル駆動方法であって、

40

前記第 2 誤差値は、前記入力画像データから前記第 1 誤差値を用いて誤差拡散処理を行う際に、前記第 1 減色画像データとともに生成される

表示パネル駆動方法。

【請求項 2 4】

請求項 2 2 又は 2 3 に記載の表示パネル駆動方法であって、

更に、

(c 1) 前記第 1 入力画像データが前記第 1 フォーマットの画像として供給された場合に、前記第 1 水平ラインに隣接する第 2 水平ラインに位置し、且つ、前記第 1 画素に垂直方向に隣接する第 3 画素を前記第 2 減色画像データに応答して駆動するステップと、

(c 2) 前記第 1 入力画像データが前記第 1 フォーマットの画像として供給された場合

50

に、前記第 2 水平ラインに位置し、且つ、前記第 2 画素に垂直方向に隣接する第 4 画素を前記第 1 減色画像データに応答して駆動するステップとを具備する

表示パネル駆動方法。

【請求項 25】

請求項 24 に記載の表示パネル駆動方法であって、

(d) 第 4 入力画像データ及び第 5 入力画像データが前記第 2 フォーマットの画像として供給された場合に、前記第 3 画素を前記第 4 入力画像データに応答して駆動し、前記第 4 画素を前記第 5 入力画像データに応答して駆動するステップを更に具備し、

10

前記 (d) ステップは、

(d1) 前記第 4 入力画像データに対して誤差拡散処理を行うことにより第 5 減色画像データを生成するステップと、

(d2) 前記第 5 入力画像データに対して誤差拡散処理を行うことにより第 6 減色画像データを生成するステップと、

(d3) 前記第 5 減色画像データに応答して前記第 3 画素を駆動するステップと、

(d4) 前記第 6 減色画像データに応答して前記第 4 画素を駆動するステップ

とを備える

表示パネル駆動方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、表示装置、表示パネルドライバ、及び表示パネル駆動方法に関し、特に、減色処理と画像の拡大とを同時に行うための表示パネルの駆動技術に関する。

【背景技術】

【0002】

携帯端末に搭載される LCD パネル（液晶表示パネル）への一つの要求は、表示色数の増加であり、この要求を満足させるために、LCD パネルを駆動する LCD ドライバは、多階調表示に対応することが求められている。一つの問題は、LCD ドライバの表示可能な階調数を増加させると、チップサイズが増加することである。表示可能な階調数を増加させるためには、信号線を駆動するために使用される D/A コンバータを多数の階調数に対応するように構成する必要がある、これは、チップサイズの増加の要因となる。

30

【0003】

階調数の増加に伴うチップサイズの増加を抑制するための一つの手法は、LCD ドライバに減色処理回路を搭載し、疑似階調表示によって実質的に多階調表示を実現することである。例えば、特許 3735529 号公報及び特開平 9 - 90902 号公報は、誤差拡散によって減色処理を行い、更に、FRC (frame rate control) による疑似階調表示を実現する技術を開示している。

【0004】

携帯端末に搭載される LCD パネルへのもう一つの要求は、画素数の増加である。近年では、VGA (video graphic array) に規定される画素数以上の画素数を持つ LCD パネルも登場してきている。しかし、画素数の増加は、CPU や DSP (digital signal processor) のような画像処理装置から LCD ドライバへのデータ転送量を増加させ、従って、LCD ドライバの消費電力や EMI (electromagnetic interference) を増加させる。

40

【0005】

発明者は、画素数の増加による消費電力や EMI の増大の問題を解消するための一つの手法として、表示させようとする画像の種類に応じて画像データの大きさ（例えば、VGA や QVGA (quarter VGA) 等）を選択するとともに、拡大駆動、即ち、画像を拡大するような駆動を行わせる機能を LCD ドライバに持たせることを検討している。例えば、

50

L C D パネルが V G A に対応する画素数を有している場合を考えよう。写真などの高画質表示が求められる画像の表示では、V G A の画像データが L C D ドライバに送信され、画像が等倍で表示される。一方、ゲームやメールの表示画面のような比較的解像度が低いことが許容される画像の表示では、Q V G A の画像データが L C D ドライバに送信され、L C D ドライバで画像が水平方向、垂直方向のいずれについても 2 倍に拡大されるような拡大駆動が行われる。水平方向の画像の拡大は、最も簡便には、水平方向に並んだ 2 つの画素を同一の画像データに基づいて駆動することによって行われ、垂直方向の画像の拡大は、信号線が所望の駆動電圧に駆動された状態で、隣接する 2 つの走査線を順次に（又は同時に）駆動することによって行われる。このような手法で画像表示を行うことにより、L C D ドライバへのデータ転送量を低減し、消費電力や E M I を低減することができる。

10

【特許文献 1】特許 3 7 3 5 5 2 9 号公報

【特許文献 2】特開平 9 - 9 0 9 0 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 6】

多階調表示への対応と、消費電力及び E M I の低減とを同時に実現するためには、減色処理と拡大駆動とを併用することが望ましい。しかしながら、発明者の検討によれば、減色処理と拡大駆動を単純に組み合わせると、フリッカの発生等の画像の劣化を起し得る。例えば、図 1 A、図 1 B は、V G A の画像についてはそのまま、Q V G A の画像については縦横 2 倍の拡大処理を行う L C D ドライバの動作の例を示す図である。

20

【0 0 0 7】

まず、全ての画像データの階調値が 1 8 であるような V G A の画像データが入力された場合を考えよう。この場合、図 1 A に示されているように、減色処理によって例えば階調値が 1 6 の画素と階調値が 2 0 の画素とが交互に繰り返される減色画像データが生成され、この減色画像データに基づいて L C D パネルが駆動される。

【0 0 0 8】

一方、全ての画像データの階調値が 1 8 であるような Q V G A の画像データが入力された場合を考えよう。Q V G A の画像データに対して減色処理を行った後、画像が縦横 2 倍されるように拡大駆動を行うと、図 1 B に示されているように、L C D パネル上では、階調値が 1 6 である 2×2 画素のマトリックスと、階調値が 2 0 である 2×2 画素のマトリックスとが市松模様状に配置される。このように、減色処理と拡大駆動とを単純に併用すると、輝度変化の空間周波数が低下し、従って、フリッカが発生する原因になる。

30

【0 0 0 9】

したがって、本発明の課題は、減色処理と画像を拡大するような駆動とを組み合わせても、画像の劣化が起こらないような駆動技術を提供することにある。

【課題を解決するための手段】

【0 0 1 0】

上記の課題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、[特許請求の範囲] の記載と [発明を実施するための最良の形態] の記載との対応関係を明らかにするために、[発明を実施するための最良の形態] で使用される番号・符号が付記されている。但し、付記された番号・符号は、[特許請求の範囲] に記載されている発明の技術的範囲を限定的に解釈するために用いてはならない。

40

【0 0 1 1】

本発明の表示装置は、表示パネル (2) と、前記表示パネル (2) を駆動する表示パネルドライバ (3) とを具備する。前記表示パネルドライバ (3) は、減色処理回路 (1 2) と駆動部 (1 3 - 1 7) とを備えている。減色処理回路 (1 2) は、第 1 入力画像データ (D_{in}) から第 1 誤差値 (D_{err}^C) を用いて第 1 減色画像データ (D_{frc1}) を生成し、前記入力画像データ (D_{in}) から前記第 1 誤差値 (D_{err}^C) とは別に用意された第 2 誤差値 (D_{err}^{N1}) を用いて第 2 減色画像データ (D_{frc2}) を生成

50

することができるように構成されている。駆動部(13-17)は、前記表示パネル(2)の或る水平ラインに位置する第1画素を前記第1減色画像データ(Dfrc1)にตอบสนองして駆動し、前記或る水平ラインに位置し、且つ、前記第1画素に水平方向に隣接する第2画素を前記第2減色画像データ(Dfrc2)にตอบสนองして駆動する動作を実行可能に構成されている。

【0012】

このような構成の表示装置では、水平方向に2倍の拡大表示を行うために同一の入力画像データにตอบสนองして第1画素と第2画素とを駆動する場合に、第1画素と第2画素とが、別に用意された誤差値を用いて生成された第1減色画像データ、第2減色画像データによって駆動可能である。したがって、本発明の表示装置によれば、輝度変化の空間周波数の低下を抑制し、フリッカの発生を有効に抑制することができる。

10

【0013】

本発明の表示装置の構成は、画像のフォーマットに応じて、より具体的には画像のサイズにより、等倍表示を行い、又は水平方向に2倍の拡大表示を行う場合に特に好ましい。具体的には、前記第1入力画像データ(Din)が、第1フォーマットの画像として供給された場合、前記減色処理回路(12)は、前記第1入力画像データ(Din)から前記第1誤差値(Derr^C)を用いて誤差拡散処理を行うことにより第1減色画像データ(Dfrc1)を生成し、前記第1入力画像データ(Din)から前記第1誤差値(Derr^C)と別に用意された第2誤差値(Derr^{N1})を用いて誤差拡散処理を行うことにより第2減色画像データ(Dfrc2)を生成し、前記駆動部(13-17)は、前記第1画素を前記第1減色画像データ(Dfrc1)にตอบสนองして駆動するとともに前記第2画素を前記第2減色画像データ(Dfrc2)にตอบสนองして駆動する。一方、前記第1画素に対応する第2入力画像データ(Din)と前記第2画素に対応する第3入力画像データ(Din)が、前記第1フォーマットと異なる第2フォーマットの画像として供給された場合、前記減色処理回路(12)は、前記第2入力画像データ(Din)に対して誤差拡散処理(Din)を行うことにより第3減色画像データ(Dfrc1)を生成すると共に、前記第3入力画像データに対して誤差拡散処理を行うことにより第4減色画像データ(Dfrc1)を生成し、前記駆動部(13-17)は、前記第1画素を前記第3減色画像データ(Dfrc1)にตอบสนองして駆動するとともに前記第2画素を前記第4減色画像データ(Dfrc1)にตอบสนองして駆動する。

20

30

【発明の効果】

【0014】

本発明によれば、減色処理と拡大駆動とを組み合わせても、画像の劣化が起こらないような駆動技術を提供することができる。

【発明を実施するための最良の形態】

【0015】

(液晶表示装置の構成)

図2は、本発明の一実施形態に係る液晶表示装置1の構成を示すブロック図である。液晶表示装置1は、LCDパネル2と、LCDドライバ3とを備えている。本実施形態では、LCDパネル2がVGAに対応しており、且つ、画像の種類に応じて、VGAの画像データとQVGAの画像データがLCDドライバ3に供給されるものとして説明が行われる。

40

【0016】

LCDパネル2には、m行n列の画素が行列に並べられている。LCDパネル2の水平方向に並んだ一行の画素を、1水平ラインの画素と呼ぶことがある。画素のそれぞれは、水平方向に並べられた3つのサブピクセルで構成されている。3つのサブピクセルのうちの1つは、赤色(R)を表示するRサブピクセルであり、他の一つは緑色(G)を表示するGサブピクセルであり、最後の一つは、青色(B)を表示するBサブピクセルである。各サブピクセルには、薄膜トランジスタ(TFT)と画素電極とが設けられている。m行n列の画素を駆動するために、LCDパネル2には、水平方向に延伸するm本の走査線(

50

ゲート線)と、垂直方向に延伸する3n本の信号線(データ線)とが設けられ、画素は、それらが交差する位置に設けられる。

【0017】

詳細には、LCDドライバ3は、外部から、より具体的には、画像描画装置4から入力画像データD_{in}を受け取り、入力画像データD_{in}にตอบสนองしてLCDパネル2の信号線を駆動する機能を有している。画像描画装置4としては、CPUやDSP(Digital Signal Processor)が例示される。本実施形態では、入力画像データD_{in}は、各画素の3つサブピクセルの階調をそれぞれ8ビットで表す、24ビットデータである。以下では、入力画像データD_{in}のうち、Rサブピクセルの階調を示す8ビットをR画像データD_{in}^R、Gサブピクセルの階調を示す8ビットをG画像データD_{in}^G、Bサブピクセルの階調を示す8ビットをB画像データD_{in}^Bと記載する。加えて、LCDドライバ3は、LCDパネル2のm本の走査線を順次に駆動してする機能も有している。LCDドライバ3には、同期信号5、ドットクロック信号DCKその他の制御信号が画像描画装置4から供給されており、LCDドライバ3は、供給された制御信号にตอบสนองして動作する。LCDドライバ3に供給される同期信号5は、垂直同期信号Vsyncと水平同期信号Hsyncを含んでいる。

10

【0018】

以下に詳細に記載されるように、LCDドライバ3は、画像データD_{in}のフォーマットに応じて、異なる動作を行う。画像データD_{in}がVGAのフォーマットで供給された場合、入力画像データD_{in}に対して減色処理を行って減色画像データを生成し、その減色画像データにตอบสนองして画像が元の大きさで表示されるようにLCDパネル2を駆動する。一方、入力画像データD_{in}がQVGAのフォーマットで供給された場合、LCDドライバ3は、画像データD_{in}に対して減色処理を行い、減色処理後の画像データにตอบสนองして、画像が縦横2倍されるように拡大駆動を行う。ただし、本実施形態の液晶表示装置1では、入力画像データD_{in}がQVGAのフォーマットで供給された場合に特別な減色処理と拡大駆動が行われ、これにより、画像の劣化が有効に抑制される。

20

【0019】

以下では、LCDドライバ3の構成について説明する。LCDドライバ3は、制御回路11と、減色処理回路12と、シフトレジスタ回路13と、データレジスタ回路14と、ラッチ回路15と、データ切り替え回路16と、信号線駆動回路17と、階調電圧発生回路18と、走査線駆動回路19と、タイミング制御回路20とを備えている。本実施形態では、これらの回路が1つの半導体チップにモノリシックに集積化される。ただし、一部又は全部の回路が、別の半導体チップやLCDパネル2に集積化されてもよい。例えば、走査線駆動回路19は、別の半導体チップとして集積化されてもよいし、LCDパネル2に集積化されてもよい。また、LCDドライバ3が、SOG(semiconductor on glass)技術を用いてLCDパネル2の上に集積化されてもよい。

30

【0020】

制御回路11は、以下の3つの機能を有している。第1に、制御回路11は、画像描画装置4から送られてくる入力画像データD_{in}を減色処理回路12に転送する機能を有している。第2に、制御回路11は、同期信号5とドットクロック信号DCKにตอบสนองしてタイミング信号22を生成し、タイミング制御回路20に供給する機能を有している。第3に、制御回路11は、各フレーム期間において、入力画像データD_{in}が、VGAのフォーマットで送られてくるか、QVGAのフォーマットで送られてくるかを判断し、判断結果に応じて拡大処理信号23を生成する機能を有している。本実施形態では、制御回路11は、入力画像データD_{in}がVGAのフォーマットで送られてくる場合に拡大処理信号23をネゲートし(即ち、拡大処理信号23の値を"0"に設定し)、QVGAのフォーマットで送られてくる場合に拡大処理信号23をアサートする(即ち、拡大処理信号23の値を"1"に設定する)。

40

【0021】

減色処理回路12は、入力画像データD_{in}に対して誤差拡散による減色処理を行う回

50

路である。減色処理回路 12 は、ドットクロック DCK の 1 クロック周期において一画素分の入力画像データ Din に対して減色処理を行う機能を有している。各画素の入力画像データ Din が順次に入力されると、減色処理回路 12 は、入力された入力画像データ Din に対して順次に減色処理を行う。本実施形態の減色処理回路 12 は、同一の入力画像データ Din から、2 つの誤差値を別々に用意し、この 2 つの誤差値をそれぞれに用いて 2 種類の減色画像データ Dfrc1、Dfrc2 を作成する機能を有している。ここで、減色画像データ Dfrc1、Dfrc2 のそれぞれは、各画素の 3 つサブピクセルの階調をそれぞれ 6 ビットで表す、18 ビットデータである。

【0022】

ただし、減色処理回路 12 は、常に入力画像データ Din から 2 種類の減色処理画像データ Dfrc1、Dfrc2 を作成するわけではないことに留意されたい。減色処理回路 12 は、拡大処理信号 23 がネゲートされている場合（即ち、送られてくる画像データ Din のフォーマットが VGA である場合）、画像データ Din に対して誤差拡散処理を行い、減色処理画像データ Dfrc1 を生成する。一方、拡大処理信号 23 がアサートされている場合（即ち、送られてくる画像データ Din のフォーマットが QVGA である場合）、別々に用意された誤差値を用いて 2 つの減色画像データ Dfrc1、Dfrc2 を生成する。減色処理回路 12 の構成については、後に詳細に説明する。

【0023】

シフトレジスタ回路 13、データレジスタ回路 14、ラッチ回路 15、データ切り替え回路 16、及び信号線駆動回路 17 は、減色処理画像データ Dfrc1、Dfrc2 に応答して LCD パネル 2 の信号線を駆動する駆動部として機能する回路群である。詳細には、データレジスタ回路 14 は、シフトレジスタ回路 13 による制御の下、減色処理回路 12 から減色処理画像データ Dfrc1、Dfrc2 を順次に受け取って保存する。詳細には、図 3 に示されているように、シフトレジスタ回路 13 は、拡大処理信号 23 と水平スタート信号 24 とに応答してデータレジスタ回路 14 を制御するシフトレジスタ出力信号 SR1 ~ SRn を生成する。データレジスタ回路 14 は、それぞれが 1 画素分の減色画像データを保存するレジスタ 31-1 ~ 31-n を備えている。データレジスタ回路 14 のレジスタ 31-1 ~ 31-n の動作は、シフトレジスタ回路 13 から供給されるシフトレジスタ出力信号 SR1 ~ SRn と制御回路 11 から供給される拡大処理信号 23 に応じて制御される。レジスタ 31-1 ~ 31-n の動作は、奇数番目のレジスタ 31-(2k-1) と、偶数番目のレジスタ 31-(2k) とで異なる。奇数番目のレジスタ 31-(2k-1) は、拡大処理信号 23 の状態に関係なく、対応するシフトレジスタ出力信号 SR(2k-1) がプルアップされると減色処理画像データ Dfrc1 をラッチする。一方、偶数番目のレジスタ 31-(2k) は、対応するシフトレジスタ出力信号 SR(2k-1) のプルアップに応答して、拡大処理信号 23 がネゲートされている場合には減色処理画像データ Dfrc1 をラッチし、拡大処理信号 23 がアサートされている場合には減色処理画像データ Dfrc2 をラッチする。

【0024】

ラッチ回路 15 は、タイミング制御回路 20 から送られてくるラッチ信号 25 に応答してデータレジスタ回路 14 から減色画像データをラッチする。図 3 に示されているように、ラッチ回路 15 は、それぞれが 1 画素分の減色画像データを保存するラッチ 32-1 ~ 32-n を備えており、1 水平ライン分の減色画像データを同時にラッチするための構成を有している。ラッチ 32-1 ~ 32-n は、ラッチ信号 25 がアサートされると、それぞれ、レジスタ 31-1 ~ 31-n から減色画像データをラッチする。

【0025】

データ切り替え回路 16 は、タイミング制御回路 20 から送られてくる切り替え信号 26 に応答して、ラッチ回路 15 から出力される減色画像データを、そのまま信号線駆動回路 17 に転送し、又は、空間的順序を入れ替えて信号線駆動回路 17 に転送する。詳細には、データ切り替え回路 16 は、図 3 に示されているように、ストレートスイッチ 33-1 ~ 33-n と、クロススイッチ 34-1 ~ 34-n とを備えている。ストレートスイッ

10

20

30

40

50

チ 33 - 1 ~ 33 - n は、それぞれ、ラッチ回路 15 のラッチ 32 - 1 ~ 32 - n と信号線駆動回路 17 の入力 IN 1 ~ IN n との間に接続される。ストレートスイッチ 33 - 1 ~ 33 - n は、減色画像データを、そのまま信号線駆動回路 17 に転送するときに使用される。切り替え信号 26 がネゲートされると、ストレートスイッチ 33 - 1 ~ 33 - n がオン状態にされ、ラッチ 32 - 1 ~ 32 - n に保存されている減色画像データは、それぞれ、ストレートスイッチ 33 - 1 ~ 33 - n を介して信号線駆動回路 17 の入力 IN 1 ~ IN n に転送される。一方、クロススイッチ 34 - 1 ~ 34 - n は、減色画像データを、その空間的順序を入れ替えて信号線駆動回路 17 に転送するために使用される。詳細には、クロススイッチ 34 - (2k - 1) は、ラッチ回路 15 のラッチ 32 - (2k) と信号線駆動回路 17 の入力 IN (2k - 1) との間に接続され、クロススイッチ 34 - (2k) は、ラッチ回路 15 のラッチ 32 - (2k - 1) と信号線駆動回路 17 の入力 IN (2k) との間に接続されている。切り替え信号 26 がアサートされると、奇数番目のラッチ 32 - 1、32 - 3、... に保存されている減色画像データが信号線駆動回路 17 の偶数番目の入力 IN 2、IN 4、... に転送され、偶数番目のラッチ 32 - 2、32 - 4、... に保存されている減色画像データが信号線駆動回路 17 の奇数番目の入力 IN 1、IN 3、... に転送される。

10

【0026】

信号線駆動回路 17 は、ラッチ回路 15 から送られてくる 1 水平ライン分の減色画像データに応答して LCD パネル 2 の信号線を駆動する。より具体的には、信号線駆動回路 17 は、階調電圧発生回路 18 から供給される複数の階調電圧のうちから減色画像データに示された階調の階調電圧を選択し、対応する LCD パネル 2 の信号線を選択された階調電圧に駆動する。本実施形態では、階調電圧発生回路 18 から供給される階調電圧の数は $64 (= 2^6)$ 本である。信号線駆動回路 17 に供給される減色画像データは、1 画素の 3 つのサブピクセルの階調を示すデータであり、従って、一の減色画像データに 3 本の信号線が駆動されることに留意されたい。即ち、信号線駆動回路 17 には、1 つの入力に対応して 3 つの出力が用意され、その 3 つの出力には 3 本の信号線が接続される。図 3 では、入力 IN k に対応する 3 つの出力は、まとめて記号「OUT k」として記載されている。信号線駆動回路 17 には、出力イネーブル信号 27 がタイミング制御回路 20 から供給されており、出力イネーブル信号 27 がプルアップされると、LCD パネル 2 の信号線の駆動を開始する。

20

30

【0027】

図 2 に戻り、走査線駆動回路 19 は、タイミング制御回路 20 から供給される走査線制御信号 28 に応答して LCD パネル 2 の走査線を駆動する回路である。

【0028】

タイミング制御回路 20 は、LCD ドライバ 3 全体のタイミング制御を行う役割を有している。詳細には、タイミング制御回路 20 は、水平スタート信号 24、ラッチ信号 25、切り替え信号 26、出力イネーブル信号 27、及び走査線制御信号 28 を生成し、それぞれシフトレジスタ回路 13、ラッチ回路 15、データ切り替え回路 16、信号線駆動回路 17、及び走査線駆動回路 19 に供給する。LCD ドライバ 3 のタイミング制御は、水平スタート信号 24、ラッチ信号 25、切り替え信号 26、出力イネーブル信号 27、及び走査線制御信号 28 によって行われる。

40

【0029】

(減色処理回路の構成)

以下では、減色処理回路 12 の構成を詳細に説明する。図 4 A は、減色処理回路 12 の構成を示すブロック図である。図 4 A に示されているように、減色処理回路 12 は、R 誤差拡散回路 40 R と、G 誤差拡散回路 40 G と、B 誤差拡散回路 40 B とを備えている。R 誤差拡散回路 40 R は、入力画像データ Din のうち R 画像データ Din^R に対して誤差拡散による減色処理を行い、R 減色画像データ $Dfrc1^R$ 、 $Dfrc2^R$ を生成する機能を有している。同様に、G 誤差拡散回路 40 G は、G 画像データ Din^G に対して誤差拡散による減色処理を行って G 減色画像データ $Dfrc1^G$ 、 $Dfrc2^G$ を生成する

50

機能を有しており、B誤差拡散回路40Bは、B画像データ Din^B に対して誤差拡散による減色処理を行ってB減色画像データ $Dfrc1^B$ 、 $Dfrc2^B$ を生成する機能を有している。減色画像データ $Dfrc1$ は、R減色画像データ $Dfrc1^R$ 、G減色画像データ $Dfrc1^G$ 及びB減色画像データ $Dfrc1^B$ で構成され、減色画像データ $Dfrc2$ は、R減色画像データ $Dfrc2^R$ 、G減色画像データ $Dfrc2^G$ 及びB減色画像データ $Dfrc2^B$ で構成される。上述されているように、減色画像データ $Dfrc2$ は、拡大処理信号23がアサートされている場合にしか生成されない。即ち、R減色画像データ $Dfrc2^R$ 、G減色画像データ $Dfrc2^G$ 及びB減色画像データ $Dfrc2^B$ は、拡大処理信号23がアサートされている場合にしか生成されない。

【0030】

10

図4Bは、R誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bの構成を示すブロック図である。R誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bは、同一の回路構成を有している。したがって、図4Bでは、R画像データ Din^R 、G画像データ Din^G 、及びB画像データ Din^B を区別せずに画像データ Din^k と表記する。同様に、R減色画像データ $Dfrc1^R$ 、G減色画像データ $Dfrc1^G$ 、B減色画像データ $Dfrc1^B$ を区別せずに減色画像データ $Dfrc1^k$ と表記し、R減色画像データ $Dfrc2^R$ 、G減色画像データ $Dfrc2^G$ 、B減色画像データ $Dfrc2^B$ を区別せずに減色画像データ $Dfrc2^k$ と表記する。

【0031】

R誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bのそれぞれは、加算回路41～44と、セクタ45、46と、Dラッチ47と、初期値設定回路48と、スイッチ49を備えている。

20

【0032】

加算回路41、42は、画像データ Din^k と、セクタ46から出力される誤差値 $Der r^C$ とから、減色画像データ $Dfrc1^k$ と誤差値 $Der r^{N1}$ を算出するための回路部分である。ここで、誤差値 $Der r^C$ は、対象のサブピクセルの減色画像データ $Dfrc1^k$ の生成に使用される誤差値である。詳細には、加算回路42は、画像データ Din^k の下位2ビットと誤差値 $Der r^C$ との加算を行い、データ出力 $c+d$ から誤差値 $Der r^{N1}$ を出力し、キャリー出力 cry から1ビットのキャリーを出力する。加算回路41は、画像データ Din^k の上位6ビットと加算回路42から受け取ったキャリーとの加算を行って減色画像データ $Dfrc1^k$ を生成する。

30

【0033】

加算回路43、44は、画像データ Din^k と、加算回路42から出力される誤差値 $Der r^{N1}$ とから、減色画像データ $Dfrc2^k$ と誤差値 $Der r^{N2}$ を算出するための回路部分である。詳細には、加算回路44は、画像データ Din^k の下位2ビットと誤差値 $Der r^{N1}$ との加算を行い、データ出力 $c+d$ から誤差値 $Der r^{N2}$ を出力し、キャリー出力 cry から1ビットのキャリーを出力する。加算回路43は、画像データ Din^k の上位6ビットと加算回路44から受け取ったキャリーとの加算を行って減色画像データ $Dfrc2^k$ を生成する。

【0034】

40

まとめれば、加算回路41～44は、減色画像データ $Dfrc1^k$ 、 $Dfrc2^k$ 、及び誤差値 $Der r^{N1}$ 、 $Der r^{N2}$ を、画像データ Din^k と誤差値 $Der r^C$ とから、下記の式によって算出するように構成されている。

$$Dfrc1^k = (Dink[7:2] + (Din^k[1:0] + Der r^C)) > > 2$$

$$Der r^{N1} = (Din^k[1:0] + Der r^C) \% 4$$

$$Dfrc2^k = (Din^k[7:2] + (Din^k[1:0] + Der r^{N1})) > > 2,$$

$$Der r^{N2} = (Din^k[1:0] + Der r^{N1}) \% 4,$$

ここで、 $Din^k[1:0]$ は、画像データ Din^k の下位2ビットであり、 $Din^k[$

50

7 : 2] は、画像データ D_{in}^k の上位 6 ビットである。また、「 > 2 」は、下位 2 ビットを切り捨てる処理であり（即ち、この場合には、キャリーが発生した場合にそのキャリーだけを残す処理）、「 % 4 」は、4 で割った余りを求める処理（即ち、この場合には、キャリーが発生した場合にそのキャリーを捨てる処理）である。

【 0 0 3 5 】

また、（図 4 B には記載されていないが）減色画像データ D_{frc1}^k 、 D_{frc2}^k については、以下の処理が行われる。

D_{frc1}^k 63 の時 → $D_{frc1}^k = 63$,

D_{frc2}^k 63 の時 → $D_{frc2}^k = 63$.

【 0 0 3 6 】

セクタ 45 は、拡大処理信号 23 に応答して誤差値 $Der r^{N1}$ 、 $Der r^{N2}$ の一方を選択し、選択された誤差値を D ラッチ 47 に供給する。拡大処理信号 23 がネゲートされた場合（即ち、入力画像データ D_{in} が V G A のフォーマットで送られる場合）、セクタ 45 は、誤差値 $Der r^{N1}$ を選択する。一方、拡大処理信号 23 がアサートされた場合（即ち、入力画像データ D_{in} が Q V G A のフォーマットで送られる場合）、セクタ 45 は、誤差値 $Der r^{N2}$ を選択する。

【 0 0 3 7 】

D ラッチ 47 は、セクタ 45 によって選択された誤差値をドットクロック D C K に同期してラッチする。

【 0 0 3 8 】

セクタ 46 は、誤差初期値読み出し信号 DE_POS に応答して、D ラッチ 47 から出力される誤差値と、初期値設定回路 48 によって発生された初期値 $Der r^{INI}$ の一方を、誤差値 $Der r^C$ として選択する。各水平ラインの最も左端の画素の駆動においては、誤差初期値読み出し信号 DE_POS がアサートされ、初期値 $Der r^{INI}$ が誤差値 $Der r^C$ として選択される。一方、他の画素の駆動においては、誤差初期値読み出し信号 DE_POS はネゲートされ、D ラッチ 47 から出力される誤差値が誤差値 $Der r^C$ として選択される。

【 0 0 3 9 】

初期値設定回路 48 は、誤差拡散処理において使用される誤差の初期値 $Der r^{INI}$ を与える回路である。初期値設定回路 48 には、減色処理の対象のフレームの番号を示すフレームカウントと、対象のラインの番号を示すラインカウントが与えられており、初期値設定回路 48 は、フレーム及びラインによって異なる初期値 $Der r^{INI}$ を発生する。

【 0 0 4 0 】

スイッチ 49 は、拡大処理信号 23 に応じて加算回路 43、44 への画像データ D_{in}^k の供給を制御する。拡大処理信号 23 がネゲートされた場合（即ち、入力画像データ D_{in} が V G A のフォーマットで送られる場合）、スイッチ 49 はオフ状態にされ、加算回路 43、44 への画像データ D_{in}^k の供給が停止される。一方、拡大処理信号 23 がアサートされた場合（即ち、入力画像データ D_{in} が Q V G A のフォーマットで送られる場合）、スイッチ 49 はオン状態にされ、加算回路 43、44 に画像データ D_{in}^k が供給される。

【 0 0 4 1 】

このように構成された R 誤差拡散回路 40 R、G 誤差拡散回路 40 G、B 誤差拡散回路 40 B では、拡大処理信号 23 の状態に応じて異なる動作を行う。拡大処理信号 23 がネゲートされると、スイッチ 49 がオフになり、更に、セクタ 45 は誤差値 $Der r^{N1}$ を選択する。この場合、R 誤差拡散回路 40 R、G 誤差拡散回路 40 G、B 誤差拡散回路 40 B は、一般的な減色処理回路と同様に動作し、画像データ D_{in}^k と誤差値 $Der r^C$ から減色画像データ D_{frc1}^k を生成する。D ラッチ 47 にラッチされる誤差値（即ち、次の画素の駆動に使用される誤差値）としては、誤差値 $Der r^{N1}$ が選択される。減色画像データ D_{frc2}^k は生成されない。一方、拡大処理信号 23 がアサートされる

10

20

30

40

50

と、スイッチ 49 がオンになり、更に、セクタ 45 は誤差値 $Der r^N 2$ を選択する。この場合、R 誤差拡散回路 40 R、G 誤差拡散回路 40 G、B 誤差拡散回路 40 B は、画像データ $D i n^k$ から誤差値 $Der r^C$ を用いて減色画像データ $D f r c 1^k$ を生成し、誤差値 $Der r^N 1$ を用いて減色画像データ $D f r c 2^k$ を生成する。D ラッチ 47 にラッチされる誤差値（即ち、次の画素の駆動に使用される誤差値）としては、誤差値 $Der r^N 2$ が選択される。

【0042】

加算回路 42 によって生成された誤差値 $Der r^N 1$ が、加算回路 43、44 による減色画像データ $D f r c 2^k$ の生成に使用されることは、回路規模の削減に寄与していることに留意されたい。ハードウェアの削減を考慮しなければ、D ラッチ 47、初期値設定回路 48 とは別に、加算回路 43、44 に対する専用の D ラッチ及び初期値設定回路を設ける構成も可能である。しかし、特に初期値設定回路は大きな回路規模を要するので、このような構成は可能であるが好ましくない。本実施形態のように、誤差値 $Der r^N 1$ を、加算回路 43、44 による減色画像データ $D f r c 2^k$ の生成に使用することにより、単一の初期値設定回路により、2 つの誤差値を生成し、その 2 つの誤差値から 2 つの減色画像データを生成可能である。

【0043】

（液晶表示装置の動作）

以下では、液晶表示装置の動作について詳細に説明する。

制御回路 11 は、各フレーム期間の初期に、当該フレーム期間において入力画像データ $D i n$ が、VGA のフォーマットで送られてくるか QVGA のフォーマットで送られてくるかを判断する。図 5 は、判断のアルゴリズムを示すフローチャートであり、図 6 は、判断に関連する垂直同期信号 $V s y n c$ 、水平同期信号 $H s y n c$ 、ドットクロック $D C K$ の波形を示す図である。図 6 において、“ $T h_v g a$ ” は、入力画像データ $D i n$ が VGA のフォーマットで送られてくる場合の 1 水平期間の長さを示しており、“ $T d c k_v g a$ ” は、入力画像データ $D i n$ が VGA のフォーマットで送られてくる場合のドットクロック信号の 1 クロック周期の長さを示している。また、“ $T h_q v g a$ ” は、入力画像データ $D i n$ が QVGA のフォーマットで送られてくる場合の 1 水平期間の長さを示しており、“ $T d c k_q v g a$ ” は、入力画像データ $D i n$ が QVGA のフォーマットで送られてくる場合のドットクロック信号の 1 クロック周期の長さを示している。本実施形態では、垂直同期信号 $V s y n c$ 、水平同期信号 $H s y n c$ は、いずれも、ローアクティブであることに留意されたい。

【0044】

図 5 を参照して、制御回路 11 は、垂直同期ブランキング期間の水平同期信号 $H s y n c$ が “ $H i g h$ ” である期間におけるドットクロック信号 $D C K$ のクロックパルス数をカウントする（ステップ S01）。更に、制御回路 11 は、カウントされたクロックパルス数と、QVGA に規定された 1 水平ラインの画素の数とを比較する（ステップ S02）。カウントされたクロックパルス数が、QVGA に規定された 1 水平ラインの画素の数よりも大きい場合、制御回路 11 は、当該フレーム期間において入力画像データ $D i n$ が VGA のフォーマットで送られてくると判断し（ステップ S03）、拡大処理信号 23 をネゲートする（ステップ S04）。そうでない場合、制御回路 11 は、入力画像データ $D i n$ が QVGA のフォーマットで送られてくると判断し（ステップ S05）、拡大処理信号 23 をアサートする（ステップ S06）。

【0045】

LCD ドライバ 3 の動作は、拡大処理信号 23 の状態、即ち、入力画像データ $D i n$ が、VGA のフォーマットで送られてくる場合と、QVGA のフォーマットで送られてくる場合とで異なる。入力画像データ $D i n$ が VGA のフォーマットで送られてくる場合、減色処理回路 12 は、（一般的な減色処理回路と同様に）画像データ $D i n$ から減色画像データ $D f r c 1$ を生成する一方、LCD ドライバ 3 は、全体としては、送られた画像を、そのままの大きさで表示するように LCD パネル 2 を駆動するように動作する。

【0046】

図7は、入力画像データD_{in}がVGAのフォーマットで送られてくる場合のR誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bの動作を示す概念図である。この場合、拡大処理信号23がネゲートされることに留意されたい。拡大処理信号23のネゲートにตอบสนองして、R誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bのそれぞれにおいてスイッチ49がオフになり、更に、セクタ45は初期値D_{err}^{N-1}を選択する。この結果、減色処理回路12は、画像データD_{in}から減色画像データD_{fr c}1を生成する。減色画像データD_{fr c}2は生成されない。

【0047】

LCDパネル2は、減色画像データD_{fr c}1にตอบสนองして駆動される。図8は、入力画像データD_{in}がVGAのフォーマットで送られてくる場合のシフトレジスタ回路13、データレジスタ回路14、ラッチ回路15、データ切り替え回路16、及び信号線駆動回路17の動作を示すタイミングチャートである。本実施形態では、第(j-1)水平期間に、第j水平期間における画素の駆動に使用される入力画像データD_{in}(即ち、第j水平ラインの画素の駆動に使用される入力画像データD_{in})が供給される。その入力画像データD_{in}から第j水平期間における画素の駆動に使用される減色画像データD_{fr c}1が生成されてデータレジスタ回路14に順次に格納される。

【0048】

詳細には、第j-1水平期間のブランキング期間が終了して水平スタート信号24がアサートされると、シフトレジスタ回路13は、シフトレジスタ出力信号S_R1~S_Rnを順次にアサートする。シフトレジスタ出力信号S_R1~S_Rnのアサートにตอบสนองして、データレジスタ回路14のレジスタ31-1~31-nは、減色画像データD_{fr c}1を順次に取り込んで保存する。図8において、記号「D_{j, k}」は、第j水平ラインの左からk番目の画素の減色画像データD_{fr c}1を示していることに留意されたい。

【0049】

続いて、第j水平期間が開始されると、第j水平期間のブランキング期間においてラッチ信号25がアサートされ、これにより、ラッチ回路15のラッチ32-1~32-nに、第j水平期間における画素の駆動に使用される減色画像データD_{fr c}1がラッチされる。このとき、切り替え信号26がネゲートされるため、図9に示されているように、データ切り替え回路16は、ラッチ32-1~32-nにラッチされた減色画像データを、そのまま(即ち、順番を入れ替えずに)それぞれ信号線駆動回路17の入力I_N1~I_Nnに転送する。更に、出力イネーブル信号27がアサートされ、これにより、信号線駆動回路17は、信号線を減色画像データに応じて駆動する。信号線の駆動に同期して第j水平ラインに対応する走査線が走査線駆動回路19によって駆動され、これにより、第j水平ラインの画素が駆動される。図8において、V(D_{j, k})は、第j水平ラインの左からk番目の画素の減色画像データD_{fr c}1に対応する駆動電圧を示している。

【0050】

このような駆動手順によれば、画像データD_{in}から生成された減色画像データD_{fr c}1にตอบสนองして、LCDパネル2は、送られた画像を、そのままの大きさで表示するように駆動される。

【0051】

一方、入力画像データD_{in}がQVGAのフォーマットで送られてくる場合、減色処理回路12は、画像データD_{in}から減色画像データD_{fr c}1、D_{fr c}2を生成する一方、LCDドライバ3は、送られた画像を、縦横2倍に拡大して表示するようにLCDパネル2を駆動するように動作する。

【0052】

図10は、入力画像データD_{in}がVGAのフォーマットで送られてくる場合のR誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤差拡散回路40Bの動作を示す概念図である。この場合、拡大処理信号23がアサートされることに留意されたい。拡大処理信号23のアサートにตอบสนองして、R誤差拡散回路40Rと、G誤差拡散回路40Gと、B誤

10

20

30

40

50

差拡散回路40Bのそれぞれにおいてスイッチ49がオンになり、更に、セクタ45は初期値 $Derr^N$ を選択する。この場合、減色処理回路12は、画像データ Din から、それぞれ、誤差値 $Derr^C$ 、 $Derr^N$ を用いて減色画像データ $Dfrc1$ 、 $Dfrc2$ を生成する。

【0053】

LCDパネル2は、減色画像データ $Dfrc1$ 、 $Dfrc2$ に応答して、画像が縦横2倍に拡大されるように駆動される。図11は、入力画像データ Din がQVGAのフォーマットで送られてくる場合のシフトレジスタ回路13、データレジスタ回路14、ラッチ回路15、データ切り替え回路16、及び信号線駆動回路17の動作を示すタイミングチャートである。第 $(j-1)$ 水平期間に、第 j 水平期間における画素の駆動に使用される入力画像データ Din が供給されると、その入力画像データ Din から第 j 水平期間における画素の駆動に使用される減色画像データ $Dfrc1$ 、 $Dfrc2$ が生成されてデータレジスタ回路14に順次に格納される。図11において、記号「 $D_{j,k}$ 」は、QVGA画像において第 j 水平ラインの左から k 番目の画素の画像データ Din から生成された減色画像データ $Dfrc1$ を示しており、記号「 $D_{j,k}'$ 」は、同じ画素の画像データ Din から生成された減色画像データ $Dfrc2$ を示していることに留意されたい。

10

【0054】

詳細には、減色画像データ $Dfrc1$ がデータレジスタ回路14の奇数番目のレジスタ31- $(2k-1)$ に格納され、減色画像データ $Dfrc2$ がデータレジスタ回路14の偶数番目のレジスタ31- $(2k)$ に格納される。2つのレジスタ31が、同時に減色画像データ $Dfrc1$ 、 $Dfrc2$ をラッチすることに留意されたい。図11に示されているように、例えば、シフトレジスタ出力信号 $SR1$ 、 $SR2$ が同時にアサートされ、レジスタ31-1、31-2は、同時に減色画像データ $Dfrc1$ 、 $Dfrc2$ をラッチする。続いて、シフトレジスタ出力信号 $SR3$ 、 $SR4$ が同時にアサートされ、レジスタ31-3、31-4は、同時に減色画像データ $Dfrc1$ 、 $Dfrc2$ をラッチする。以下、同様の手順で他の奇数番目のレジスタ31に減色画像データ $Dfrc1$ が格納され、他の偶数番目のレジスタ31に減色画像データ $Dfrc2$ が格納される。

20

【0055】

減色画像データ $Dfrc1$ 、 $Dfrc2$ が、同一の画像データ Din から生成されるのであるから、上記の動作により、画像が横方向に2倍に拡大される。しかしながら、横方向に隣接する画素は、別々に用意された誤差値を用いて生成された減色画像データに応じて駆動されるから、輝度変化の空間周波数は低下しない。

30

【0056】

続いて、第 j 水平期間が開始されると、第 j 水平期間のブランキング期間においてラッチ信号25がアサートされる。これにより、ラッチ回路15の奇数番目のラッチ32- $(2k-1)$ に、第 j 水平期間における画素の駆動に使用される減色画像データ $Dfrc1$ がラッチされ、偶数番目のラッチ32- $(2k)$ に、減色画像データ $Dfrc2$ がラッチされる。

【0057】

入力画像データ Din がQVGAのフォーマットで送られてくる場合には、第 j 水平期間の前半と後半で別の水平ラインの画素が駆動され、これにより、画像が縦方向に2倍に拡大されるようにLCDパネル2が駆動される。即ち、第 j 水平期間の前半では、LCDパネル2の第 $(2j-1)$ 水平ラインの画素が駆動され、第 j 水平期間の前半では、第 $(2j)$ 水平ラインの画素が駆動される。ただし、第 j 水平期間の前半と後半とで、データ切り替え回路16の状態が切り替えられ、これにより、縦方向に隣接する画素が、別々の誤差値を用いて生成された別々の減色画像データによって駆動される。

40

【0058】

詳細には、第 j 水平期間の前半においては、切り替え信号26がネゲートされ、図12Aに示されているように、データ切り替え回路16は、ラッチ32-1~32- n にラッチされた減色画像データを、そのまま(即ち、順番を入れ替えずに)それぞれ信号線駆動

50

回路 17 の入力 $IN1 \sim INn$ に転送する。図 11 に示されているように、出力イネーブル信号 27 がアサートされると、信号線駆動回路 17 は、入力 $IN1 \sim INn$ に転送された減色画像データに応じて信号線を駆動する。信号線の駆動に同期して第 $(2j - 1)$ 水平ラインに対応する走査線が走査線駆動回路 19 によって駆動され、これにより、第 $(2j - 1)$ 水平ラインの画素が駆動される。図 11 において、 $V(D_{j,k})$ は、第 j 水平ラインの左から k 番目の画素の減色画像データ $Dfrc1$ に対応する駆動電圧を示し、 $V(D_{j,k'})$ は、第 j 水平ラインの左から k 番目の画素の減色画像データ $Dfrc2$ に対応する駆動電圧を示し手いることに留意されたい。

【0059】

一方、第 j 水平期間の後半においては、切り替え信号 26 がアサートされ、図 12B に示されているように、データ切り替え回路 16 は、ラッチ 32 - 1 ~ 32 - n にラッチされた減色画像データを、順番を入れ替えた上で、信号線駆動回路 17 の入力 $IN1 \sim INn$ に転送する。詳細には、信号線駆動回路 17 の奇数番目の入力 $IN(2k - 1)$ には、偶数番目のラッチ 32 - $(2k)$ から減色画像データが転送され、偶数番目の入力 $IN(2k)$ には、奇数番目のラッチ 32 - $(2k - 1)$ から減色画像データが転送される。図 11 に示されているように、出力イネーブル信号 27 がアサートされると、信号線駆動回路 17 は、入力 $IN1 \sim INn$ に転送された減色画像データに応じて信号線を駆動する。信号線の駆動に同期して第 $(2j)$ 水平ラインに対応する走査線が走査線駆動回路 19 によって駆動され、これにより、第 $(2j)$ 水平ラインの画素が駆動される。

【0060】

上述のような動作によれば、横方向、縦方向のいずれについても、隣接する画素が別々に用意された誤差値を用いて生成された別々の減色画像データによって駆動される。例えば、図 13 に示されているように、全ての画像データの階調値が 18 であるような QVGA の画像データが入力された場合を考えよう。本実施形態では、QVGA の画像データに対して減色処理を行った後、画像が縦横 2 倍されるように拡大駆動を行うと、LCD パネル 2 上では、階調値が 16 である画素と階調値が 20 である画素とが、縦方向、横方向のいずれについても交互に配置される。したがって、輝度変化の空間周波数の低下が起こらず、フリッカの発生が有効に抑制される。

【0061】

なお、上記は好ましい実施形態について述べられたに過ぎず、本発明は、様々に変更され得ることに留意されたい。例えば、好適ではないものの、データ切り替え回路 16 が除去され、ラッチ 32 - 1 ~ 32 - n が、信号線駆動回路 17 の入力 $IN1 \sim INn$ に直接に接続されることも可能である。この場合、縦方向に隣接する画素が同一の減色画像データによって駆動されるため、縦方向については輝度変化の空間周波数の低下が発生する。しかし、横方向については輝度変化の空間周波数の低下が起こらず、フリッカの発生の抑制の効果が得られる。

【0062】

また、上述の実施形態では、入力画像データ Din が各画素の 3 つサブピクセルの階調をそれぞれ 8 ビットで表す 24 ビットデータであり、減色画像データ $Dfrc1$ 、 $Dfrc2$ が各画素の 3 つサブピクセルの階調をそれぞれ 6 ビットで表す 18 ビットデータであると記載されているが、入力画像データ Din 、減色画像データ $Dfrc1$ 、 $Dfrc2$ のビット数は、適宜に変更可能であることは自明的である。

【0063】

更に、本実施形態では、入力画像データ Din が、VGA 又は QVGA から選ばれたフォーマットで入力されるとして説明されているが、本発明は、一般に、第 1 のフォーマットの画像と、縦方向、横方向のいずれについても第 1 のフォーマットの画像の 2 倍である大きさの第 2 のフォーマットの画像が選択的に表示パネルドライバに供給される場合に適用可能である。

【0064】

更に、上記の実施形態では、本発明が LCD パネルの駆動について適用されている場合

10

20

30

40

50

について記述されているが、本発明が、プラズマディスプレイパネル等の他の表示パネルについても適用可能であることは、当業者には自明的であろう。

【図面の簡単な説明】

【0065】

【図1A】図1Aは、全画素の階調値が18であるVGAの画像データが供給された場合に当該画像データに対して減色処理を行った場合のLCDパネルの表示の例を示す概念図である。

【図1B】図1Bは、全画素の階調値が18であるQVGAの画像データが供給された場合について、当該画像データに対して減色処理を行い、且つ、拡大駆動を行った場合におけるLCDパネルの表示の例を示す概念図である。

【図2】図2は、本発明の一実施形態における液晶表示装置の構成を示すブロック図である。

【図3】図3は、図2の液晶表示装置のLCDドライバの構成を詳細に示すブロック図である。

【図4A】図4Aは、減色処理回路の構成を示すブロック図である。

【図4B】図4Bは、R誤差拡散回路、G誤差拡散回路、及びB誤差拡散回路の構成を示すブロック図である。

【図5】図5は、入力画像データがVGAのフォーマットで送られているか、QVGAのフォーマットで送られているかを判断するアルゴリズムの例を示すフローチャートである。

【図6】図6は、入力画像データがVGAのフォーマットで送られているか、QVGAのフォーマットで送られているかを判断するアルゴリズムを説明するタイミングチャートである。

【図7】図7は、入力画像データがVGAのフォーマットで送られた場合のR誤差拡散回路、G誤差拡散回路、及びB誤差拡散回路の動作を示す概念図である。

【図8】図8は、入力画像データがVGAのフォーマットで送られた場合の液晶表示装置の動作を示すタイミングチャートである。

【図9】図9は、入力画像データがVGAのフォーマットで送られた場合のデータ切り替え回路の動作を示す概念図である。

【図10】図10は、入力画像データがQVGAのフォーマットで送られた場合のR誤差拡散回路、G誤差拡散回路、及びB誤差拡散回路の動作を示す概念図である。

【図11】図11は、入力画像データがQVGAのフォーマットで送られた場合の液晶表示装置の動作を示すタイミングチャートである。

【図12A】図12Aは、入力画像データがQVGAのフォーマットで送られた場合における、第(2j-1)水平ラインの画素を駆動するときのデータ切り替え回路の動作を示す概念図である。

【図12B】図12Bは、入力画像データがQVGAのフォーマットで送られた場合における、第(2j)水平ラインの画素を駆動するときのデータ切り替え回路の動作を示す概念図である。

【図13】図13は、入力画像データがQVGAのフォーマットで送られた場合における、LCDパネルの表示の例を示す概念図である。

【符号の説明】

【0066】

- 1：液晶表示装置
- 2：LCDパネル
- 3：LCDドライバ
- 4：画像描画装置
- 5：同期信号
- 11：制御回路
- 12：減色処理回路

10

20

30

40

50

1 3 : シフトレジスタ回路	
1 4 : データレジスタ回路	
1 5 : ラッチ回路	
1 6 : データ切り替え回路	
1 7 : 信号線駆動回路	
1 8 : 階調電圧発生回路	
1 9 : 走査線駆動回路	
2 0 : タイミング制御回路	
2 1 : 制御信号	
2 2 : タイミング信号	10
2 3 : 拡大処理信号	
2 4 : 水平スタート信号	
2 5 : ラッチ信号	
2 6 : 切り替え信号	
2 7 : 出力イネーブル信号	
2 8 : 走査線制御信号	
3 1 : レジスタ	
3 2 : ラッチ	
3 3 : ストレートスイッチ	
3 4 : クロススイッチ	20
4 0 R : R 誤差拡散回路	
4 0 G : G 誤差拡散回路	
4 0 B : B 誤差拡散回路	
4 1、4 2、4 3、4 4 : 加算回路	
4 5、4 6 : セレクタ	
4 7 : D ラッチ	
4 8 : 初期値設定回路	
4 9 : スイッチ	

【図 1 A】

VGA表示時

元画像データ (VGA)

18	18	18	18
18	18	18	18



FRC処理イメージ

16	16	16	16
16	16	16	16

【図 1 B】

QVGA表示時

元画像データ

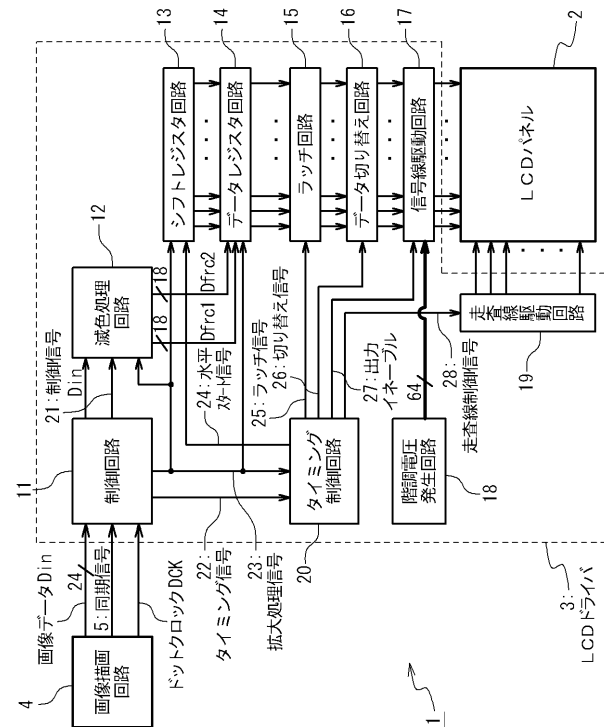
18	18
18	18



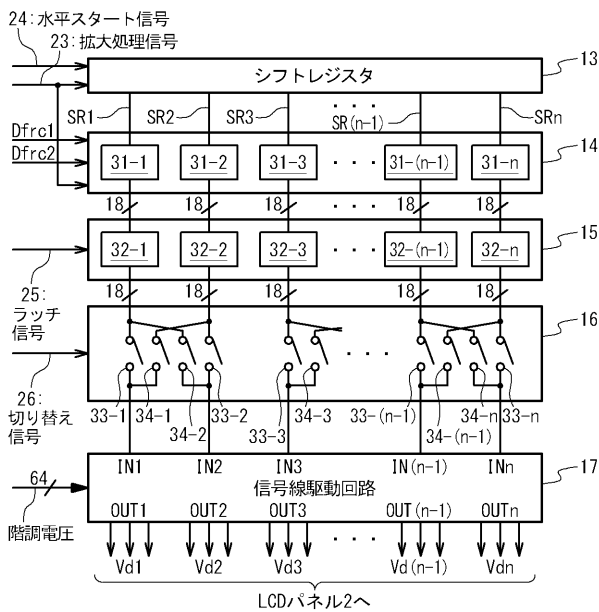
拡大処理+FRC処理イメージ

16	16	20	20
16	16	20	20

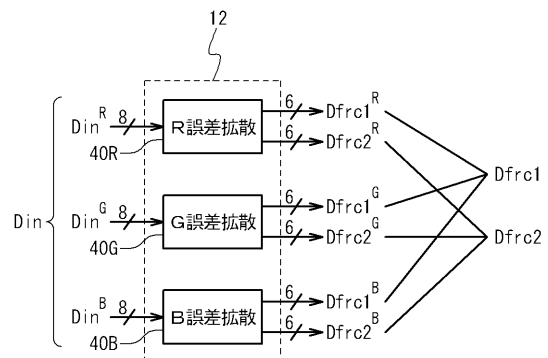
【図 2】



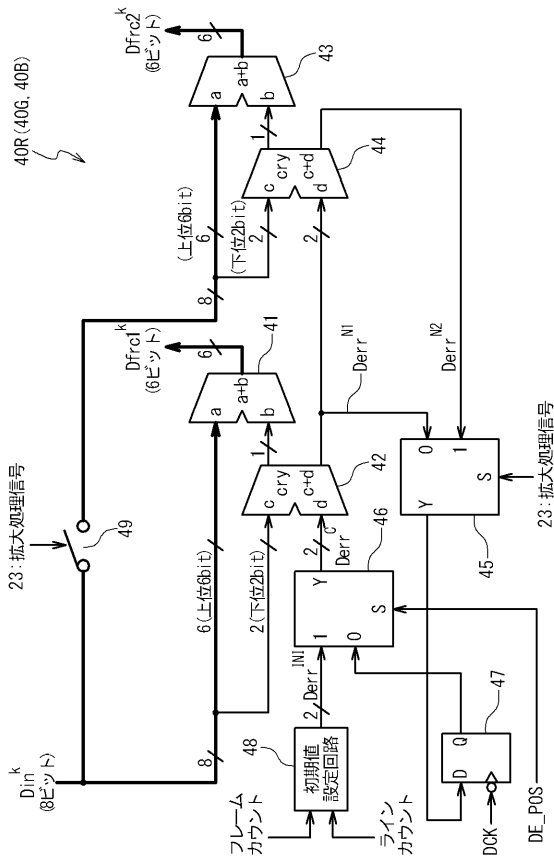
【図 3】



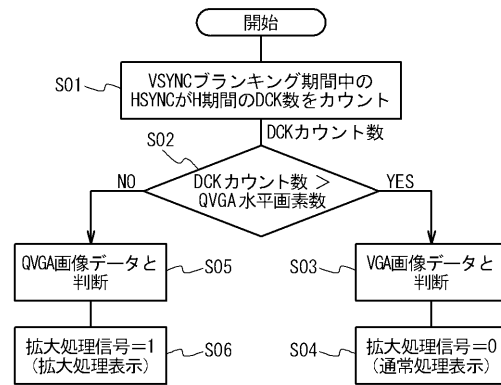
【図 4 A】



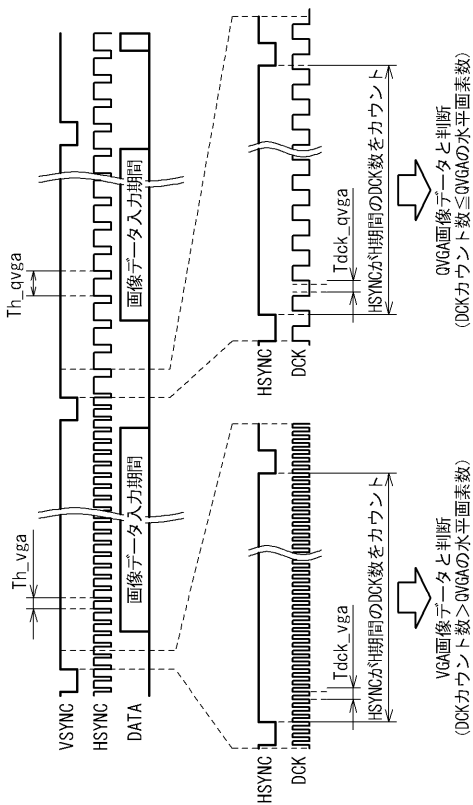
【 図 4 B 】



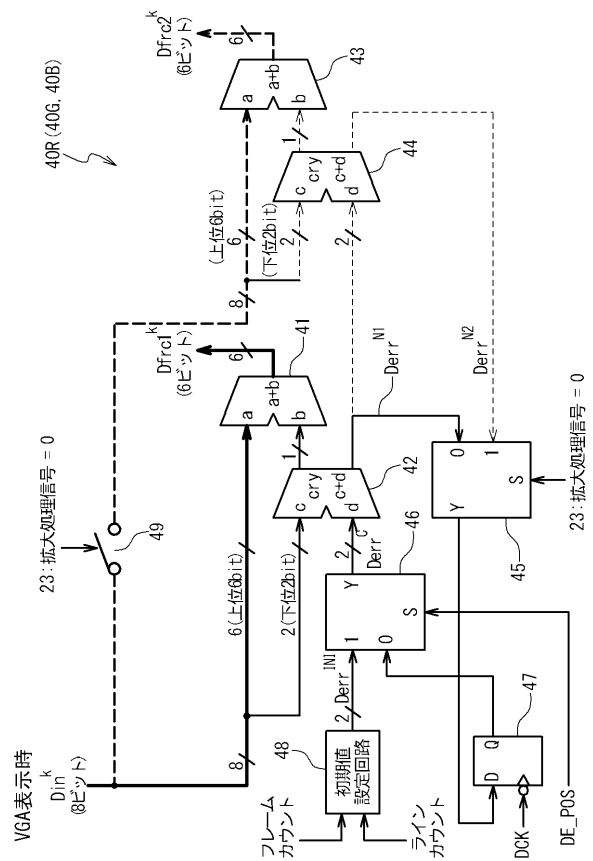
【 図 5 】



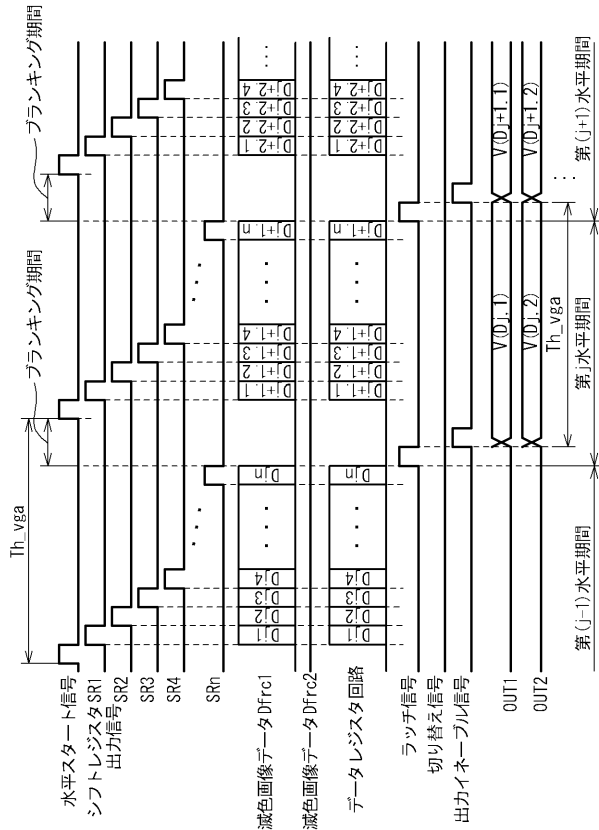
【 図 6 】



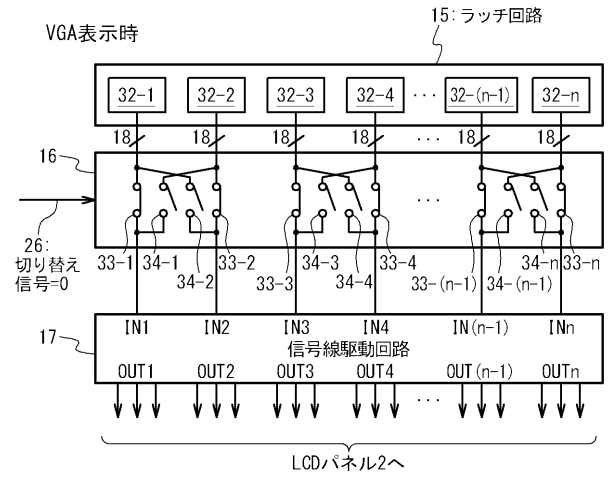
【 図 7 】



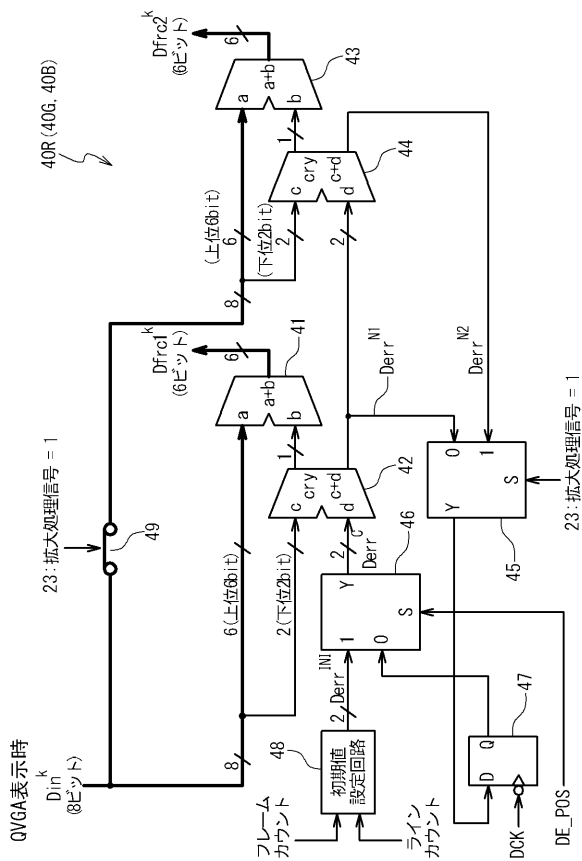
【図 8】



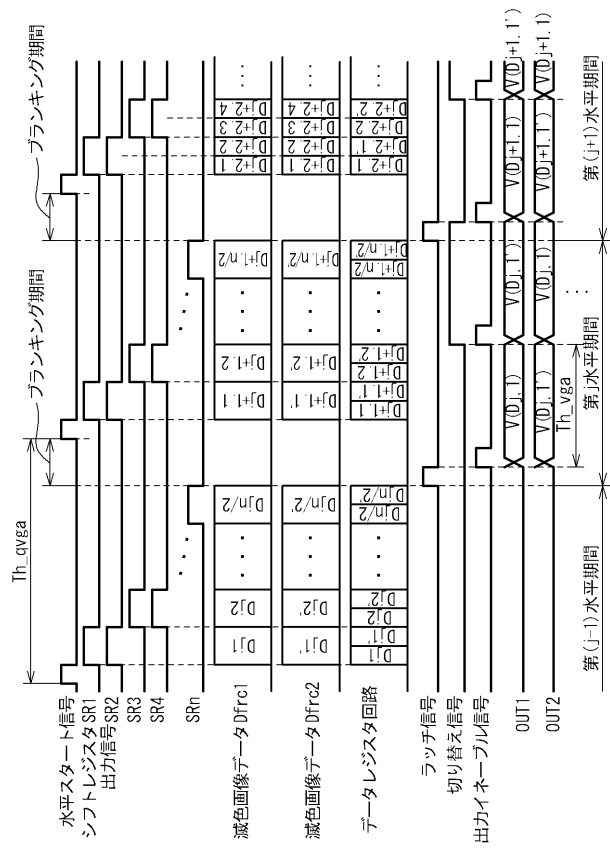
【図 9】



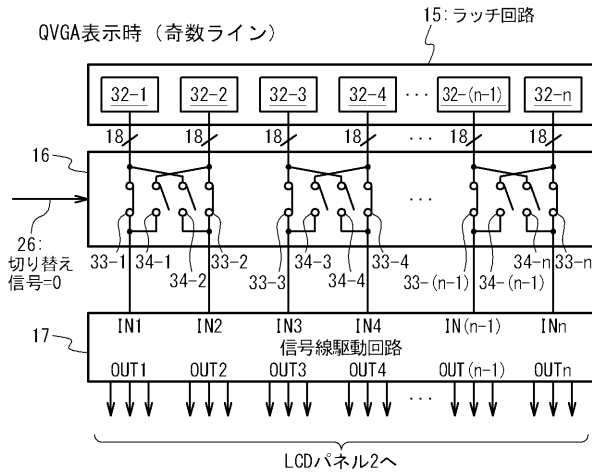
【図 10】



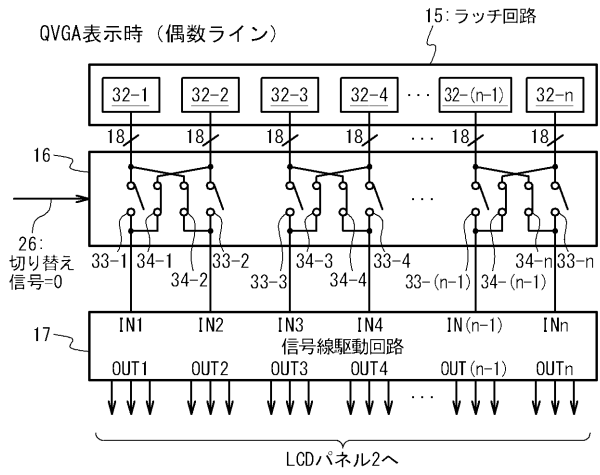
【図 11】



【図 1 2 A】



【図 1 2 B】



【図 1 3】

OVGA表示時

元画像データ (QVGA)

18	18	18	18	...
18	18	18	18	...



FRC処理イメージ

16	20	16	20	...
20	16	20	16	...
16	20	16	20	...
20	16	20	16	...

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 6 0 C
	G 0 9 G 3/20	6 1 1 E
	G 0 2 F 1/133	5 7 5
	G 0 2 F 1/133	5 0 5

(72)発明者 土 弘

神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

F ターム(参考) 2H093 NA16 NA53 NA55 NA57 NA63 NA64 NC03 NC10 NC12 NC22
NC26 NC34 NC35 NH06 NH18
2H193 ZA04 ZD23 ZD25 ZF03 ZF22 ZF36
5C006 AA13 AA21 AC11 AC21 BB16 BC06 BC16 BF04 BF15 FA41
FA56
5C080 AA10 BB05 CC03 DD06 FF11 JJ02 JJ04 JJ07 KK07

专利名称(译)	显示装置，显示面板驱动器和显示面板驱动方法		
公开(公告)号	JP2009175237A	公开(公告)日	2009-08-06
申请号	JP2008011418	申请日	2008-01-22
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	能勢崇 降旗弘史 堀良彦 土弘		
发明人	能勢 崇 降旗 弘史 堀 良彦 土 弘		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G5/04 G09G3/2059 G09G3/3688 G09G2310/0297 G09G2340/0407		
FI分类号	G09G3/36 G09G3/20.623.B G09G3/20.641.H G09G3/20.623.G G09G3/20.641.P G09G3/20.660.C G09G3/20.611.E G02F1/133.575 G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NA55 2H093/NA57 2H093/NA63 2H093/NA64 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC35 2H093/NH06 2H093/NH18 2H193/ZA04 2H193/ZD23 2H193/ZD25 2H193/ZF03 2H193/ZF22 2H193/ZF36 5C006/AA13 5C006/AA21 5C006/AC11 5C006/AC21 5C006/BB16 5C006/BC06 5C006/BC16 5C006/BF04 5C006/BF15 5C006/FA41 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ07 5C080/KK07 2H193/ZC25 2H193/ZD12 2H193/ZD37 2H193/ZF31 2H193/ZF33 2H193/ZF43 2H193/ZF44 2H193/ZF45		
代理人(译)	工藤稔		
其他公开文献	JP5311447B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种驱动技术，即使将减色处理和用于放大图像的驱动结合起来，也不会发生图像劣化。液晶显示装置（1）包括LCD面板（2）和驱动LCD面板（2）的LCD驱动器（3）。LCD驱动器3包括减色处理电路12和用作驱动单元的电路组13至17。减色处理电路12使用误差值Derr_c从输入图像数据D_{in}生成减法彩色图像数据D_{frc}1，并使用误差值Derr_{N1}从输入图像数据D_{in}生成减法彩色图像数据D_{frc}2。它能够。电路组13至17响应于减法彩色图像数据D_{frc}1驱动位于LCD面板2的特定水平线上的第一像素，该第一像素位于该特定水平线上并且与第一像素水平。响应于减法彩色图像数据D_{frc}2，驱动在该方向上相邻的第二像素。[选择图]图2

