

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-185915

(P2008-185915A)

(43) 公開日 平成20年8月14日(2008.8.14)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-----------------------------|----------------|-------------|
| G09G 3/36 (2006.01) | G09G 3/36 | 2H093 |
| G09G 3/20 (2006.01) | G09G 3/20 623B | 5C006 |
| G02F 1/133 (2006.01) | G09G 3/20 623C | 5C080 |
| | G09G 3/20 621B | |
| | G09G 3/20 623F | |

審査請求 未請求 請求項の数 15 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2007-21110 (P2007-21110)
 (22) 出願日 平成19年1月31日 (2007.1.31)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 西村 浩一
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 2H093 NA16 NA32 NA43 NA53 NC13
 NC22 NC24 ND12 ND15 ND37
 ND60
 5C006 AC21 AC27 AC28 AF43 AF44
 AF71 AF83 BB12 BC12 BC23
 BF24 BF25 BF43 FA01 FA16
 FA20 FA22

最終頁に続く

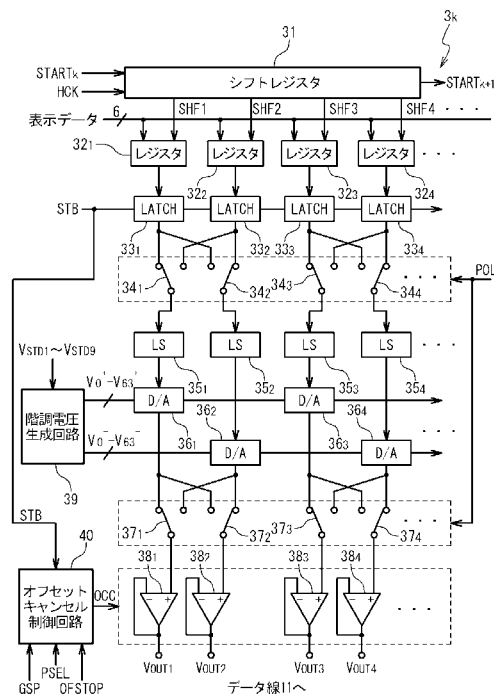
(54) 【発明の名称】 液晶表示装置、ソースドライバ及び液晶表示パネル駆動方法

(57) 【要約】

【課題】 オフセット電圧の極性が反転される空間的周期をデータ信号の極性が反転される空間的周期に応じて制御可能なソースドライバを提供する。

【解決手段】 本発明の液晶表示装置は、データ線11を備えたLCDパネル1と、データ線11にデータ信号を供給するソースドライバ3とを具備する。ソースドライバ3は、オフセットキャンセル制御信号OCCを生成するオフセットキャンセル制御回路40と、オフセットキャンセル制御信号OCCに反応してオフセット電圧の極性を反転するように構成された、データ信号の生成に使用されるアンプ38とを備えている。オフセットキャンセル制御回路40は、アンプ38のオフセット電圧の極性が反転される周期を指示するパターン選択信号PSELを受け取り、パターン選択信号PSELに反応してオフセットキャンセル制御信号を生成する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

データ線を備えた液晶表示パネルと、
前記データ線にデータ信号を供給するソースドライバ
とを具備し、
前記ソースドライバは、
オフセットキャンセル制御信号を生成するオフセットキャンセル制御回路と、
前記オフセットキャンセル制御信号に応答してオフセット電圧の極性を反転するよう
に構成された、前記データ信号の生成に使用されるアンプ
とを備え、
前記オフセットキャンセル制御回路は、前記オフセット電圧の極性が反転される周期を
指示するパターン選択信号に応答してオフセットキャンセル制御信号を生成する
液晶表示装置。

10

【請求項 2】

請求項 1 に記載の液晶表示装置であって、
前記ソースドライバは、前記液晶表示パネルを 2 H 反転駆動で駆動可能に構成され、
前記アンプの前記オフセット電圧の極性は、前記液晶表示パネルが 2 H 反転駆動で駆動
される場合、前記パターン選択信号に応答して 1 水平ライン毎に反転される
液晶表示装置。

20

【請求項 3】

請求項 2 に記載の液晶表示装置であって、
前記ソースドライバは、前記液晶表示パネルを 1 H 反転駆動及び 2 H 反転駆動の両方で
駆動可能に構成され、
前記アンプの前記オフセット電圧の極性は、前記液晶表示パネルが 1 H 反転駆動で駆動
される場合、前記パターン選択信号に応答して 2 水平ライン毎に反転される
液晶表示装置。

30

【請求項 4】

請求項 1 に記載の液晶表示装置であって、
前記ソースドライバは、表示データに응答して一組の階調電圧から一の階調電圧を選択
し、選択された前記一の階調電圧を出力する D / A コンバータを更に備え、
前記アンプは、前記 D / A コンバータから前記一の階調電圧を受け取り、前記一の階調
電圧に応じて前記データ信号を生成する出力アンプである
液晶表示装置。

40

【請求項 5】

請求項 1 に記載の液晶表示装置であって、
前記ソースドライバは、更に、
一組の階調電圧を生成する階調電圧生成回路と、
表示データに응答して一組の階調電圧から一の階調電圧を選択し、選択された前記一
の階調電圧を出力する D / A コンバータと、
前記 D / A コンバータから前記一の階調電圧を受け取り、前記一の階調電圧に応じて
前記データ信号を生成する出力アンプ
とを備え、
前記アンプは、前記階調電圧生成回路に集積化され、前記一組の階調電圧の生成に使用
されるアンプである
液晶表示装置。

40

【請求項 6】

請求項 1 に記載の液晶表示装置であって、
前記ソースドライバは、更に、
一組の階調電圧を生成する階調電圧生成回路と、
表示データに응答して一組の階調電圧から一の階調電圧を選択し、選択された前記一

50

の階調電圧を出力する D / A コンバータ
とを備え、

前記アンプは、

前記 D / A コンバータから前記一の階調電圧を受け取り、前記一の階調電圧に応じて
前記データ信号を生成する出力アンプと、

前記階調電圧生成回路に集積化され、前記一組の階調電圧の生成に使用される アンプ

とを含む

液晶表示装置。

【請求項 7】

10

請求項 2 に記載の液晶表示装置であって、

更に、前記液晶表示パネルのゲート線を走査するゲートドライバを備え、

前記ゲートドライバには、前記ゲートドライバに走査を開始させるゲートスタートパルス
信号が供給され、

前記ソースドライバは、

外部から表示データを順次に受け取る複数のレジスタと、

ストローク信号に応答して、前記レジスタから前記表示データを同時にラッチする複
数のラッチ回路と、

前記ラッチ回路にラッチされた前記表示データに응答して前記データ線を駆動する駆
動回路

20

とを具備し、

前記オフセットキャンセル制御回路は、前記オフセットキャンセル制御信号を前記ゲー
トスタートパルス信号と前記ストローク信号と前記パターン選択信号とに응答して生成す
る

液晶表示装置。

【請求項 8】

請求項 7 に記載の液晶表示装置であって、

前記オフセットキャンセル制御回路は、

前記ゲートスタートパルス信号を 1 / 4 分周して 1 / 4 分周ゲートスタートパルス信
号を生成する第 1 分周回路と、

30

前記ストローク信号を 1 / 4 分周した 1 / 4 分周ストローク信号と 1 / 4 分周した 1
/ 2 分周ストローク信号を生成する第 2 分周回路と、

前記パターン選択信号に응答して前記 1 / 4 分周ストローク信号と前記 1 / 2 分周ス
トローク信号の一方を選択する第 1 選択回路と、

前記選択回路の出力に응答して前記 1 / 4 分周ゲートスタートパルス信号又は前記 1
/ 4 分周ゲートスタートパルス信号の反転信号を出力する第 2 選択回路

とを備える

液晶表示装置。

【請求項 9】

請求項 1 に記載の液晶表示装置であって、

40

前記パターン選択信号、又は、前記パターン選択信号の値を示すデータが外部から前記
ソースドライバに供給される

液晶表示装置。

【請求項 10】

請求項 1 に記載の液晶表示装置であって、

前記ソースドライバには、前記データ信号の極性を指定する前記極性信号が供給され、

前記ソースドライバは、前記極性信号から前記データ信号の極性が反転される周期の判
定を行い、前記判定の結果に応じて前記パターン選択信号を生成する判定回路を備える

液晶表示装置。

【請求項 11】

50

データ線を備えた液晶表示パネルと、
前記データ線にデータ信号を供給するソースドライバ
とを具備し、
前記ソースドライバは、
オフセットキャンセル制御信号を生成するオフセットキャンセル制御回路と、
前記オフセットキャンセル制御信号にตอบสนองしてオフセット電圧の極性を反転するよう
に構成された、前記データ信号の生成に使用されるアンプ
とを備え、
前記ソースドライバは、前記液晶表示パネルを 2 H 反転駆動で駆動可能に構成され、
前記アンプの前記オフセット電圧の極性は、前記液晶表示パネルが 2 H 反転駆動で駆動
される場合、1 水平ライン毎に反転される
液晶表示装置。

10

【請求項 1 2】

液晶表示パネルのデータ線にデータ信号を供給するソースドライバであって、
オフセットキャンセル制御信号を生成するオフセットキャンセル制御回路と、
前記オフセットキャンセル制御信号にตอบสนองしてオフセット電圧の極性を反転するよう
に構成された、前記データ信号の生成に使用されるアンプ
とを具備し、
前記オフセットキャンセル制御回路は、前記オフセット電圧の極性が反転される周期を
指示するパターン選択信号を受け取り、且つ、前記パターン選択信号にตอบสนองしてオフセッ
トキャンセル制御信号を生成する
ソースドライバ。

20

【請求項 1 3】

請求項 1 2 に記載のソースドライバであって、
更に、表示データにตอบสนองして一組の階調電圧から一の階調電圧を選択し、選択された前
記一の階調電圧を出力する D / A コンバータを具備し、
前記アンプは、前記 D / A コンバータから前記一の階調電圧を受け取り、前記一の階調
電圧に応じて前記データ信号を生成する出力アンプである
ソースドライバ。

30

【請求項 1 4】

請求項 1 2 に記載のソースドライバであって、
更に、
一組の階調電圧を生成する階調電圧生成回路と、
表示データにตอบสนองして一組の階調電圧から一の階調電圧を選択し、選択された前記一
の階調電圧を出力する D / A コンバータと、
前記 D / A コンバータから前記一の階調電圧を受け取り、前記一の階調電圧に応じて
前記データ信号を生成する出力アンプ
とを具備し、
前記アンプは、前記階調電圧生成回路に集積化され、前記一組の階調電圧の生成に使用
されるアンプである
ソースドライバ。

40

【請求項 1 5】

アンプを用いて液晶表示パネルにデータ信号を供給することによって、前記液晶表示パ
ネルを 2 H 反転駆動によって駆動するステップと、
前記液晶表示パネルが 2 H 反転駆動によって駆動されている間に、前記アンプのオフセ
ット電圧の極性を、1 水平ライン毎に反転するステップ
とを備える
液晶表示パネル駆動方法。

【発明の詳細な説明】**【技術分野】**

50

【0001】

本発明は、液晶表示装置、ソースドライバ及び液晶表示パネル駆動方法に関しており、特に、液晶表示パネルのドライバに集積化されたアンプのオフセット電圧に起因する表示画像の画質の劣化を抑制するための技術に関する。

【背景技術】

【0002】

液晶表示パネルの駆動において最も広く使用される技術の一つが、反転駆動である。反転駆動とは、いわゆる焼き付き現象を防止するために、データ線（信号線）に供給されるデータ信号の極性を所定の空間的周期及び時間的周期で反転する駆動方法である。本明細書において、データ信号の極性は、液晶表示パネルの共通電極の電圧レベル（コモン電位）を基準として定義されることに留意されたい。あるデータ信号が共通電位 V_{COM} よりも高い信号レベルを有する場合、そのデータ信号の極性は、「正」とであると定義される。逆に、あるデータ信号が共通電位 V_{COM} よりも低い信号レベルを有する場合、そのデータ信号の極性は、「負」とであると定義される。反転駆動は、画素の液晶容量に印加される電圧の直流成分を減少させ、焼き付き現象の発生を有効に防止する。

10

【0003】

反転駆動においてデータ信号の極性が反転される周期は、様々に選択可能である。反転駆動として最も典型的なドット反転駆動では、水平方向及び垂直方向のいずれについても、隣接する画素に反対の極性のデータ信号が書き込まれる。即ち、ドット反転駆動では、水平方向及び垂直方向のいずれについても、1画素毎にデータ信号の極性が反転される。大型の液晶表示パネルの駆動では、水平方向については1画素毎にデータ信号の極性が反転される一方、垂直方向については2画素毎にデータ信号の極性が反転される場合が多い。本明細書では、垂直方向におけるデータ信号の極性が反転される周期が画素であるような反転駆動方式を、H反転駆動と呼ぶこととする。例えば、（ドット反転駆動のように）垂直方向について1画素毎にデータ信号の極性が反転される反転駆動方式は、1H反転駆動と記載し、垂直方向について2画素毎にデータ信号の極性が反転される反転駆動方式は、2H反転駆動と記載する。

20

【0004】

データ信号の発生は、一般には、以下のようにして行われる。データ信号を発生するドライバ（しばしば、ソースドライバと呼ばれる）には、階調電圧発生回路と、D/Aコンバータと、出力アンプとが集積化される。階調電圧発生回路は、画素が取り得る階調のそれぞれに対応した電圧レベルを有する一組の階調電圧を発生する。D/Aコンバータは、当該一組の階調電圧のうちから表示データに応じて所望の階調電圧を選択し、選択された階調電圧を出力アンプに出力する。ここで表示データとは、駆動される画素の階調を示すデータのことである。出力アンプは、D/Aコンバータから供給された階調電圧と同一の電圧レベルを有するデータ信号をデータ線に出力する。この出力アンプとしては、多くの場合、その出力段の出力が入力差動段の2つの入力的一方に接続された差動増幅器、即ち、ボルテッジフォロアが使用される。

30

【0005】

一般に、階調電圧発生回路における階調電圧の発生には、抵抗ラダーと、抵抗ラダーにバイアス電圧を供給するアンプ（演算増幅器）とが使用される。抵抗ラダーを用いてバイアス電圧を分割することにより、一組の階調電圧が発生される。抵抗ラダーに接続されるアンプが出力するバイアス電圧は、階調電圧が液晶表示パネルのカーブを反映した電圧レベルになるように決定されるため、抵抗ラダーに接続されるアンプは、しばしば、アンプと呼ばれる。アンプとしては、多くの場合、ボルテッジフォロアが使用される。

40

【0006】

液晶表示パネルのドライバにおける一つの問題は、それに集積化されるアンプにはオフセット電圧があり、したがって、アンプが実際に出力する電圧が所望値と相違し得ることである。例えば、出力アンプにオフセット電圧が存在すると、データ信号の電圧レベルが所望値からずれ、従って、画素に書き込まれる電圧も所望値からずれる。これは、画素の

50

実際の階調を所望の階調から相違させ、画像の画質を低下させる。特に、オフセット電圧がアンプ毎にばらつく場合には、オフセットの問題は深刻である。オフセット電圧のばらつきは、データ線の方向に伸びる縦筋ムラとして人間の目には認識されてしまうからである。同様に、アンプにオフセット電圧が存在すると、画素の実際の階調が所望の階調から相違してしまい、画像の画質が低下してしまう。

【0007】

アンプのオフセット電圧の問題を回避する一つの有効な方法は、オフセット電圧の極性を適宜の周期で反転させることである。ここで、本明細書でいうオフセット電圧の極性とは、アンプから出力されることが所望されている電圧（以下、「所望電圧」という。）と、実際にアンプから出力される電圧（以下、「実電圧」という。）との大小関係をいい、データ信号の極性とは異なる概念であることに留意されたい。そして、オフセット電圧の極性を適宜の周期で反転させることにより、人間の視覚にオフセット電圧の影響を感知させないようにすることが可能である。以下において、実電圧が所望電圧より高い場合、オフセット電圧の極性が「正極性」であるといい、実電圧が所望電圧より低い場合、オフセット電圧の極性が「負極性」であるということがある。

10

【0008】

オフセット電圧を小さくすることと比較すると、オフセット電圧の極性を反転させることは技術的には容易であり、より現実的なアプローチである。アンプのオフセット電圧は、主として、入力差動段を構成するMOSトランジスタ対の閾値電圧のバラツキ、及び、入力差動段に接続された能動負荷（例えば、カレントミラー回路）を構成するMOSトランジスタ対の閾値電圧のバラツキに起因するものである。従って、例えば、アンプの入力端子と入力差動段を構成するMOSトランジスタ対との接続関係、及び、能動負荷を構成するMOSトランジスタ対の接続関係を切り換えることにより、オフセット電圧の大きさを同じに保ったままオフセット電圧の極性を反転させることができる。

20

【0009】

より具体的には、特開平11-305735号公報は、4フレーム期間を1周期としてオフセット入力差動段のMOSトランジスタ対を入れ替えることによってオフセット電圧の極性を反転させ、これによりオフセット電圧の問題を回避する技術を開示している（例えば、段落〔0125〕参照）。

【0010】

更に特開2002-108303号公報は、所定数のフレーム期間内で、所定数の水平ライン毎にオフセット電圧の極性を反転させ、これによりオフセット電圧の問題を回避する技術を開示している。この公報では、例として、1フレーム期間が8水平ラインで構成されている場合に、7水平ライン毎にオフセット電圧の極性を反転させ、これにより14フレーム期間を1周期としてオフセット電圧をキャンセルすることを開示している。

30

【0011】

より画質を向上させるためには、特開平11-249623号公報に開示されているように、各フレーム期間内で所定の水平ライン毎にオフセット電圧の極性を反転させることが好適である。特開平11-249623号公報は、各フレーム期間内でn水平ライン毎、且つ、nフレーム期間毎にオフセット電圧の極性を反転させ、これによりオフセット電圧の問題を回避する技術を開示している。この公報は、更に、データラッチ回路に蓄えていた表示データを液晶表示パネルの信号線に出力するための出力タイミング制御用クロック（CL1）と、各フレーム期間を認識させるフレーム期間認識信号（FLMN）とから、出力アンプのオフセット電圧の極性を制御する制御信号（A、B）を生成し、これにより、各フレーム期間内で2水平ライン毎、且つ、2フレーム期間毎にオフセット電圧の極性を反転させるソースドライバを開示している（例えば、段落〔0017〕、〔0055〕、図24参照）。制御信号（A、B）の生成のために出力タイミング制御用クロック（CL1）及びフレーム期間認識信号（FLMN）を用いているのであるから、この公報に開示されている回路では、オフセット電圧の極性を反転させる空間的周期は、2水平ラインで固定である。

40

50

- 【特許文献1】特開平11-305735号公報
 【特許文献2】特開2002-108303号公報
 【特許文献3】特開平11-249623号公報
 【発明の開示】
 【発明が解決しようとする課題】

【0012】

特開平11-249623号公報に記載されているような、オフセット電圧の極性を所定の水平ライン毎に反転させる技術は、確かに、画質の向上に有効である。しかしながら、この文献には、(1H反転駆動の一種である)ドット反転駆動が行われる場合のオフセット電圧の極性の制御について記載しているが、2H反転駆動については何ら言及がない。発明者の検討によれば、オフセット電圧の極性の好適な制御方法は、データ信号の極性が反転される空間的周期に応じて(より具体的には、1H反転駆動と2H反転駆動とで)異なる。特開平11-249623号公報に記載のソースドライバのように、オフセット電圧の極性を2水平ライン毎に反転することは、(ドット反転駆動のように)1H反転駆動を行う場合には好適であるが、2H反転駆動を行う場合には好適でない。

10

【0013】

例えば、図1に示されているように、オフセット電圧の極性が「正」である状態「A」と、オフセット電圧の極性が「負」である状態「B」との2つの状態を有し、且つ、正負いずれの極性のデータ信号も出力可能な出力アンプによって、データ信号を生成する場合を考えよう(ただし、現実には、出力アンプが2つの状態を取り得る場合に、いずれの状態においてオフセット電圧の極性が「正」になるかは不明であることにも留意されたい)。

20

【0014】

このような出力アンプは、下記の4種類のデータ信号を出力し得る：

- 種類1：データ信号の極性及びオフセット電圧の極性がいずれも正である(状態「A」の上方向矢印)。
 種類2：データ信号の極性が負であり、オフセット電圧の極性が正である(状態「A」の下方向矢印)。
 種類3：データ信号の極性が正であり、オフセット電圧の極性が負である(状態「B」の上方向矢印)。
 種類4：データ信号の極性がオフセット電圧の極性、及びデータ信号の極性がいずれも正である(状態「B」の下方向矢印)。

30

図1において、共通電位 V_{COM} とは、液晶表示パネルの共通電極の電圧レベルである。発明者の検討によれば、画像の画質を向上させるためには、液晶表示パネルの画素に、これらの4種類のデータ信号が空間的に均等に供給されることが好適である。

【0015】

特開平11-249623号公報に記載されているソースドライバのように、オフセット電圧の極性が反転される空間的周期が2水平ラインに固定されることは、1H反転駆動には好適であるが、2H反転駆動には好適でない。図2A、図2Bは、オフセット電圧の極性が反転される空間的周期が2水平ラインに固定されている場合について、1H反転駆動(ドット反転駆動)を行う場合と、2H反転駆動を行う場合の、各フレーム期間における、各画素に供給されるデータ信号の種類を図示している。ここで、図2A、図2Bの記号「A」、「A」、「B」、「B」は、下記のような意味を有している：

40

「A」：状態「A」である出力アンプから極性が正であるデータ信号が供給された画素(即ち、「種類1」のデータ信号が供給される画素)

「A」：状態「A」である出力アンプから極性が負であるデータ信号が供給された画素(即ち、「種類2」のデータ信号が供給される画素)

「B」：状態「B」である出力アンプから極性が正であるデータ信号が供給された画素(即ち、「種類1」のデータ信号が供給される画素)

「B」：状態「B」である出力アンプから極性が負であるデータ信号が供給された画

50

素（即ち、「種類 2」のデータ信号が供給される画素）

図 2 A、図 2 B に図示されている動作では、出力アンプの状態は、2 水平ライン毎及び 2 フレーム期間毎に切り換えられていることに留意されたい。

【0016】

図 2 A に示されているように、1 H 反転駆動が行われる場合には、一の画素の列に、上記の 4 種類のデータ信号が現れる。例えば、第 1 フレーム期間においては、最も左の列の各画素に供給されているデータ信号の種類は、順に、「A」、「A」、「B」、「B」である。しかしながら、図 2 B に示されているように、2 H 反転駆動が行われる場合には、一の画素の列に、2 種類のデータ信号しか現れない。例えば、第 1 フレーム期間においては、最も左の列の各画素に供給されているデータ信号の種類は、順に、「A」、「A」、「B」、「B」であり、データ信号の種類が「A」、「B」である画素が存在しない。このように、2 H 反転駆動が行われる場合には、4 種類のデータ信号が空間的に均等に供給されない。このため、2 H 反転駆動が行われる場合には画質が劣化してしまう。

10

【0017】

ソースドライバが 2 H 反転駆動に対応していないことは、特に、大型の液晶表示パネルを駆動する際に問題となり得る。また、ユーザは、あるソースドライバを 1 H 反転駆動と 2 H 反転駆動の両方に対応させることを望む場合があるが、2 H 反転駆動に対応していない従来のソースドライバでは、1 H 反転駆動と 2 H 反転駆動の両方について良好な画質で画像を表示することができない。

20

【0018】

このように、ソースドライバは、2 H 反転駆動に対応してオフセット電圧の極性を適切に制御可能であることが望ましく、また、ソースドライバが 1 H 反転駆動と 2 H 反転駆動の両方について対応可能であることは、一層に望ましい。

【課題を解決するための手段】

【0019】

上記の課題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、[特許請求の範囲]の記載と[発明を実施するための最良の形態]の記載との対応関係を明らかにするために、[発明を実施するための最良の形態]で使用される番号・符号が付加されている。但し、付加された番号・符号は、[特許請求の範囲]に記載されている発明の技術的範囲を限定的に解釈するために用いてはならない。

30

【0020】

本発明の液晶表示装置は、データ線(11)を備えた液晶表示パネル(1)と、データ線(11)にデータ信号を供給するソースドライバ(3)とを具備する。ソースドライバ(3)は、オフセットキャンセル制御信号(OCC)を生成するオフセットキャンセル制御回路(40)と、オフセットキャンセル制御信号(OCC)に応答してオフセット電圧の極性を反転するように構成された、前記データ信号の生成に使用されるアンプ(38)(71)とを備えている。オフセットキャンセル制御回路(40)には、前記オフセット電圧の極性が反転される周期を指示するパターン選択信号が供給されており、前記パターン選択信号に応答してオフセットキャンセル制御信号を生成する。

40

【0021】

このような構成の液晶表示装置では、オフセットキャンセル制御信号(OCC)がパターン選択信号(PSEL)に応じて生成されるため、オフセット電圧の極性が反転される周期をデータ信号の極性が反転される周期に応じて自動的に最適に制御することができる。したがって、当該液晶表示装置の構成によれば、オフセット電圧の極性が反転される空間的周期をデータ信号の極性が反転される空間的周期に応じて制御し、表示画像の画質を良好に保つことができる。

【0022】

ソースドライバ(3)が、前記液晶表示パネルを 1 H 反転駆動及び 2 H 反転駆動の両方

50

で駆動可能に構成される場合、アンプ(38)(71)の前記オフセット電圧の極性は、前記液晶表示パネルが1H反転駆動で駆動される場合には2水平ライン毎に反転され、前記液晶表示パネルが2H反転駆動で駆動される場合には1水平ライン毎に反転されることが好ましい。液晶表示パネル(1)が2H反転駆動で駆動される場合に、オフセット電圧の極性が1水平ライン毎に反転されることは、画質の向上に特に有効である。

【発明の効果】

【0023】

本発明によれば、オフセット電圧の極性が反転される空間的周期をデータ信号の極性が反転される空間的周期に応じて制御可能なソースドライバを提供することができる。

また、本発明によれば、2H反転駆動に対応してオフセット電圧の極性を適切に制御可能であるソースドライバを提供することができる。

10

【発明を実施するための最良の形態】

【0024】

以下、添付図面を参照して本発明の実施形態を説明する。添付図面において、同一の構成要素は、同一の符号によって参照されることに留意されたい。加えて、必要がある場合には、同一の複数の構成要素を、符号に付された添字によって互いに区別することができることに留意されたい。

【0025】

(第1の実施形態)

図3は、本発明の第1実施形態における液晶表示装置10の構成を示すブロック図である。液晶表示装置10は、LCDパネル1と、LCDコントローラ2と、ソースドライバ3と、ゲートドライバ4と、階調電源5とを備えている。

20

【0026】

LCDパネル1は、垂直方向に延伸するデータ線(信号線)11と、水平方向に延伸するゲート線(走査線)12と、それらが交差する位置に設けられた画素13とを備えている。以下において、同一のゲート線12に接続されている一行の画素13は、水平ラインと呼ばれることがあり、また、ゲート線12_iに接続されている一行の画素は、第i水平ラインの画素13と呼ばれることがある。

【0027】

LCDコントローラ2は、ソースドライバ3とゲートドライバ4とを制御して、LCDパネル1に所望の画像を表示する。具体的には、LCDコントローラ2には、外部から受け取った表示データをソースドライバ3に転送すると共に、ソースドライバ3及びゲートドライバ4に各種の制御信号を供給する。LCDコントローラ2の動作は、様々な制御信号(例えば、水平同期信号Hsync、垂直同期信号Vsync、ドットクロック信号DCLK等)によって制御される。

30

【0028】

LCDコントローラ2から各ソースドライバ3に供給される制御信号には、水平同期信号HSC、水平クロックHCK、極性信号POL、ストロブ信号(ラッチ信号)STBが含まれている。加えて、ソースドライバ3₁には、LCDコントローラ2からスタートパルス信号START₁が供給される。これらの制御信号の技術的意義は、後述のソースドライバ3の説明において詳細に提示する。

40

【0029】

一方、ゲートドライバ4に供給される制御信号には、垂直クロックVCK、及び、ゲートスタートパルス信号GSPが含まれている。ゲートスタートパルス信号GSPとは、ゲートドライバ4にゲート線12の走査を開始させるトリガとして機能する信号であり、ゲートスタートパルス信号GSPが活性化されると、ゲートドライバ4は、ソースドライバ3に近いゲート線12から順次にゲート線12を活性化する。ゲートスタートパルス信号GSPが活性化されるタイミングは、LCDコントローラ2に供給される垂直同期信号Vsyncに同期しており、垂直同期信号Vsyncが活性化されて所定の時間が経過した後、ゲートスタートパルス信号GSPが活性化される。

50

【 0 0 3 0 】

ソースドライバ 3 は、LCD パネル 1 の各データ線 1 1 にデータ信号を供給する。データ信号は、画素 1 3 の階調に対応した電圧レベルを有しており、データ信号が画素 1 3 に供給されると、所望の階調に対応する画素電圧が画素 1 3 に書き込まれる。

【 0 0 3 1 】

ゲートドライバ 4 は、LCD パネル 1 のゲート線 1 2 を走査する、即ち、順次に活性化する。活性化されたゲート線 1 2 に接続された画素 1 3 に、ソースドライバ 3 によって発生されたデータ信号が供給される。

【 0 0 3 2 】

階調電源 5 は、各ソースドライバ 3 に、階調電源電圧 $V_{S T D 1} \sim V_{S T D 9}$ を供給する。後述のように、階調電源電圧 $V_{S T D 1} \sim V_{S T D 9}$ は、各ソースドライバ 3 内で、画素 1 3 の取り得る階調のそれぞれに対応した一組の階調電圧を発生するために使用される。

10

【 0 0 3 3 】

図 4 は、ソースドライバ 3 の構成を示すブロック図である。ソースドライバ 3 は、シフトレジスタ 3 1 と、レジスタ 3 2₁ ~ 3 2_n と、ラッチ回路 3 3₁ ~ 3 3_n と、クロススイッチ 3 4₁ ~ 3 4_n と、レベルシフタ 3 5₁ ~ 3 5_n と、D/A コンバータ 3 6₁ ~ 3 6_n と、クロススイッチ 3 7₁ ~ 3 7_n と、出力アンプ 3 8₁ ~ 3 8_n と、階調電圧生成回路 3 9 と、オフセットキャンセル制御回路 4 0 と、データ線 1 1 に接続される出力端子 $V_{O U T 1} \sim V_{O U T n}$ を備えている。ただし、図を見易くするために、レジスタ 3 2、ラッチ回路 3 3、クロススイッチ 3 4、レベルシフタ 3 5、D/A コンバータ 3 6、クロススイッチ 3 7 は、出力端子 $V_{O U T}$ は、それぞれ 4 つずつしか図示されていない。

20

【 0 0 3 4 】

シフトレジスタ 3 1 は、スタートパルス信号 $S T A R T_k$ に応答して、レジスタ 3 2 に表示データのラッチを許可するシフト信号 $S H F 1 \sim S H F n$ を生成する。ここでスタートパルス信号 $S T A R T_k$ とは、ソースドライバ 3_k に表示データの取り込みの開始を許可する信号である。図 3 に示されているように、ソースドライバ 3₁ には、LCD コントローラ 2 からスタートパルス信号 $S T A R T_1$ が供給され、その他のソースドライバ 3_k には、隣接するソースドライバ 3_{k-1} からスタートパルス信号 $S T A R T_k$ が供給される。スタートパルス信号 $S T A R T_k$ が活性化されると、シフトレジスタ 3 1 はシフト動作を行い、シフト信号 $S H F 1 \sim S H F n$ を順次に活性化する。更に、ソースドライバ 3_k のシフトレジスタ 3 1 は、シフト信号 $S H F n$ が最後に活性化されると、隣接するソースドライバ 3_{k+1} に供給するスタートパルス信号 $S T A R T_{k+1}$ を活性化する。

30

【 0 0 3 5 】

レジスタ 3 2₁ ~ 3 2_n は、それぞれ、シフト信号 $S H F 1 \sim S H F n$ の活性化に応答して表示データをラッチする。シフト信号 $S H F 1 \sim S H F n$ は、順次に活性化されるから、レジスタ 3 2₁ ~ 3 2_n も、表示データを順次にラッチすることになる。

【 0 0 3 6 】

ラッチ回路 3 3₁ ~ 3 3_n は、ストローク信号 $S T B$ の活性化に応答して、それぞれ、レジスタ 3 2₁ ~ 3 2_n が保持している表示データをラッチする。ストローク信号 $S T B$ は、表示データのラッチをラッチ回路 3 3₁ ~ 3 3_n に指示する信号であり、各水平期間の開始に同期して活性化される。ラッチ回路 3 3₁ ~ 3 3_n は、いずれも、ストローク信号 $S T B$ の活性化に応答して動作するから、レジスタ 3 2₁ ~ 3 2_n が保持している表示データを同時にラッチすることに留意されたい。

40

【 0 0 3 7 】

クロススイッチ 3 4₁ ~ 3 4₂ は、極性信号 $P O L$ に応答して、ラッチ回路 3 3₁ ~ 3 3_n とレベルシフタ 3 5₁ ~ 3 5_n との間の接続関係を切り換える。ここで極性信号 $P O L$ とは、各データ線 1 1 に供給されるデータ信号の極性を指定する信号である。本実施形態では、極性信号 $P O L$ が " H i g h " レベルであると、奇数番目のクロススイッチ 3 4_{2 i - 1} は、奇数番目のラッチ回路 3 3_{2 i - 1} と奇数番目のレベルシフタ 3 5_{2 i - 1}

50

とを接続し、偶数番目のクロススイッチ 34_{2i} は、偶数番目のラッチ回路 33_{2i} と偶数番目のレベルシフタ 35_{2i} とを接続する。一方、極性信号POLが"Low"レベルであると、奇数番目のクロススイッチ 34_{2i-1} は、偶数番目のラッチ回路 33_{2i} と奇数番目のレベルシフタ 35_{2i-1} とを接続し、偶数番目のクロススイッチ 34_{2i} は、奇数番目のラッチ回路 33_{2i-1} と偶数番目のレベルシフタ 35_{2i} とを接続する。

【0038】

レベルシフタ $35_1 \sim 35_n$ は、ラッチ回路 $33_1 \sim 33_n$ の出力信号レベルと、D/Aコンバータ $36_1 \sim 36_n$ の入力信号レベルのマッチングのために設けられている。レベルシフタ $35_1 \sim 35_n$ は、ラッチ回路 $33_1 \sim 33_n$ から受け取った表示データを信号レベルを変換しながらD/Aコンバータ $36_1 \sim 36_n$ に転送する。

10

【0039】

D/Aコンバータ $36_1 \sim 36_n$ は、ラッチ回路 $33_1 \sim 33_n$ から送られてくる表示データに対してD/A変換を行い、表示データに対応する電圧レベルを有する階調電圧を出力する。各D/Aコンバータ 36 が表示データを受け取るラッチ回路 33 は、クロススイッチ 34 に切り換えられることに留意されたい。

【0040】

奇数番目の奇数番目のD/Aコンバータ 36_{2i-1} は、正の極性を有する階調電圧を出力するように構成され、偶数番目のD/Aコンバータ 36_{2i} は、負の極性を有する階調電圧を出力するように構成される。より具体的には、奇数番目のD/Aコンバータ 36_{2i-1} には、(共通電位 V_{COM} に対して)正の極性を有する一組の階調電圧 $V_{0+} \sim V_{63+}$ が階調電圧生成回路 39 から供給されており、奇数番目のD/Aコンバータ 36_{2i-1} は、階調電圧 $V_{0+} \sim V_{63+}$ のうちから受け取った表示データに対応する階調電圧を選択して出力する。一方、偶数番目のD/Aコンバータ 36_{2i} には、負の極性を有する一組の階調電圧 $V_{0-} \sim V_{63-}$ が階調電圧生成回路 39 から供給されており、偶数番目のD/Aコンバータ 36_{2i} は、階調電圧 $V_{0-} \sim V_{63-}$ のうちから受け取った表示データに対応する階調電圧を選択して出力する。

20

【0041】

クロススイッチ $37_1 \sim 37_n$ は、極性信号POLに応答して、D/Aコンバータ $36_1 \sim 36_n$ と出力アンプ $38_1 \sim 38_n$ との間の接続関係を切り換える。本実施形態では、極性信号POLが"High"レベルであると、奇数番目のクロススイッチ 37_{2i-1} は、奇数番目のD/Aコンバータ 36_{2i-1} と奇数番目の出力アンプ 38_{2i-1} とを接続し、偶数番目のクロススイッチ 37_{2i} は、偶数番目のD/Aコンバータ 36_{2i} と偶数番目の出力アンプ 38_{2i} とを接続する。一方、極性信号POLが"Low"レベルであると、奇数番目のクロススイッチ 37_{2i-1} は、偶数番目のD/Aコンバータ 36_{2i} と奇数番目の出力アンプ 38_{2i-1} とを接続し、偶数番目のクロススイッチ 37_{2i} は、奇数番目のD/Aコンバータ 36_{2i-1} と偶数番目の出力アンプ 38_{2i} とを接続する。

30

【0042】

出力アンプ $38_1 \sim 38_n$ は、それぞれ、D/Aコンバータ $36_1 \sim 36_n$ から階調電圧を受け取り、受け取った階調電圧同一の電圧レベルを有するデータ信号を、それぞれ、出力端子 $V_{OUT1} \sim V_{OUTn}$ を介してデータ線に出力する。本実施形態では、出力アンプ $38_1 \sim 38_n$ としては、Rail to Rail構成を有するボルテッジフォロアが使用される。出力アンプ $38_1 \sim 38_n$ のそれぞれは、正の極性を有するデータ信号と負の極性を有するデータ信号の両方を出力することができるよう構成されている。隣接する出力アンプ 38_{2i-1} 、 38_{2i} は、異なる極性のデータ信号を出力する。詳細には、奇数番目の出力アンプ 38_{2i-1} から正の極性のデータ信号を出力し、偶数番目の出力アンプ 38_{2i-1} から負の極性のデータ信号を出力する場合には、極性信号POLが"High"レベルにプルアップされて、(正の極性の階調電圧が供給される)奇数番目のD/Aコンバータ 36_{2i-1} が奇数番目の出力アンプ 38_{2i-1} に接続され、(負の極性の階調電圧が供給される)偶数番目のD/Aコンバータ 36_{2i} が偶数番目の

40

50

出力アンプ 38_{2i} に接続される。一方、奇数番目の出力アンプ 38_{2i-1} から負の極性のデータ信号を出力し、偶数番目の出力アンプ 38_{2i-1} から負の極性のデータ信号を出力する場合には、極性信号 POL が "Low" レベルにプルダウンされて、奇数番目の D/A コンバータ 36_{2i-1} の出力が偶数番目の出力アンプ 38_{2i} に接続され、(負の極性の階調電圧が供給される) 偶数番目の D/A コンバータ 36_{2i} の出力が奇数番目の出力アンプ 38_{2i-1} に接続される。

【0043】

出力アンプ $38_1 \sim 38_n$ は、オフセットキャンセル制御回路 40 から供給されるオフセットキャンセル制御信号 OCC に応答してオフセットの極性が反転可能であるように構成されている。即ち、出力アンプ $38_1 \sim 38_n$ は、オフセットの極性が反対の 2 つの状態を取り得るように構成されており、そのオフセットの極性は、オフセットキャンセル制御信号 OCC によって決定される。以下では、一方の状態を「状態 A」、他方の状態を「状態 B」と定義し、更に、オフセットキャンセル制御信号 OCC が "High" レベルのとき、出力アンプ $38_1 \sim 38_n$ が「状態 A」に設定され、出力アンプ $38_1 \sim 38_n$ が「状態 B」に設定されるとして説明が行われる。

10

【0044】

図 5 A、図 5 B は、出力アンプ $38_1 \sim 38_n$ の構成の例を示す回路図である。各出力アンプ 38 は、PMOS トランジスタ $MP_1 \sim MP_8$ と、NMOS トランジスタ $MN_1 \sim MN_8$ と、スイッチ $SW_1 \sim SW_3$ と、キャパシタ C_1 、 C_2 と、定電流源 $CCS_1 \sim CCS_3$ とを備えている。PMOS トランジスタ MP_1 、 MP_2 は、入力差動段を構成する PMOS トランジスタ対であり、NMOS トランジスタ MN_1 、 MN_2 は、入力差動段を構成する NMOS トランジスタ対である。PMOS トランジスタ MP_5 、 MP_6 は、能動負荷を構成する PMOS トランジスタ対であり、NMOS トランジスタ MN_5 、 MN_6 は、能動負荷を構成する NMOS トランジスタ対である。PMOS トランジスタ MP_3 、 MP_4 のゲートには、バイアス電圧 BP_2 が供給され、PMOS トランジスタ MP_7 のゲートには、バイアス電圧 BP_1 が供給されている。更に、NMOS トランジスタ MN_3 、 MN_4 のゲートには、バイアス電圧 BN_2 が供給され、NMOS トランジスタ MN_7 のゲートには、バイアス電圧 BN_1 が供給されている。

20

【0045】

このような構成の出力アンプ 38 では、オフセット電圧の発生は、主として、(1) 入力差動段を構成するトランジスタ対 (PMOS トランジスタ MP_1 、 MP_2 及び NMOS トランジスタ MN_1 、 MN_2) の閾値電圧のバラツキ、及び (2) 能動負荷を構成するトランジスタ対 (PMOS トランジスタ MP_5 、 MP_6 及び NMOS トランジスタ MN_5 、 MN_6) の閾値電圧のバラツキに起因する。

30

【0046】

図 5 A、図 5 B の出力アンプ 38 は、スイッチ $SW_1 \sim SW_3$ によって入力差動段及び能動負荷を構成するトランジスタ対の接続関係を切り換えることにより、オフセット電圧の極性を反転させることができる。オフセット電圧の極性の反転は、スイッチ $SW_1 \sim SW_3$ をオフセットキャンセル制御信号 OCC に応答して動作させることによって行われる。スイッチ $SW_1 \sim SW_3$ は、全て連動して動作することに留意されたい。図 5 A には、オフセットキャンセル制御信号 OCC が "High" レベルである場合のスイッチ $SW_1 \sim SW_3$ における接続関係が図示され、図 5 B には、オフセットキャンセル制御信号 OCC が "Low" レベルである場合の、スイッチ $SW_1 \sim SW_3$ における接続関係が図示されている。

40

【0047】

図 5 A を参照して、オフセットキャンセル制御信号 OCC が "High" レベルである場合、スイッチ $SW_1 \sim SW_3$ は、下記のように動作する：スイッチ SW_1 は、入力端子 IN^+ を PMOS トランジスタ MP_1 及び NMOS トランジスタ MN_1 のゲートに接続し、出力端子 V_{OUTk} を PMOS トランジスタ MN_2 及び NMOS トランジスタ MN_2 のゲートに接続する。スイッチ SW_2 は、PMOS トランジスタ MP_5 のドレインを PMO

50

SトランジスタMP3のソースに接続し、PMOSTランジスタMP6のドレインをPMOSTランジスタMP4のソースに接続する。更にスイッチSW3は、NMOSTランジスタMN5のドレインをNMOSTランジスタMN3のソースに接続し、NMOSTランジスタMN6のドレインをNMOSTランジスタMN4のソースに接続する。

【0048】

一方、図5Bを参照して、オフセットキャンセル制御信号OCCが"Low"レベルである場合、スイッチSW1~SW3は、下記のように動作する：スイッチSW1は、入力端子IN⁺をPMOSTランジスタMP2及びNMOSTランジスタMN2のゲートに接続し、出力端子V_{OUTk}をPMOSTランジスタMN1及びNMOSTランジスタMN1のゲートに接続する。スイッチSW2は、PMOSTランジスタMP5のドレインをPMOSTランジスタMP4のソースに接続し、PMOSTランジスタMP6のドレインをPMOSTランジスタMP3のソースに接続する。更にスイッチSW3は、NMOSTランジスタMN5のドレインをNMOSTランジスタMN4のソースに接続し、NMOSTランジスタMN6のドレインをNMOSTランジスタMN3のソースに接続する。

10

【0049】

このような動作により、出力アンプ38は、オフセットキャンセル制御信号OCCに応じて下記のような出力電圧V_oを出力する。

$$V_o = V_{IN} \pm V_{os}$$

ここで、V_{IN}は、出力アンプ38に入力される階調電圧であり、V_{os}は、オフセット電圧である。複号「±」は、オフセットキャンセル制御信号OCCが"High"レベルであるか、"Low"レベルに依存してオフセット電圧の極性が切り換えられることを示している。加えて、出力アンプ38の入力に供給される階調電圧V_{IN}は、正の極性を有する場合と、負の極性を有する場合があるから、結果として、各出力アンプ38は、図1に示されているような4種類のデータ信号を出力することになる。

20

【0050】

図4に戻り、階調電圧生成回路39は、階調電源5から階調電源電圧V_{STD1}~V_{STD9}を受け取って正の極性の階調電圧V₀₊~V₆₃₊と負の極性の階調電圧V₀₋~V₆₃₋を生成する。上述のように、正の極性の階調電圧V₀₊~V₆₃₊は、奇数番目のD/Aコンバータ36_{2i-1}に供給され、負の極性の階調電圧V₀₋~V₆₃₋は、偶数番目のD/Aコンバータ36_{2i}に供給される。

30

【0051】

オフセットキャンセル制御回路40は、オフセットキャンセル制御信号OCCを生成して各出力アンプ38のそれぞれに供給する。オフセットキャンセル制御回路40には、オフセットキャンセルイネーブル信号OFFSTOPと、パターン選択信号PSELと、ゲートスタートパルス信号GSPと、ストロブ信号STBとが供給されており、オフセットキャンセル制御回路40は、これらの信号からオフセットキャンセル制御信号OCCを生成する。

【0052】

オフセットキャンセルイネーブル信号OFFSTOPは、オフセット電圧の極性を反転する制御を行うことを禁止する信号である。オフセット電圧の極性を反転する制御は、オフセットキャンセルイネーブル信号OFFSTOPが"Low"レベルである場合にのみ行われる。オフセットキャンセルイネーブル信号OFFSTOPが"High"レベルの場合には、オフセットキャンセル制御信号OCCは固定され、オフセット電圧の極性は反転されない。

40

【0053】

ゲートスタートパルス信号GSPが各フレーム期間の開始を指示することを利用して、ゲートスタートパルス信号GSPは、所定数のフレーム期間毎にオフセットキャンセル制御信号OCCを反転させる、言い換えればオフセット電圧の極性を反転させるために使用される。上述のように、ゲートスタートパルス信号GSPの活性化は、各フレーム期間が開始されたことを示していることに留意されたい。本実施形態では、ゲートスタートパル

50

ス信号 G S P を 1 / 4 分周した信号を生成し、その 1 / 4 分周した信号からオフセットキャンセル制御信号 O C C を生成する。これにより、2 フレーム期間毎にオフセットキャンセル制御信号 O C C が反転される。

【 0 0 5 4 】

同様に、ストローク信号 S T B が各水平期間の開始を指示することを利用して、ストローク信号 S T B は、所望の水平期間毎にオフセットキャンセル制御信号 O C C を反転させる、言い換えればオフセット電圧の極性を反転させるために使用される。上述のように、ストローク信号 S T B の活性化は、各水平期間が開始されたことを示していることに留意されたい。本実施形態では、ストローク信号 S T B 信号を 1 / 2 分周した信号、及び 1 / 4 分周した信号が生成され、その 1 / 2 分周した信号又は 1 / 4 分周した信号のいずれか一方からオフセットキャンセル制御信号 O C C が生成される。これにより、(オフセットキャンセルイネーブル信号 O F S T O P が " L o w " レベルである場合に) 1 水平期間毎、又は 2 水平期間毎にオフセットキャンセル制御信号 O C C が反転される。

10

【 0 0 5 5 】

パターン選択信号 P S E L は、オフセット電圧の極性を反転させる周期を指定する信号である。オフセット電圧の極性を 2 水平期間毎に反転させる場合、パターン選択信号 P S E L が " L o w " に設定される。オフセットキャンセル制御回路 4 0 は、パターン選択信号 P S E L が " L o w " に設定されたことに応答してオフセットキャンセル制御信号 O C C を 2 水平期間毎に反転させる。一方、オフセット電圧の極性を 1 水平期間毎に反転させる場合、パターン選択信号 P S E L が " H i g h " に設定される。オフセットキャンセル制御回路 4 0 は、パターン選択信号 P S E L が " H i g h " に設定されたことに応答してオフセットキャンセル制御信号 O C C を 1 水平期間毎に反転させる。

20

【 0 0 5 6 】

図 6 は、オフセットキャンセル制御回路 4 0 の構成の例を示す回路図である。オフセットキャンセル制御回路 4 0 は、インバータ 4 1、4 2、4 5、4 8、5 2、5 3、5 6、5 7、5 8 と、1 / 2 分周回路 4 3、4 4、4 9、5 0 と、スイッチ 4 6、5 1 と、N A N D ゲート 4 7、5 5 と、N O R ゲート 5 4 とを備えている。本実施形態では、1 / 2 分周回路 4 3、4 4、4 9、5 0 がフリップフロップによって構成されている。図 6 において、符号「 P O R 」は、パワーオンリセット信号を表しており、ソースドライバ 3 にパワーオンリセットがかかると、パワーオンリセット信号 P O R は " H i g h " レベルにプルアップされる。

30

【 0 0 5 7 】

1 / 2 分周回路 4 3、4 4 は、ゲートスタートパルス信号 G S P を分周するために使用される。以下では、1 / 2 分周回路 4 3 の出力信号が 1 / 2 分周ゲートスタートパルス信号 H G S P と記載され、1 / 2 分周回路 4 3 の出力信号が 1 / 4 分周ゲートスタートパルス信号 Q G S P と記載されることがある。ここで、1 / 2 分周ゲートスタートパルス信号 H G S P は、ゲートスタートパルス信号 G S P を 1 / 2 分周した信号であり、1 / 4 分周ゲートスタートパルス信号 Q G S P は、ゲートスタートパルス信号 G S P を 1 / 4 分周した信号である。

【 0 0 5 8 】

一方、1 / 2 分周回路 4 9、5 0 は、ストローク信号 S T B を分周するために使用される。以下では、1 / 2 分周回路 4 9 の出力信号が 1 / 2 分周ストローク信号 H S T B と記載され、1 / 2 分周回路 4 3 の出力信号が 1 / 4 分周ストローク信号 Q S T B と記載されることがある。ここで、1 / 2 分周ストローク信号 H S T B は、ストローク信号 S T B を 1 / 2 分周した信号であり、1 / 4 分周ストローク信号 Q S T B は、ストローク信号 S T B を 1 / 4 分周した信号である。

40

【 0 0 5 9 】

スイッチ 5 1 は、1 / 2 分周ストローク信号 H S T B と 1 / 4 分周ストローク信号 Q S T B のいずれをオフセットキャンセル制御信号 O C C の生成に使用するかを選択する機能を有する。スイッチ 5 1 は、パターン選択信号 P S E L が " L o w " レベルであるとき、

50

1 / 4 分周ストローク信号 Q S T B を選択し、パターン選択信号 P S E L が " H i g h " レベルであるとき、1 / 2 分周ストローク信号 H S T B を選択する。スイッチ 5 1 によって選択された信号は、直列に接続されたインバータ 5 2、5 3 に供給される。

【 0 0 6 0 】

スイッチ 4 6 は、インバータ 5 2、5 3 の出力信号にตอบสนองして、オフセットキャンセル制御信号 O C C を反転させる役割を有する。詳細には、スイッチ 4 6 は、インバータ 5 2 の出力信号が " H i g h " レベルであるときには、インバータ 4 5 の出力信号（即ち、1 / 4 分周ストローク信号 Q S T B の反転信号）をオフセットキャンセル制御信号 O C C として選択する。一方、インバータ 5 3 の出力信号が " H i g h " レベルであるときには、スイッチ 4 6 は、1 / 4 分周ストローク信号 Q S T B をオフセットキャンセル制御信号 O C C として選択する。インバータ 5 2、5 3 の出力信号は、1 / 4 分周ストローク信号 Q S T B、又は 1 / 2 分周ストローク信号 H S T B に同期して反転されるから、結果として、オフセットキャンセル制御信号 O C C は、1 / 4 分周ストローク信号 Q S T B、又は 1 / 2 分周ストローク信号 H S T B に同期して反転されることになる。

10

【 0 0 6 1 】

図 6 のオフセットキャンセル制御回路 4 0 の動作は、概略的には下記のとおりである。オフセットキャンセルイネーブル信号 O F S T O P が " H i g h " レベルであると、1 / 2 分周回路 4 3、4 4、4 9、5 0 を構成するフリップフロップのリセット端子は、" L o w " レベルに設定され、これにより、1 / 2 分周回路 4 3、4 4、4 9、5 0 はリセット状態に維持される。従って、オフセットキャンセルイネーブル信号 O F S T O P が " H i g h " レベルであると、オフセットキャンセル制御信号 O C C は固定される。

20

【 0 0 6 2 】

オフセットキャンセルイネーブル信号 O F S T O P が " L o w " レベルであると、1 / 4 分周ゲートスタートパルス信号 Q G S P が 2 フレーム期間毎に反転され、1 / 4 分周ストローク信号 Q S T B が 2 水平期間毎に反転され、1 / 2 分周ストローク信号 H S T B が 1 水平期間毎に反転される。パターン選択信号 P S E L が " L o w " レベルである場合、1 / 4 分周ストローク信号 Q S T B が選択されるため、結果として、オフセットキャンセル制御信号 O C C は、2 フレーム期間毎に、且つ、2 水平期間毎に反転されることになる。一方、パターン選択信号 P S E L が " H i g h " レベルであるとき、1 / 2 分周ストローク信号 H S T B が選択され、結果として、オフセットキャンセル制御信号 O C C は、2 フレーム期間毎に、且つ、1 水平期間毎に反転されることになる。

30

【 0 0 6 3 】

一実施形態では、オフセットキャンセル制御回路 4 0 を制御するパターン選択信号 P S E L は、ソースドライバ 3 の外部から供給される。パターン選択信号 P S E L は、L C D コントローラ 2 から供給されることが可能である。その代わりに、ソースドライバ 3 にパターン選択信号 P S E L を供給するためのボンディングパッドが設けられ、そのボンディングパッドが、オフセットキャンセル制御信号 O C C を反転させる周期に応じて外部配線によって " H i g h " レベル又は " L o w " レベルに固定されてもよい。他の実施形態では、L C D コントローラ 2 からソースドライバ 3 にパターン選択信号 P S E L の値を指定する制御データが与えられ、ソースドライバ 3 に用意されたレジスタに、その制御データが格納されてもよい。この場合、パターン選択信号 P S E L は、該レジスタに格納された制御データから生成される。

40

【 0 0 6 4 】

続いて、本実施形態のソースドライバ 3 の動作について説明する。

本実施形態のソースドライバ 3 によって L C D パネル 1 を駆動する場合、ソースドライバ 3 には、パターン選択信号 P S E L によって、オフセットキャンセル制御信号 O C C を反転する周期（即ち、出力アンプ 3 8 のオフセット電圧の極性を反転する周期）が設定される。パターン選択信号 P S E L の値、即ち、出力アンプ 3 8 のオフセット電圧の極性を反転する周期は、データ信号の極性が反転される周期に応じて決定される。

【 0 0 6 5 】

50

より具体的には、LCDパネル1を1H反転駆動で駆動する場合、パターン選択信号PSELが"Low"レベルに設定される。パターン選択信号PSELが"Low"レベルに設定されることに応答して、オフセットキャンセル制御回路40は、オフセットキャンセル制御信号OCCを2水平ライン毎に反転する、言い換えれば、出力アンプ38のオフセット電圧の極性を2水平ライン毎に反転する。以下では、パターン選択信号PSELが"Low"レベルに設定される場合のオフセットキャンセル制御回路40の動作を、図7を参照しながら詳細に説明する。図7の動作では、オフセットキャンセルイネーブル信号OFSTOPが"Low"レベルに設定されることに留意されたい。

【0066】

図7に示されているように、ゲートスタートパルス信号GSPは、各フレーム期間の先頭で活性化される。従って、1/4分周ゲートスタートパルス信号QGSPは、2フレーム期間毎に(即ち、4フレーム期間を1周期として)反転される。一方、ストロープ信号STBは、各水平期間の先頭で活性化される。従って、1/4分周ストロープ信号QSTBは、2水平期間毎に(即ち、4水平期間を1周期として)反転され、1/2分周ストロープ信号HSTBは、1水平期間毎に(即ち、2水平期間を1周期として)反転される。

【0067】

パターン選択信号PSELが"Low"レベルであることに応答して、1/4分周ストロープ信号QSTBがスイッチ51によって選択され、1/4分周ゲートスタートパルス信号QGSP及び1/4分周ストロープ信号QSTBがオフセットキャンセル制御信号OCCの生成に使用される。1/4分周ゲートスタートパルス信号QGSPが2フレーム期間毎に反転され、更に、1/4分周ストロープ信号QSTBが2水平期間毎に反転されるから、結果として、オフセットキャンセル制御信号OCCは、2フレーム期間毎に、且つ、2水平期間毎に反転される。より具体的には、オフセットキャンセル制御信号OCCの信号レベルは、下記のように制御される：第1フレーム期間、第2フレーム期間においては、オフセットキャンセル制御信号OCCは、第(4i-3)、第(4i-2)水平ラインでは"High"レベルであり、第(4i-1)、第(4i)水平ラインでは"Low"レベルである。一方、第3フレーム期間、第4フレーム期間においては、オフセットキャンセル制御信号OCCは、第(4i-3)、第(4i-2)水平ラインでは"Low"レベルであり、第(4i-1)、第(4i)水平ラインでは"High"レベルである。これにより、出力アンプ38のオフセット電圧の極性も、2フレーム期間毎に、且つ、2水平期間毎に反転される。

【0068】

図8Aは、LCDパネル1を1H反転駆動で駆動する場合の、各画素13に供給されるデータ信号の種類を示す図である。図2A、図2Bと同様に、図8Aにおいて、記号「A」、「A」、「B」、「B」は、それぞれ下記のような意味で使用されている：

「A」：状態「A」である出力アンプ38から極性が正であるデータ信号が供給された画素(即ち、「種類1」のデータ信号が供給される画素)

「A」：状態「A」である出力アンプ38から極性が負であるデータ信号が供給された画素(即ち、「種類2」のデータ信号が供給される画素)

「B」：状態「B」である出力アンプ38から極性が正であるデータ信号が供給された画素(即ち、「種類3」のデータ信号が供給される画素)

「B」：状態「B」である出力アンプ38から極性が負であるデータ信号が供給された画素(即ち、「種類4」のデータ信号が供給される画素)

【0069】

図8Aに示されているように、1H反転駆動が行われる場合には、各フレーム期間内において、データ信号の極性が1水平ライン毎に反転される一方で、出力アンプ38の状態(即ち、オフセット電圧の極性)は、2水平ライン毎に切り換えられる。このような動作によれば、一の画素の列に、上記の4種類のデータ信号が現れ、4種類のデータ信号が空間的に均等に供給され、画質を有効に向上させることができる。例えば、第1フレーム期間においては、最も左の列の各画素に供給されているデータ信号の種類は、順に、「A

」、**「 A 」、**「 B 」、**「 B ）」**であり、4種類のデータ信号が最も左の画素の列に現れている。、他のフレーム期間、他の画素の列においても同様に、4種類のデータ信号が表れていることは容易に理解されよう。なお、図8Aの動作では、水平方向についてはデータ信号の極性が1画素毎に（即ち、2画素を周期として）反転され、したがって、ドット反転駆動が行われていることに留意されたい。加えて、データ信号の極性は、1フレーム期間毎に反転され、オフセット電圧の極性は、2フレーム期間毎に反転されることに留意されたい。

【0070】

一方、LCDパネル1を2H反転駆動で駆動する場合、パターン選択信号PSELが**” High ”**レベルに設定される。パターン選択信号PSELが**” High ”**レベルに設定されることに応答して、オフセットキャンセル制御回路40は、オフセットキャンセル制御信号OCCを1水平ライン毎に反転する、言い換えれば、出力アンプ38のオフセット電圧の極性を1水平ライン毎に反転する。

10

【0071】

詳細には、図7に示されているように、パターン選択信号PSELが**” High ”**レベルであることに応答して、1/2分周ストロブ信号HSTBがスイッチ51によって選択され、1/4分周ゲートスタートパルス信号QGSP及び1/2分周ストロブ信号HSTBがオフセットキャンセル制御信号OCCの生成に使用される。1/4分周ゲートスタートパルス信号QGSPが2フレーム期間毎に反転され、更に、1/2分周ストロブ信号HSTBが1水平期間毎に反転されるから、結果として、オフセットキャンセル制御信号OCCは、2フレーム期間毎に、且つ、1水平期間毎に反転される。より具体的には、オフセットキャンセル制御信号OCCの信号レベルは、下記のように制御される：第1フレーム期間、第2フレーム期間においては、オフセットキャンセル制御信号OCCは、第(4i-3)、第(4i-1)水平ラインでは**” High ”**レベルであり、第(4i-2)、第(4i)水平ラインでは**” Low ”**レベルである。一方、第3フレーム期間、第4フレーム期間においては、オフセットキャンセル制御信号OCCは、第(4i-3)、第(4i-1)水平ラインでは**” Low ”**レベルであり、第(4i-2)、第(4i)水平ラインでは**” High ”**レベルである。これにより、出力アンプ38のオフセット電圧の極性も、2フレーム期間毎に、且つ、1水平期間毎に反転される。

20

【0072】

図8Bは、LCDパネル1を1H反転駆動で駆動する場合の、各画素13に供給されるデータ信号の種類を示す図である。図8Bにおいても、記号**「 A 」、**「 A 」、**「 B 」、**「 B 」は、図2A、図2B、図8Aと同様の意味で用いられていることに留意されたい。

30

【0073】

図8Bに示されているように、2H反転駆動が行われる場合には、各フレーム期間内において、データ信号の極性が2水平ライン毎に反転され、且つ、出力アンプ38の状態（即ち、オフセット電圧の極性）は、1水平ライン毎に切り換えられる。このような動作によれば、一の画素の列に、上記の4種類のデータ信号が現れ、4種類のデータ信号が空間的に均等に供給され、画質を有効に向上させることができる。例えば、第1フレーム期間においては、最も左の列の各画素に供給されているデータ信号の種類は、順に、**「 A 」、**「 B 」、**「 A 」、**「 B 」であり、4種類のデータ信号が最も左の画素の列に現れている。他のフレーム期間、他の画素の列においても同様に、4種類のデータ信号が表れていることは容易に理解されよう。なお、図8Bの動作では、図8Aと同様に、水平方向についてはデータ信号の極性が1画素毎に（即ち、2画素を周期として）反転され、したがって、ドット反転駆動が行われていることに留意されたい。加えて、データ信号の極性は、1フレーム期間毎に反転され、オフセット電圧の極性は、2フレーム期間毎に反転されることに留意されたい。

40

【0074】

このように、本実施形態では、パターン選択信号PSELによってオフセット電圧の極

50

性が反転される空間的周期を最適に選択することにより、1 H反転駆動と2 H反転駆動のいずれが行われる場合にも、一の画素の列に上記の4種類のデータ信号が現れる。これにより、4種類のデータ信号が空間的に均等に供給され、画質を有効に向上させることができる。

【0075】

上述の実施形態では、パターン選択信号PSEL（又はその値）が外部から供給されているが、パターン選択信号PSELは、極性信号POLに応じてソースドライバ3の内部で自動的に生成することが可能である。極性信号POLは、データ信号の極性を指定する信号であるから、極性信号POLが反転される周期を調べることにより、1 H反転駆動と2 H反転駆動のいずれが行われるのかを検出することができる。

10

【0076】

図9は、1 H反転駆動と2 H反転駆動のいずれが行われるのかを判定し、その結果に応じてパターン選択信号PSELを生成する判定回路の構成の例を示す回路図である。図9の回路は、Dフリップフロップ61、62、64と、XNORゲート63と、ORゲート65とを備えている。図9の回路では、Dフリップフロップ61、62、64のクロック端子にストロブ信号STBが供給され、Dフリップフロップ61、62、64が、各水平期間の先頭において、セットされ、又はリセットされる。加えて、Dフリップフロップ61、62、64のリセット端子にはゲートスタートパルス信号が供給され、Dフリップフロップ61、62、64は、各フレーム期間が開始されるとリセットされる。

20

【0077】

図9の回路では、先の水平期間における極性信号POLの信号レベルと、現在の水平期間における極性信号POLの信号レベルが、XNORゲート63によって比較される。先の水平期間及び現在の水平期間における極性信号POLの信号レベルが一致すると、XNORゲート63の出力が"High"レベルになる。ORゲート65の第1入力、XNORゲート63の出力に直接に接続される一方、第2入力はDフリップフロップ64を介してXNORゲート63の出力に接続されているから、極性信号POLの信号レベルが一致する毎に、ORゲート65の出力は、2水平期間の間、"High"レベルになる。2 H反転駆動では、先の水平期間及び現在の水平期間における極性信号POLの信号レベルは、2水平期間毎に一致するから、結果として、2 H反転駆動が行われる場合には、ORゲート65の出力が"High"レベルに維持される。一方、1 H反転駆動が行われる場合には、先の水平期間及び現在の水平期間における極性信号POLの信号レベルは必ず相違するから、XNORゲート63の出力は"Low"レベルに維持され、ORゲート65の出力も"Low"レベルに維持される。このように、図9の回路では、ORゲート65の出力信号は、1 H反転駆動及び2 H反転駆動のいずれが行われるかを示しており、よって、パターン選択信号PSELとして使用することができる。

30

【0078】

また、図4に示されたソースドライバ3の構成では、D/Aコンバータ36と出力アンプ38の間にクロススイッチ37が介設され、また、出力アンプ38が各出力端子 V_{OUTk} に直接に接続されているが、図10に示されているように、D/Aコンバータ36₁~36_nの出力にそれぞれ出力アンプ38A₁~38A_nが直接に接続され、出力アンプ38A₁~38A_nと出力端子 V_{OUT1} ~ V_{OUTk} の間にクロススイッチ37A₁~37A_nが介設される構成も可能である。この場合、奇数番目の出力アンプ38A_{2i-1}}として正の極性のデータ信号のみを生成するような構成のボルテッジフォロアが使用され、偶数番目の出力アンプ38A_{2i}}として、負の極性のデータ信号のみを生成するような構成のボルテッジフォロアが使用される。この場合も、出力アンプ38A₁~38A_nのオフセット電圧の極性が、オフセットキャンセル制御信号OCCに応答して反転される。

40

【0079】

(第2の実施形態)

図11は、本発明の第2の実施の形態の液晶表示装置の、ソースドライバ3の構成を示

50

すブロック図である。本実施形態では、階調電圧生成回路 39 において階調電圧 $V_{0^+} - V_{63^+}$ 、 $V_{0^-} - V_{63^-}$ の生成に使用されるアンプ（アンプ）のオフセット電圧の極性が反転される。このような動作を行うために、オフセットキャンセル制御信号 O C C が出力アンプ 38 の代わりに階調電圧生成回路 39 に供給されている。

【0080】

図 12 は、階調電圧生成回路 39 の構成を示す回路図である。階調電圧生成回路 39 は、アンプ 71₁ ~ 71₉ と、抵抗ラダー 72 とを備えている。アンプ 71₁ ~ 71₉ は、それぞれ、階調電源電圧 $V_{STD1} \sim V_{STD9}$ を階調電源 5 から受け取ってバイアス電圧 $V_{BIAS1} \sim V_{BIAS9}$ を生成する。アンプ 71₁ ~ 71₉ としては、ボルテッジフォロアが使用され、従って、バイアス電圧 $V_{BIAS1} \sim V_{BIAS9}$ は、それぞれ、（オフセット電圧を除けば）階調電源電圧 $V_{STD1} \sim V_{STD9}$ と同一の電圧レベルを有している。アンプ 71₁ ~ 71₉ の出力は、抵抗ラダー 72 の各入力タップに接続されている。抵抗ラダー 72 は、アンプ 71₁ ~ 71₉ から出力されるバイアス電圧 $V_{BIAS1} \sim V_{BIAS9}$ を抵抗分割することにより、各出力タップから階調電圧 $V_{0^+} - V_{63^+}$ 、 $V_{0^-} - V_{63^-}$ を出力する。

10

【0081】

第 1 の実施形態の出力アンプ 38 と同様に、アンプ 71₁ ~ 71₉ は、オフセットキャンセル制御信号 O C C に応答してオフセット電圧の極性を反転させることができるように構成されている。図 5 A に示されている構成のアンプがアンプ 71₁ ~ 71₉ として使用されることが可能である。

20

【0082】

第 2 の実施形態におけるソースドライバ 3 の動作は、出力アンプ 38 ではなく、アンプ 71₁ ~ 71₉ のオフセット電圧の極性が反転させる点を除けば、第 1 の実施形態と同一である。第 2 の実施形態でも、オフセットキャンセル制御信号 O C C が、パターン選択信号 P S E L に応答して生成されるため、オフセットキャンセル制御信号 O C C をデータ信号が反転される周期に応じた適切な周期で反転することが可能である。具体的には、オフセットキャンセル制御信号 O C C は、1 H 反転駆動が行われる場合には各フレーム期間内において 2 水平ライン毎に反転され、2 H 反転駆動が行われる場合には各フレーム期間内において 1 水平ライン毎に反転される。従って、アンプ 71 のオフセット電圧の極性は、データ信号の極性が反転される周期に応じた適切な周期で反転される。このような動作によれば、アンプ 71₁ ~ 71₉ のオフセット電圧による階調電圧 $V_{0^+} - V_{63^+}$ 、 $V_{0^-} - V_{63^-}$ の所望値からのずれを空間的に平均化させ、画質を有効に向上させることができる。

30

【0083】

なお、本実施形態では、出力アンプ 38 の代わりにアンプ 71 のオフセット電圧の極性のみが反転されているが、オフセットキャンセル制御信号 O C C が出力アンプ 38 とアンプ 71 との両方に供給されることにより、出力アンプ 38 とアンプ 71 の両方のオフセット電圧の極性が反転されることも可能である。

【図面の簡単な説明】

【0084】

40

【図 1】図 1 は、アンプの 4 つの状態を説明する図である。

【図 2 A】図 2 A は、アンプのオフセット電圧の極性が 2 水平期間に固定されているときに 1 H 反転駆動が行われた場合における、各画素に供給されるデータ信号の種類を示す表である。

【図 2 B】図 2 B は、アンプのオフセット電圧の極性が 2 水平期間に固定されているときに 1 H 反転駆動が行われた場合における、各画素に供給されるデータ信号の種類を示す表である。

【図 3】図 3 は、本発明の第 1 の実施形態における液晶表示装置の構成を示すブロック図である。

【図 4】図 4 は、第 1 の実施形態におけるソースドライバの構成を示すブロック図である

50

。

【図 5 A】図 5 A は、第 1 の実施形態における出力アンプの構成の例を示す回路図であり、出力アンプが「状態 A」に設定されたときにおける回路素子の接続関係を示している。

【図 5 B】図 5 B は、第 1 の実施形態における出力アンプの構成の例を示す回路図であり、出力アンプが「状態 B」に設定されたときにおける回路素子の接続関係を示している。

【図 6】図 6 は、第 1 の実施形態におけるオフセットキャンセル制御回路の構成の例を示す回路図である。

【図 7】図 7 は、第 1 の実施形態におけるオフセットキャンセル制御回路の動作を示すタイミングチャートである。

【図 8 A】図 8 A は、オフセットキャンセル制御信号が図 7 のように生成され、且つ、1 H 反転駆動が行われる場合の、各画素に供給されるデータ信号の種類を示す図である。

【図 8 B】図 8 B は、それぞれ、オフセットキャンセル制御信号が図 7 のように生成され、且つ、2 H 反転駆動が行われる場合の、各画素に供給されるデータ信号の種類を示す図である。

【図 9】図 9 は、パターン選択信号を自動的に生成する判定回路の構成の例を示す回路図である。

【図 10】図 10 は、第 1 の実施形態における、ソースドライバの他の構成を示すブロック図である。

【図 11】図 11 は、第 2 の実施形態におけるソースドライバの構成を示すブロック図である。

【図 12】図 12 は、第 2 の実施形態のソースドライバの搭載される階調電圧生成回路の構成を示すブロック図である。

【符号の説明】

【0085】

1 : LCD パネル

2 : LCD コントローラ

3、3k : ソースドライバ

4 : ゲートドライバ

5 : 階調電源

10 : 液晶表示装置

11 : データ線

12、12i : ゲート線

13 : 画素

31 : シフトレジスタ

32 : レジスタ

33 : ラッチ回路

34 : クロススイッチ

35 : レベルシフタ

36 : D/A コンバータ

37、37A : クロススイッチ

38、38A : 出力アンプ

39 : 階調電圧生成回路

40 : オフセットキャンセル制御回路

41、42、45、48、52、53、56、57、58 : インバータ

43、44、49、50 : 1/2 分周回路

46、51 : スイッチ

47、55 : NAND ゲート

54 : NOR ゲート

61、62、64 : D フリップフロップ

63 : XNOR ゲート

10

20

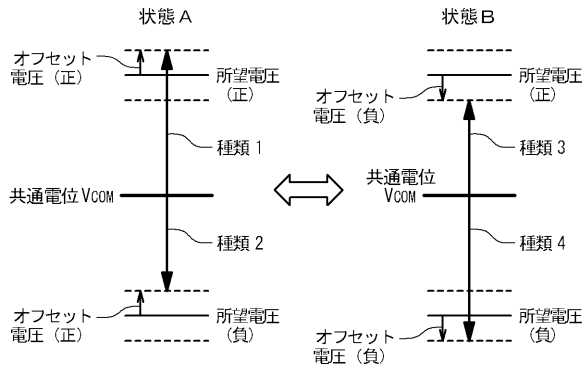
30

40

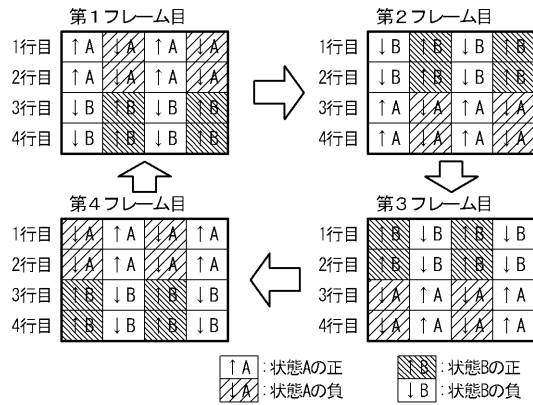
50

- 65 : ORゲート
- STB : ストローブ信号
- HSTB : 1/2分周ストローブ信号
- QSTB : 1/4分周ストローブ信号
- GSP : ゲートスタートパルス信号
- HGSP : 1/2分周ゲートスタートパルス信号
- QGSP : 1/4分周ゲートスタートパルス信号
- PSEL : パターン選択信号
- OCC : オフセットキャンセル制御信号
- POL : 極性信号
- OFSTOP : オフセットキャンセルイネーブル信号
- SW1、SW2、SW3 : スイッチ

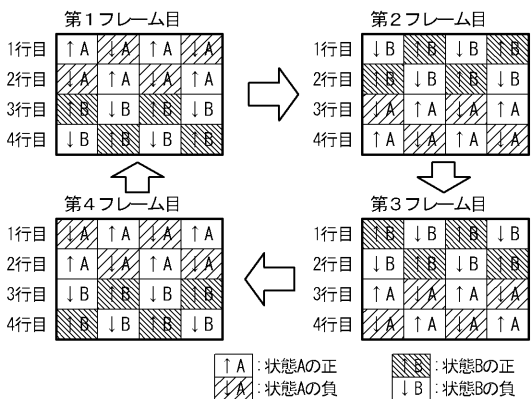
【 図 1 】



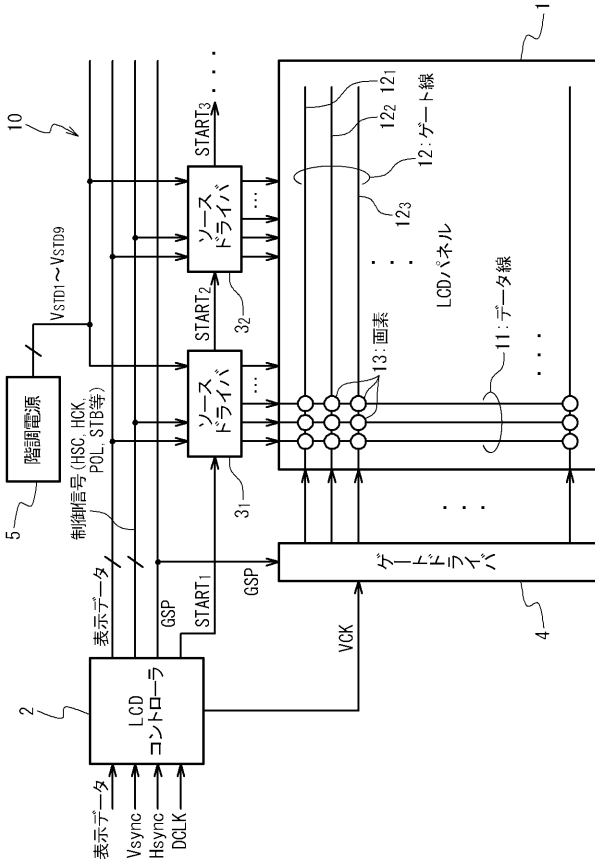
【 図 2 B 】



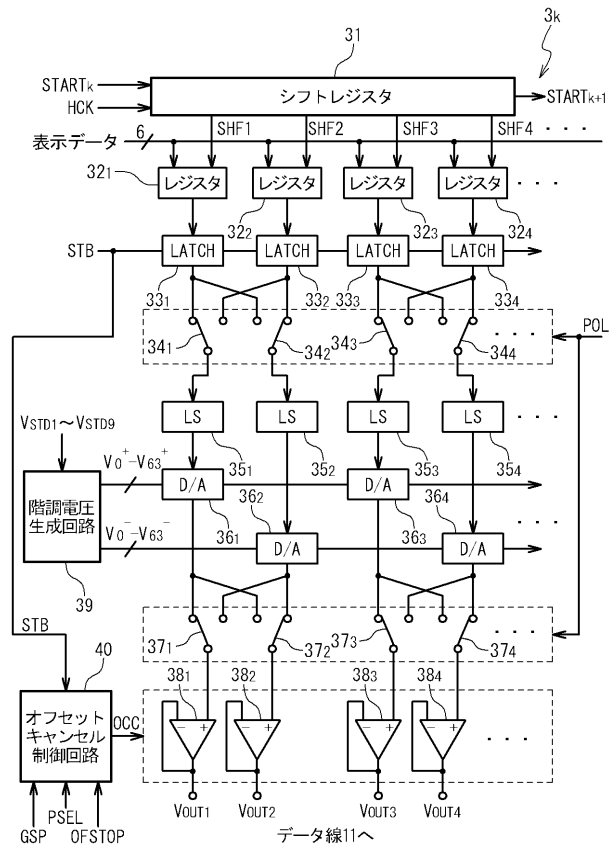
【 図 2 A 】



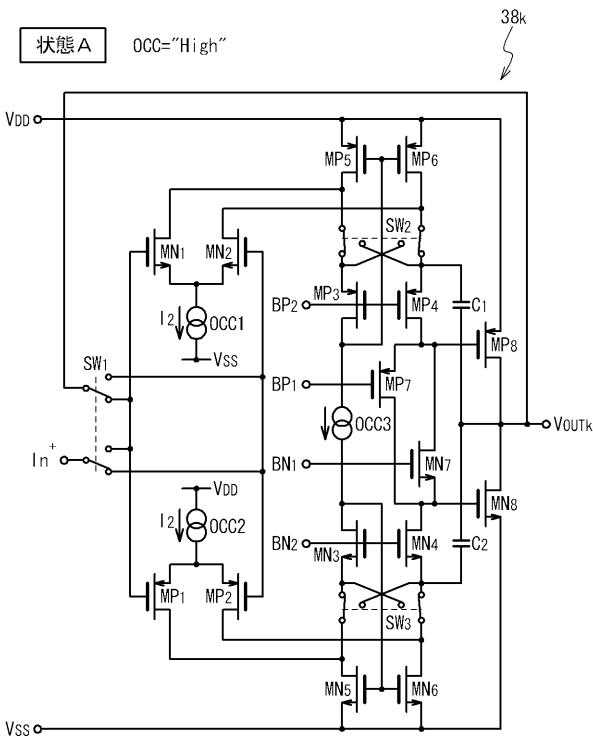
【 図 3 】



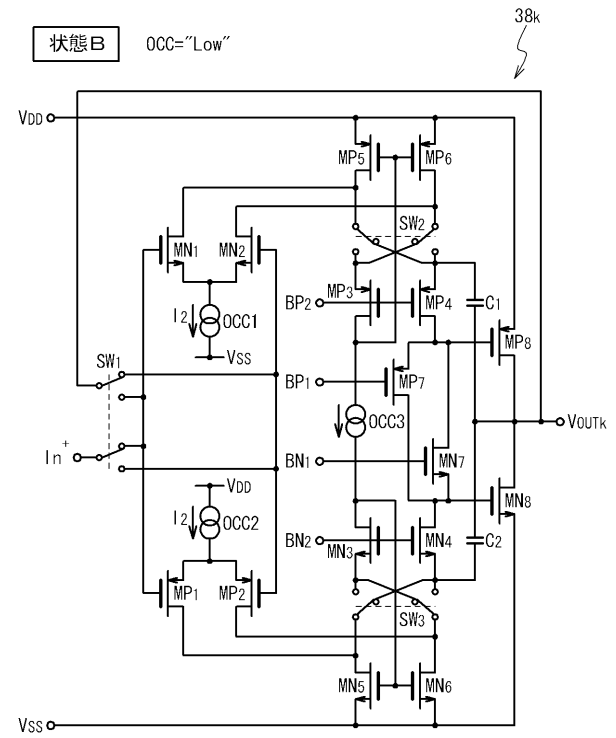
【 図 4 】



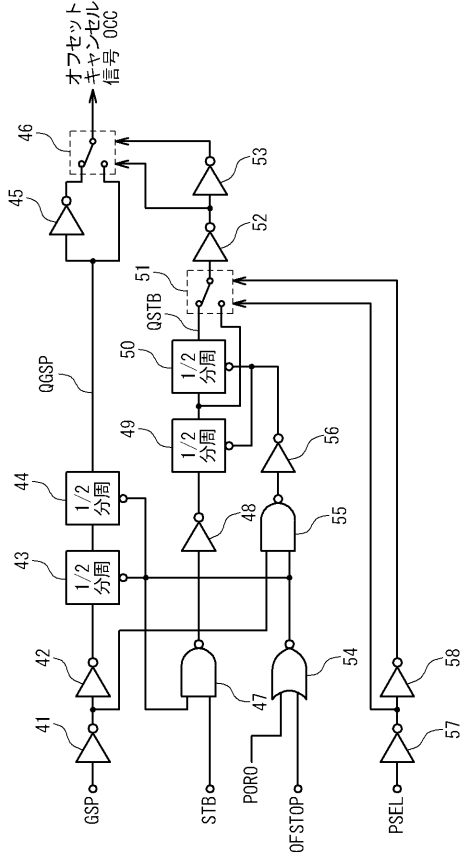
【 図 5 A 】



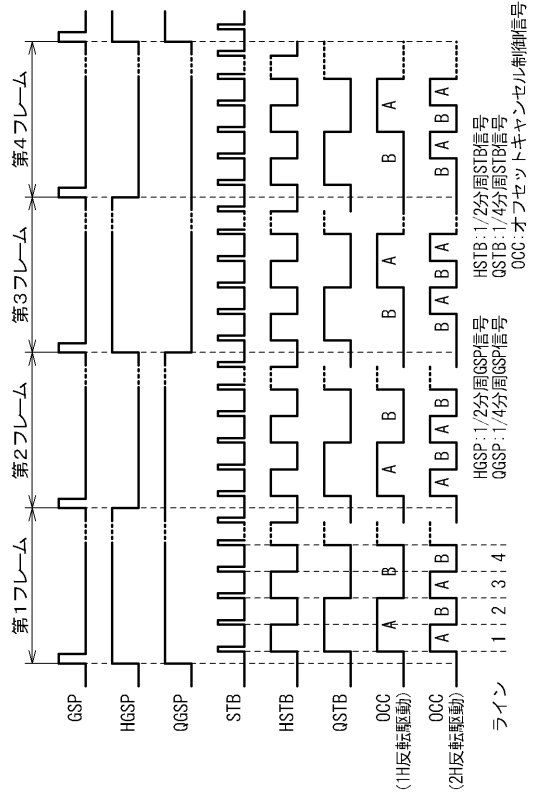
【 図 5 B 】



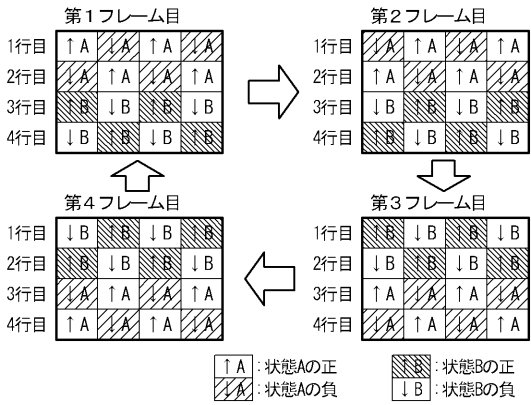
【 図 6 】



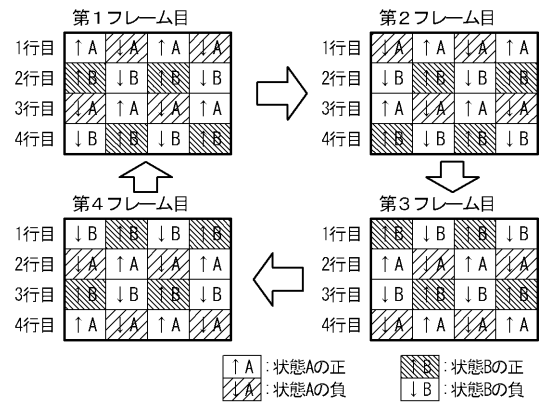
【 図 7 】



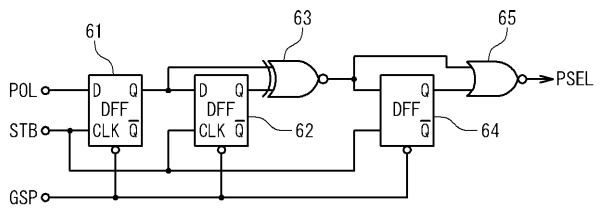
【 図 8 A 】



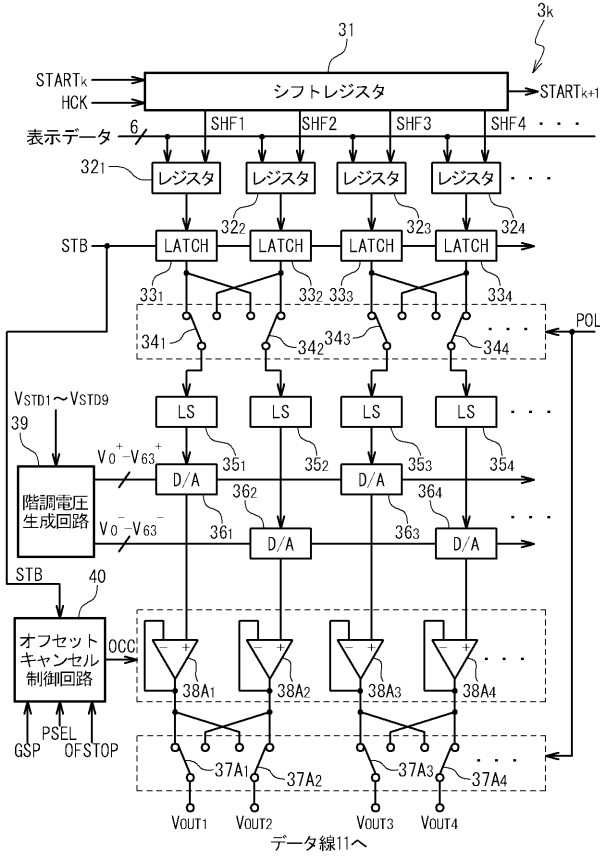
【 図 8 B 】



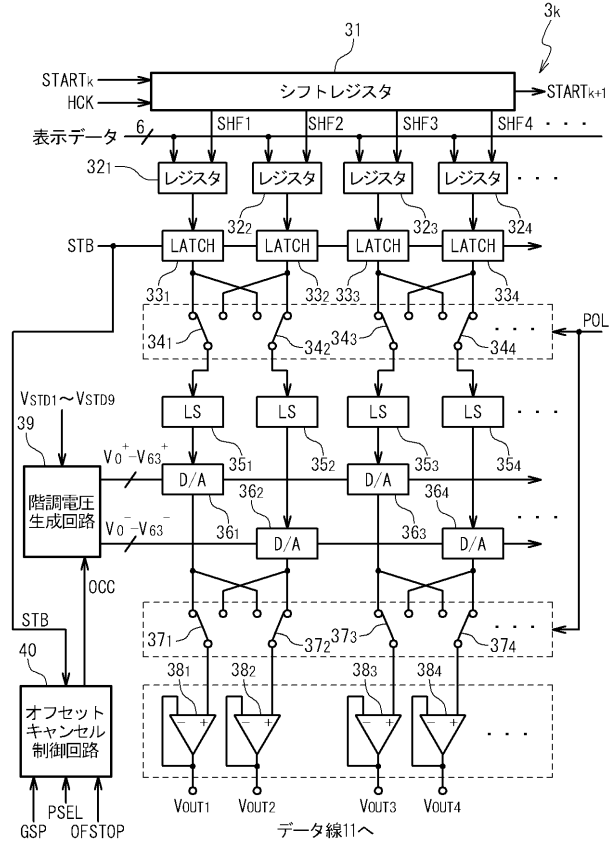
【 図 9 】



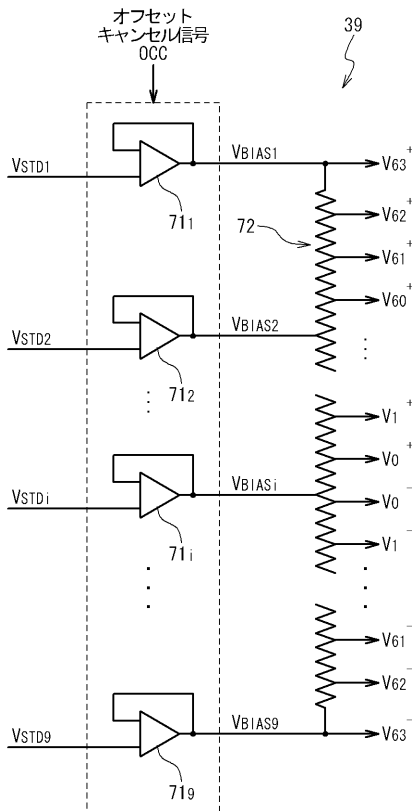
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

| | | |
|---------|-------|---------|
| G 0 9 G | 3/20 | 6 1 2 F |
| G 0 9 G | 3/20 | 6 1 2 J |
| G 0 9 G | 3/20 | 6 1 1 H |
| G 0 9 G | 3/20 | 6 4 2 A |
| G 0 9 G | 3/20 | 6 2 1 A |
| G 0 2 F | 1/133 | 5 0 5 |
| G 0 2 F | 1/133 | 5 7 5 |

Fターム(参考) 5C080 AA10 BB05 DD05 EE28 FF12 JJ01 JJ02 JJ03 JJ04

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶显示装置，源极驱动器和液晶显示面板的驱动方法 | | |
| 公开(公告)号 | JP2008185915A | 公开(公告)日 | 2008-08-14 |
| 申请号 | JP2007021110 | 申请日 | 2007-01-31 |
| [标]申请(专利权)人(译) | NEC电子股份有限公司 | | |
| 申请(专利权)人(译) | NEC电子公司 | | |
| [标]发明人 | 西村浩一 | | |
| 发明人 | 西村 浩一 | | |
| IPC分类号 | G09G3/36 G09G3/20 G02F1/133 | | |
| CPC分类号 | G09G3/3688 G09G2310/027 G09G2320/0233 | | |
| FI分类号 | G09G3/36 G09G3/20.623.B G09G3/20.623.C G09G3/20.621.B G09G3/20.623.F G09G3/20.612.F G09G3/20.612.J G09G3/20.611.H G09G3/20.642.A G09G3/20.621.A G02F1/133.505 G02F1/133.575 | | |
| F-TERM分类号 | 2H093/NA16 2H093/NA32 2H093/NA43 2H093/NA53 2H093/NC13 2H093/NC22 2H093/NC24 2H093/ND12 2H093/ND15 2H093/ND37 2H093/ND60 5C006/AC21 5C006/AC27 5C006/AC28 5C006/AF43 5C006/AF44 5C006/AF71 5C006/AF83 5C006/BB12 5C006/BC12 5C006/BC23 5C006/BF24 5C006/BF25 5C006/BF43 5C006/FA01 5C006/FA16 5C006/FA20 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZC02 2H193/ZD23 | | |
| 代理人(译) | 工藤稔 | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：根据其中数据信号的极性被反转的空间周期，提供能够控制偏移电压的极性被反转的空间周期的源极驱动器。解决方案：本发明的液晶显示装置配备有具有数据线11的LCD面板1，以及向数据线11提供数据信号的源极驱动器3。源极驱动器3包括偏移消除控制电路40，用于产生数据信号的偏移消除控制信号OCC和放大器38，被配置为响应于偏移消除控制信号OCC和反转偏移电压的极性。偏移消除控制电路40接收规定放大器38的偏移电压的极性的反转周期的模式选择信号PSEL，响应模式选择信号PSEL并产生偏移消除控制信号。Z

