

【特許請求の範囲】

【請求項 1】

ITO からなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記画素電極に接続されて形成された Al より酸化還元電位が高い保護金属膜とその上に形成された Al 系金属膜とにより少なくとも前記薄膜トランジスタのソース電極を形成し、前記画素電極の平面の面積を S_1 とし、前記保護金属膜の周囲面の面積を S_2 としたとき、 S_1 / S_2 の値が 15000 程度以下となるようにしたことを特徴とするアクティブ型液晶表示パネル。

【請求項 2】

請求項 1 に記載の発明において、前記 S_1 / S_2 の値が 7000 程度以下となるようにしたことを特徴とするアクティブ型液晶表示パネル。

10

【請求項 3】

ITO からなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記薄膜トランジスタは半導体膜と該半導体膜に接続されたソース電極およびドレイン電極を有し、前記ソース電極は前記画素電極上に形成された Al より酸化還元電位が高い保護金属膜とその上に形成された Al 系金属膜を有し且つ前記画素電極上に接続された部分が前記半導体膜に接続された部分よりも幅広く形成されていることを特徴とするアクティブ型液晶表示パネル。

【請求項 4】

請求項 1～3 のいずれかに記載の発明において、前記ソース電極は前記画素電極の前記薄膜トランジスタ側の一辺に沿って延出されていることを特徴とするアクティブ型液晶表示パネル。

20

【請求項 5】

請求項 1 または 2 に記載の発明において、前記画素電極に接続されて形成された Al より酸化還元電位が高い保護金属膜とその上に形成された Al 系金属膜とにより、前記薄膜トランジスタのソース電極と該ソース電極とは分離されたダミーソース電極とを形成したことを特徴とするアクティブ型液晶表示パネル。

【請求項 6】

ITO からなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記画素電極に接続されて形成された Al より酸化還元電位が高い保護金属膜とその上に形成された Al 系金属膜とからなる前記薄膜トランジスタのソース電極と、該ソース電極とは分離され、前記画素電極に接続されて形成された Al より酸化還元電位が高い保護金属膜とその上に形成された Al 系金属膜とからなるダミーソース電極とを備えていることを特徴とするアクティブ型液晶表示パネル。

30

【請求項 7】

請求項 5 または 6 に記載の発明において、前記ダミーソース電極は前記画素電極の前記薄膜トランジスタ側の一辺に沿って設けられていることを特徴とするアクティブ型液晶表示パネル。

【請求項 8】

請求項 5 または 6 に記載の発明において、前記ダミーソース電極は前記画素電極の前記薄膜トランジスタ側とは反対側の一辺に沿って設けられていることを特徴とするアクティブ型液晶表示パネル。

40

【請求項 9】

請求項 8 に記載の発明において、前記画素電極の前記薄膜トランジスタ側とは反対側の一辺下に補助容量電極が設けられていることを特徴とするアクティブ型液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

この発明はアクティブ型液晶表示パネルに関する。

【背景技術】

50

【 0 0 0 2 】

図 5 は従来のアクティブ型液晶表示パネルの一例の一部（一画素領域分）の平面図を示し、図 6 はその X - X 線に沿う要部断面図（液晶および対向電極基板は省略）を示したものである。この液晶表示パネルを製造する場合には、まず、図 7 に示すように、ガラス基板 1 の上面の所定の箇所に Al または Al 合金からなるゲート電極 2、ゲートライン（走査線）3（図 5 参照）および補助容量電極 4（図 5 参照）を形成し、その上面全体に窒化シリコンからなるゲート絶縁膜 5 を成膜する。次に、ゲート絶縁膜 5 の上面のデバイスエリアに真性アモルファスシリコンからなる半導体膜 6 を形成し、半導体膜 6 の上面の所定の箇所に窒化シリコンからなるチャネル保護膜 7 を形成し、チャネル保護膜 7 の上面両側およびその両側における半導体膜 6 の上面に N 型アモルファスシリコンからなる N 型半導体膜 8 D、8 S を形成する。次に、ゲート絶縁膜 5 および N 型半導体膜 8 S の上面の所定の箇所に ITO（インジウム - 錫酸化物）からなる画素電極 9 を形成する。

10

【 0 0 0 3 】

次に、上面全体に Cr 膜 11、Al または Al 合金からなる Al 系金属膜 12 および保護用 Cr 膜 13 を連続して成膜する。次に、保護用 Cr 膜 13 の上面の所定の箇所に、ドレイン電極、ドレインライン（信号線）およびソース電極を形成するためのレジスト膜 14 を形成する。この場合、保護用 Cr 膜 13 は、レジスト現像時に現像液の作用によって ITO からなる画素電極 9 と Al 系金属膜 12 とが電池反応により腐食しないようにするためのものである。次に、図 8 に示すように、レジスト膜 14 をマスクとしてウェットエッチングを行うことにより、保護用 Cr 膜 13 および Al 系金属膜 12 の不要な部分を除去する。次に、レジスト膜 14 を剥離する。次に、Al 系金属膜 12 をマスクとしてウェットエッチングを行うことにより、Cr 膜 11 の不要な部分を除去するとともに、保護用 Cr 膜 13 を剥離する。

20

【 0 0 0 4 】

すると、図 5 および図 6 に示すように、N 型半導体膜 8 D およびゲート絶縁膜 5 の上面の所定の箇所に Cr 膜 11 D および Al 系金属膜 12 D からなるドレイン電極 15 およびドレインライン 16 が形成される。また、N 型半導体膜 8 S および画素電極 9 の上面の所定の箇所に Cr 膜 11 S および Al 系金属膜 12 S からなるソース電極 17 が形成される。そして、ゲート電極 2、半導体膜 6、N 型半導体膜 8 D、8 S、ドレイン電極 15、ソース電極 17 により、スイッチング素子としての薄膜トランジスタ 18 が構成されている。

30

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

ところで、上記従来の液晶表示パネルの製造方法では、Cr 膜 11 の不要な部分を除去するとともに、保護用 Cr 膜 13 を剥離するとき、ITO からなる画素電極 9 とソース電極 17 形成用の Cr 膜 11 S とが接続されているので、Cr エッチャント中における ITO - Cr 系の電池反応により、図 9 に示すように、ソース電極 17 形成用の Cr 膜 11 S のサイドエッチングが激しく進行してしまう。このような場合には、ソース側におけるコンタクト特性が劣化し、薄膜トランジスタ 18 のオン電流が低下してしまうという問題があった。また、最悪の場合には、ソース電極 17 形成用の Al 系金属膜 12 S が剥がれてしまい、歩留低下の一要因となってしまうという問題があった。この発明の課題は、ソース電極形成用の Cr 膜のサイドエッチング量を低減することである。

40

【 課題を解決するための手段 】

【 0 0 0 6 】

請求項 1 に記載の発明は、ITO からなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記画素電極に接続されて形成された Al より酸化還元電位が高い保護金属膜とその上に形成された Al 系金属膜とにより少なくとも前記薄膜トランジスタのソース電極を形成し、前記画素電極の平面の面積を S_1 とし、前記保護金属膜の周囲面の面積を S_2 としたとき、 S_1 / S_2 の値が 1500

50

0 程度以下となるようにしたことを特徴とするものである。

請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記 S_1 / S_2 の値が 7 0 0 0 程度以下となるようにしたことを特徴とするものである。

請求項 3 に記載の発明は、ITO からなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記薄膜トランジスタは半導体膜と該半導体膜に接続されたソース電極およびドレイン電極を有し、前記ソース電極は前記画素電極上に形成された A 1 より酸化還元電位が高い保護金属膜とその上に形成された A 1 系金属膜を有し且つ前記画素電極上に接続された部分が前記半導体膜に接続された部分よりも幅広く形成されていることを特徴とするものである。

請求項 4 に記載の発明は、請求項 1 ~ 3 のいずれかに記載の発明において、前記ソース電極は前記画素電極の前記薄膜トランジスタ側の一辺に沿って延出されていることを特徴とするものである。

請求項 5 に記載の発明は、請求項 1 または 2 に記載の発明において、前記画素電極に接続されて形成された A 1 より酸化還元電位が高い保護金属膜とその上に形成された A 1 系金属膜とにより、前記薄膜トランジスタのソース電極と該ソース電極とは分離されたダミーソース電極とを形成したことを特徴とするものである。

請求項 6 に記載の発明は、ITO からなる画素電極および該画素電極に接続された薄膜トランジスタを備えたアクティブ型液晶表示パネルにおいて、前記画素電極に接続されて形成された A 1 より酸化還元電位が高い保護金属膜とその上に形成された A 1 系金属膜とからなる前記薄膜トランジスタのソース電極と、該ソース電極とは分離され、前記画素電極に接続されて形成された A 1 より酸化還元電位が高い保護金属膜とその上に形成された A 1 系金属膜とからなるダミーソース電極とを備えていることを特徴とするものである。

請求項 7 に記載の発明は、請求項 5 または 6 に記載の発明において、前記ダミーソース電極は前記画素電極の前記薄膜トランジスタ側の一辺に沿って設けられていることを特徴とするものである。

請求項 8 に記載の発明は、請求項 5 または 6 に記載の発明において、前記ダミーソース電極は前記画素電極の前記薄膜トランジスタ側とは反対側の一辺に沿って設けられていることを特徴とするものである。

請求項 9 に記載の発明は、請求項 8 に記載の発明において、前記画素電極の前記薄膜トランジスタ側とは反対側の一辺下に補助容量電極が設けられていることを特徴とするものである。

そして、この発明によれば、画素電極の平面の面積を S_1 とし、保護金属膜の周囲面の面積を S_2 としたとき、 S_1 / S_2 の値が 1 5 0 0 0 程度以下または 7 0 0 0 程度以下となるようにすると、ソース電極形成用の保護金属膜のエッチングの早さが抑えられ、ひいてはソース電極形成用の保護金属膜のサイドエッチング量を低減することができる。

【発明の効果】

【0007】

以上説明したように、この発明によれば、画素電極の平面の面積を S_1 とし、保護金属膜の周囲面の面積を S_2 としたとき、 S_1 / S_2 の値が 1 5 0 0 0 程度以下または 7 0 0 0 程度以下となるようにすることにより、ソース電極形成用の保護金属膜のサイドエッチング量を低減することができるので、薄膜トランジスタのオン電流が低下しにくいようにすることができ、またソース電極形成用の A 1 系金属膜が剥がれにくいようにすることができ、歩留を向上させることができる。

【発明を実施するための最良の形態】

【0008】

図 1 はこの発明の一実施形態におけるアクティブ型液晶表示パネルの一部の平面図を示したものである。この図において、図 5 と同一名称部分には同一の符号を付し、その説明を適宜省略する。この液晶表示パネルにおいて、図 5 に示す従来の場合と異なる点は、Cr 膜 1 1 S および A 1 系金属膜 1 2 S からなるソース電極 1 7 を、少なくとも、画素電極 9 の図 1 の下辺部のほぼ全体の上面およびその近傍におけるゲート絶縁膜 5 の上面に形成

した点である。

【0009】

すなわち、ソース電極17は、図6に示すように、半導体膜6上にN型半導体膜8Sを介して形成された第1ソース電極部と、図1に示すように、画素電極9上に形成された第2ソース電極部と、画素電極9の図1の下辺部（薄膜トランジスタ18側の一边）に沿ってほぼL字状に形成された第3ソース電極部とからなっている。この場合、第2ソース電極部の図1の左右方向の幅は第1ソース電極部の同方向の幅よりも広がっている。

【0010】

このように、この液晶表示パネルでは、Cr膜11SおよびAl系金属膜12Sからなるソース電極17を、少なくとも、画素電極9の図1の下辺部のほぼ全体の上面およびその近傍におけるゲート絶縁膜5の上面に形成しているので、Cr膜11Sの平面の面積が大きくなり、ひいてはCr膜11Sの周囲面の面積（周囲長×膜厚）も大きくなる。そして、このCr膜11Sの周囲面の面積の増大により、次に説明するように、Cr膜11Sのサイドエッチング量を低減することができる。

【0011】

次に、Cr膜11Sのサイドエッチング量を低減することができる理由について説明する。まず、図8を参照して説明すると、Cr膜11の不要な部分を除去するとともに、保護用Cr膜13を剥離するとき、ITOからなる画素電極9とソース電極17形成用のCr膜11Sとが接続されているので、Cr膜11S側で酸化反応、画素電極9側で還元反応が生じ、Cr膜11S側に負の電位、画素電極9側に正の電位が生じる。そして、この電位により、Cr膜11Sのエッチレートが非常に早くなる。このCr膜11Sのエッチレートの早さは、Cr膜11S側での酸化反応による単位面積当たりの電荷量に依存する。

【0012】

そこで、Cr膜11Sのエッチレートの早さを抑えるには、Cr膜11S側の反応面積を大きくして単位面積当たりの電荷量を減らすことが考えられる。そして、画素電極9の平面の面積を S_1 とし、Cr膜11Sの周囲面の面積を S_2 とし、 S_1/S_2 の値を変えて、Cr膜11Sのサイドエッチング量を調べたところ、図2に示す結果が得られた。ここで、一例として、画素電極9の平面の面積 S_1 を $200\mu\text{m} \times 100\mu\text{m} = 20000\mu\text{m}^2$ とし、Cr膜11Sの周囲面の面積 S_2 を周囲長×膜厚 $= 40\mu\text{m} \times 0.025\mu\text{m} (250) = 1\mu\text{m}^2$ とした場合、 S_1/S_2 の値は20000となる。そして、図2から明らかのように、Cr膜11Sのサイドエッチング量（ μm ）は S_1/S_2 の値が小さくなるほど低減している。

【0013】

一方、薄膜トランジスタ18のチャネル幅が $5\mu\text{m}$ でCr膜11Sのサイドエッチング量が $1.0\mu\text{m}$ であると、オン電流が10%程度低下し、サイドエッチング量が $1.5\mu\text{m}$ であると30%程度以上低下する。したがって、Cr膜11Sのサイドエッチング量は $1.0\mu\text{m}$ 程度以下に抑えることが好ましい。そこで、 S_1/S_2 の値を15000程度とすると、Cr膜11Sのサイドエッチング量を $1.0\mu\text{m}$ 程度に抑えることができる。また、 S_1/S_2 の値を7000程度以下とすると、Cr膜11Sのサイドエッチング量を $0.6\mu\text{m}$ 程度以下に抑えることができる。

【0014】

したがって、上述したように、Cr膜11SおよびAl系金属膜12Sからなるソース電極17を画素電極9の図1の下辺部のほぼ全体の上面およびその近傍におけるゲート絶縁膜5の上面に形成すると、Cr膜11Sの周囲面の面積が大きくなるので、Cr膜11Sのサイドエッチング量を低減することができる。この結果、ソース側におけるコンタクト特性が劣化しにくいようにすることができ、ひいては薄膜トランジスタ18のオン電流が低下しにくいようにすることができる。また、ソース電極17形成用のAl系金属膜12Sが剥がれにくいようにすることができ、歩留を向上させることができる。

【0015】

10

20

30

40

50

なお、Cr膜11Sの平面の面積を大きくして周囲面の面積を大きくすればよいので、平面の面積を大きくするためのCr膜11Sの形成位置は特に限定されないが、上記実施形態のように、画素電極9の図1の下辺部のほぼ全体の上面およびその近傍におけるゲート絶縁膜5の上面に形成すると、開口率が低下しないようにすることができる。

【0016】

また、上記実施形態では、ソース電極17を1つの連続したものとして形成した場合について説明したが、これに限らず、ソース電極とダミーソース電極とに分離して形成するようにしてもよい。例えば、図3に示すこの発明の他の実施形態のように、画素電極9の図3における下辺部の左側の上面およびその近傍にCr膜11SおよびAl系金属膜12SからなるほぼT字状のソース電極17Aを形成し、画素電極9の図3における下辺部の右側の上面にCr膜11SおよびAl系金属膜12Sからなる直線状のダミーソース電極17Bを形成するようにしてもよい。

10

【0017】

また、図4に示すこの発明のさらに他の実施形態のように、画素電極9の図4における下辺部の左側の上面およびその近傍にCr膜11SおよびAl系金属膜12Sからなるソース電極17Aを形成し、画素電極9の図4における上辺部の所定の箇所の上面にCr膜11SおよびAl系金属膜12Sからなるダミーソース電極17Bを形成するようにしてもよい。この場合、ダミーソース電極17Bは、画素電極9の図4における上辺部下に設けられた補助容量電極4上に設けられている。このため、開口率が低下しないようにすることができる。

20

【0018】

なお、限定する訳ではないが、Cr膜とAl系金属膜とにより形成されたソース電極および該ソース電極とは分離されたダミーソース電極は、各画素電極の周辺部を覆って形成される遮光膜下に設けることにより開口部の低減を抑えることができる。また、上記実施形態では、ソース電極およびダミーソース電極をCr膜とAl膜の2層積層構造の場合で説明したが、この発明はCr膜上のAl膜の上にさらにCr膜を形成した3層積層の場合も勿論、4層以上の場合にも適用可能である。また、Cr膜に限らず、Mo、W等のAl膜よりも酸化還元電位が高い金属膜に対してすべて適用することができるものである。

【図面の簡単な説明】

【0019】

30

【図1】この発明の一実施形態におけるアクティブ型液晶表示パネルの一部の平面図。

【図2】Cr膜のサイドエッチング量とCr膜の周囲面の面積および画素電極の平面の面積との関係を説明するために示す図。

【図3】この発明の他の実施形態におけるアクティブ型液晶表示パネルの一部の平面図。

【図4】この発明のさらに他の実施形態におけるアクティブ型液晶表示パネルの一部の平面図。

【図5】従来のアクティブ型液晶表示パネルの一例の一部の平面図。

【図6】図5のX-X線に沿う要部断面図。

【図7】図5および図6に示す液晶表示パネルの製造に際し、所定の工程を示す断面図。

【図8】図7に続く工程を示す断面図。

40

【図9】従来の問題点を説明するために示す断面図。

【符号の説明】

【0020】

9 画素電極

11D、11S Cr膜

12D、12S Al系金属膜

15 ドレイン電極

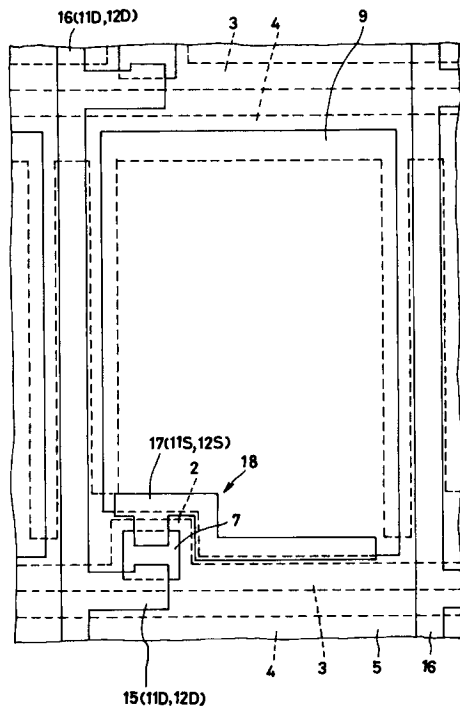
17、17A ソース電極

17B ダミーソース電極

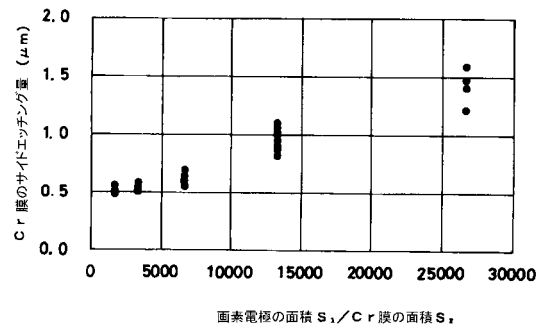
18 薄膜トランジスタ

50

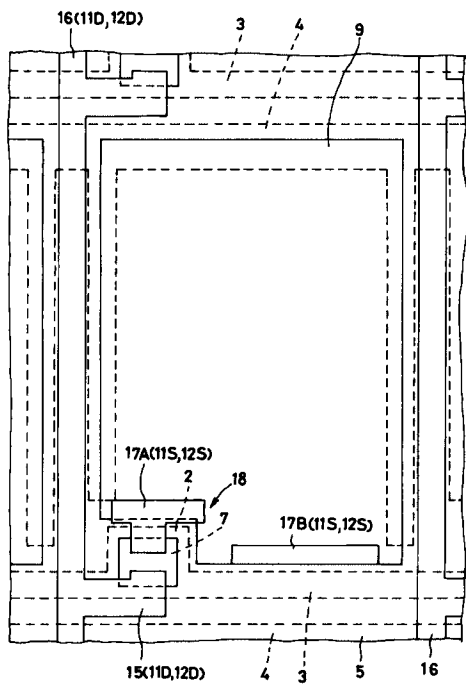
【図 1】



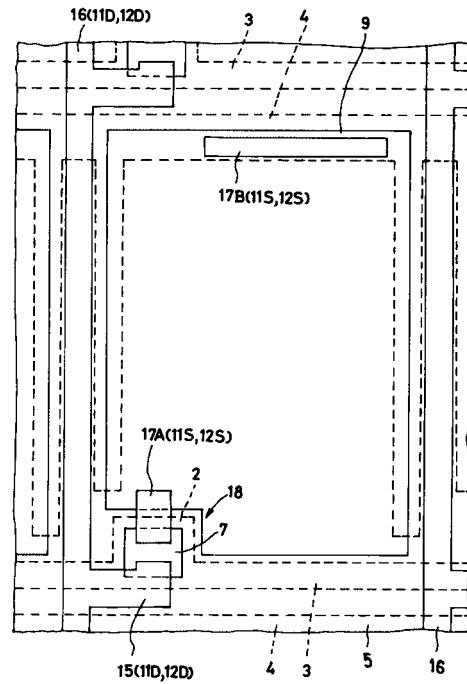
【図 2】



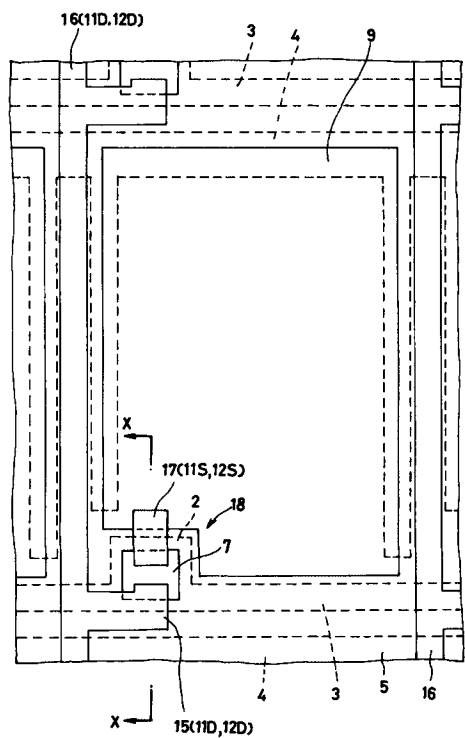
【図 3】



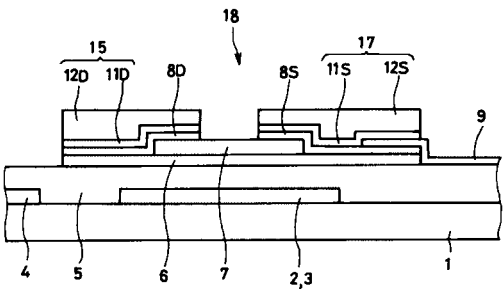
【図 4】



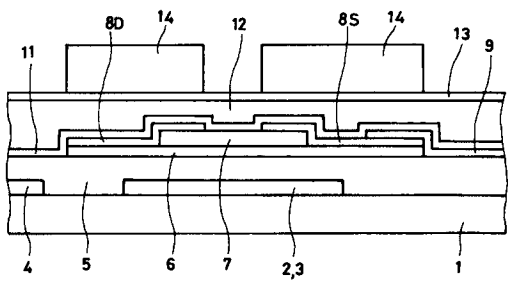
【 図 5 】



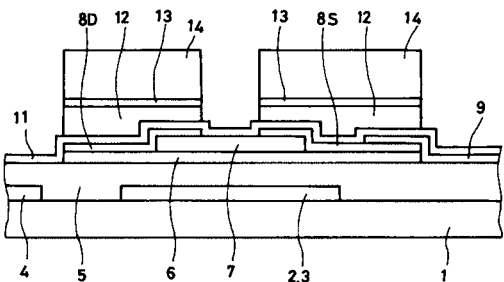
【 図 6 】



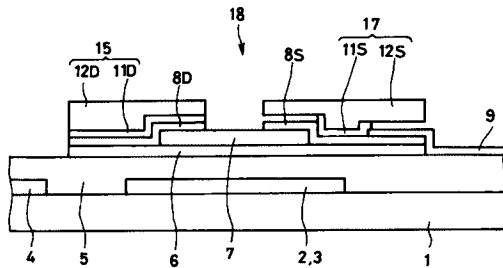
【 図 7 】



【 図 8 】



【図 9】



【手続補正書】

【提出日】平成19年10月10日(2007.10.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ITOからなる画素電極上に、当該画素電極と電氣的に接続されたソース電極が形成されるアクティブ型液晶表示パネルの製造方法であって、

前記ソース電極を形成する際に、

A1より酸化還元電位が高い保護金属膜とA1系金属膜とを、前記保護金属膜、前記A1系金属膜の順に連続成膜する成膜工程と、

前記成膜工程で成膜したA1系金属膜をパターニングする第一のパターニング工程と、前記第一のパターニング工程でパターニングしたA1系金属膜をマスクとして前記保護金属膜をパターニングする第二のパターニング工程と、を含み、

前記画素電極の平面の面積を S_1 とし、前記保護金属膜の膜厚を S_2a とし、前記マスクとしてのA1系金属膜の周囲長を S_2b としたとき、 $S_1 / (S_2a + S_2b)$ の値を1500以下とすることを特徴とするアクティブ型液晶表示パネルの製造方法。

【請求項 2】

前記 $S_1 / (S_2a + S_2b)$ の値を7000以下とすることを特徴とする請求項1に記載のアクティブ型液晶表示パネルの製造方法。

【請求項 3】

前記第二のパターニング工程は、前記保護金属膜のエッジが、前記A1系金属膜のエッ

ジよりも $0.5 \sim 1.0 \mu\text{m}$ だけ後退するように、前記保護金属膜をパターニングすること
を特徴とする請求項 1 または 2 に記載のアクティブ型液晶表示パネルの製造方法。

【請求項 4】

前記保護金属膜が Cr からなることを特徴とする請求項 1 から 3 の何れかに記載のアク
ティブ型液晶表示パネルの製造方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

この発明はアクティブ型液晶表示パネルの製造方法に関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

請求項 1 に記載の発明は、ITO からなる画素電極上に、当該画素電極と電氣的に接続
されたソース電極が形成されるアクティブ型液晶表示パネルの製造方法であって、前記ソ
ース電極を形成する際に、A1 より酸化還元電位が高い保護金属膜と A1 系金属膜とを、
前記保護金属膜、前記 A1 系金属膜の順に連続成膜する成膜工程と、前記成膜工程で成膜
した A1 系金属膜をパターニングする第一のパターニング工程と、前記第一のパターニン
グ工程でパターニングした A1 系金属膜をマスクとして前記保護金属膜をパターニングす
る第二のパターニング工程と、を含み、前記画素電極の平面の面積を S_1 とし、前記保護
金属膜の膜厚を $S_2 a$ とし、前記マスクとしての A1 系金属膜の周囲長を $S_2 b$ としたとき
、 $S_1 / (S_2 a + S_2 b)$ の値を 15000 以下とすることを特徴とするものである。

請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記 $S_1 / (S_2 a + S_2 b)$
の値を 7000 以下とすることを特徴とするものである。

請求項 3 に記載の発明は、請求項 1 または 2 に記載の発明において、前記第二のパター
ニング工程は、前記保護金属膜のエッジが、前記 A1 系金属膜のエッジよりも $0.5 \sim 1$
 $.0 \mu\text{m}$ だけ後退するように、前記保護金属膜をパターニングすること
を特徴とするものである。

請求項 4 に記載の発明は、請求項 1 から 3 の何れかに記載の発明において、前記保護金
属膜が Cr からなることを特徴とするものである。

そして、この発明によれば、ソース電極形成用の保護金属膜のエッチの早さが抑え
られ、ひいてはソース電極形成用の保護金属膜のサイドエッチング量を低減することがで
きる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

この発明によれば、ソース電極形成用の保護金属膜のサイドエッチング量を低減するこ
とができるので、薄膜トランジスタのオン電流が低下しにくいようにすることができる。
また、ソース電極形成用の A1 系金属膜が剥がれにくいようにすることができ、歩留を向
上させることができる。

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/417 (2006.01)	H 0 1 L 29/50 M	
H 0 1 L 21/336 (2006.01)	H 0 1 L 29/78 6 1 2 D	
H 0 1 L 29/786 (2006.01)	H 0 1 L 29/78 6 1 6 S	
G 0 9 F 9/30 (2006.01)	H 0 1 L 29/78 6 1 2 Z	
G 0 2 F 1/1368 (2006.01)	G 0 9 F 9/30 3 3 8	
	G 0 2 F 1/1368	

F ターム(参考)	4M104	AA01	AA08	AA09	BB13	BB16	BB18	CC01	DD64	FF13	GG09
		GG10	GG14	GG20	HH14						
	5C094	AA43	BA03	BA43	DA13	EA04	JA01				
	5F033	GG04	HH08	HH17	HH19	HH20	MM05	QQ08	QQ10	QQ19	VV01
		VV15	WW00	XX13							
	5F110	AA07	AA30	BB01	CC07	EE03	GG29	HK03	HK04	HK08	HK22
		HM04	HM12	HM18	NN72	NN73	QQ05				

专利名称(译)	制造有源型液晶显示板的方法		
公开(公告)号	JP2008070887A	公开(公告)日	2008-03-27
申请号	JP2007249061	申请日	2007-09-26
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	下牧伸一 尾中荣一		
发明人	下牧 伸一 尾中 荣一		
IPC分类号	G02F1/1343 H01L21/3213 H01L21/3205 H01L23/52 H01L21/28 H01L29/417 H01L21/336 H01L29/786 G09F9/30 G02F1/1368		
FI分类号	G02F1/1343 H01L21/88.C H01L21/88.R H01L21/28.E H01L21/28.301.R H01L29/50.M H01L29/78.612.D H01L29/78.616.S H01L29/78.612.Z G09F9/30.338 G02F1/1368		
F-TERM分类号	2H092/GA33 2H092/GA34 2H092/HA04 2H092/JA26 2H092/JA28 2H092/JA32 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB61 2H092/KA18 2H092/KB04 2H092/MA13 2H092/MA18 2H092/NA29 4M104/AA01 4M104/AA08 4M104/AA09 4M104/BB13 4M104/BB16 4M104/BB18 4M104/CC01 4M104/DD64 4M104/FF13 4M104/GG09 4M104/GG10 4M104/GG14 4M104/GG20 4M104/HH14 5C094/AA43 5C094/BA03 5C094/BA43 5C094/DA13 5C094/EA04 5C094/JA01 5F033/GG04 5F033/HH08 5F033/HH17 5F033/HH19 5F033/HH20 5F033/MM05 5F033/QQ08 5F033/QQ10 5F033/QQ19 5F033/VV01 5F033/VV15 5F033/WW00 5F033/XX13 5F110/AA07 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE03 5F110/GG29 5F110/HK03 5F110/HK04 5F110/HK08 5F110/HK22 5F110/HM04 5F110/HM12 5F110/HM18 5F110/NN72 5F110/NN73 5F110/QQ05 2H192/AA24 2H192/BA13 2H192/CB05 2H192/CB71 2H192/CC42 2H192/CC72 2H192/DA12		
优先权	1999332231 1999-11-24 JP		
其他公开文献	JP4609470B2		
外部链接	Espacenet		

摘要(译)

解决的问题：减少用于形成有源型液晶显示面板中的薄膜晶体管的源电极的Cr膜的侧面蚀刻量。包括Cr膜11S和Al基金属膜12S的源电极17形成在图1中的像素电极9的下侧的几乎整个上表面上以及附近的栅极绝缘膜5的上表面上。然后，Cr膜11S的平面的面积增加，并且Cr膜11S的周面的面积（周长×膜厚）也增加。然后，通过增加Cr膜11S的周面的面积，可以减少Cr膜11S的侧面蚀刻量。[选型图]图1

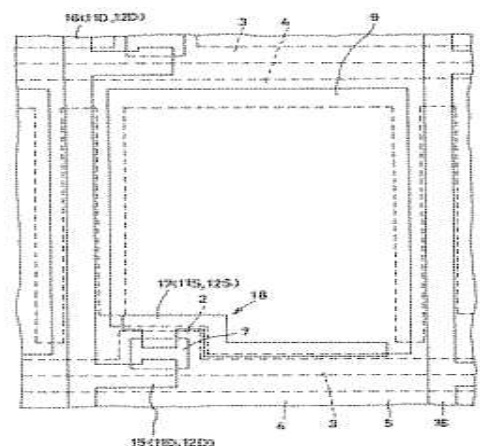


Fig. 1