

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-343780

(P2006-343780A)

(43) 公開日 平成18年12月21日(2006.12.21)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 有 請求項の数 4 O L (全 16 頁)

(21) 出願番号 特願2006-244961 (P2006-244961)
 (22) 出願日 平成18年9月11日 (2006.9.11)
 (62) 分割の表示 特願平7-188783の分割
 原出願日 平成7年7月25日 (1995.7.25)

(71) 出願人 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100100310
 弁理士 井上 学
 (72) 発明者 小野 記久雄
 千葉県茂原市早野3300番地 株式会社
 日立製作所電子デバイス事業部内
 (72) 発明者 田中 政博
 千葉県茂原市早野3300番地 株式会社
 日立製作所電子デバイス事業部内
 (72) 発明者 仲吉 良彰
 千葉県茂原市早野3300番地 株式会社
 日立製作所電子デバイス事業部内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】

TFT基板製作時の工程数を削減できると同時に製造歩留まりが高く、さらに明るい画面が得られる液晶表示装置およびその製造方法を提供すること。

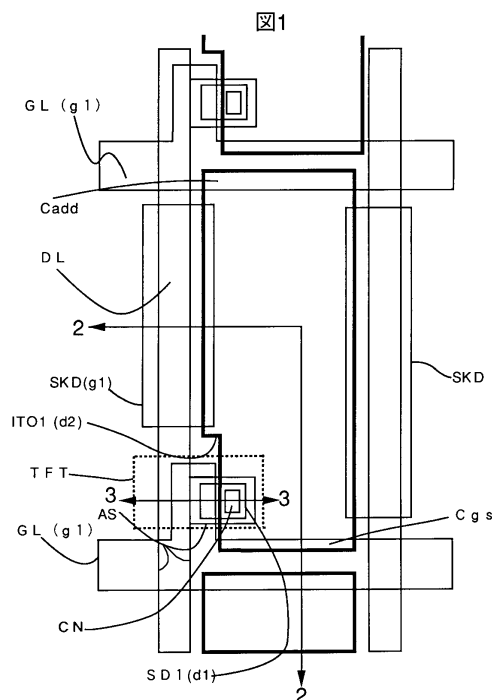
【構成】

透明ガラス基板上で少なくとも、チャンネル長方向において、透明画素電極の下部のソース金属電極の端部が、半導体層の端部から延在して形成され、さらにデータライン下部に遮光電極、ゲートライン自身を遮光電極とする構成とするようにした。

【効果】

製造工程数の削減、歩留まりの向上、明るい画面が可能である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、
前記基板上に形成され、第 1 の方向に延びるゲートラインと、
前記ゲートライン上に形成された第 1 の絶縁膜と、
前記第 1 の絶縁膜上に形成され、前記第 1 の方向と交差する第 2 の方向に延びるデータラインと、
前記第 1 の絶縁膜上に積層された半導体層と、第 1 の電極と、前記データラインの一部が構成する第 2 電極とを有する薄膜トランジスタと、
前記データラインと前記薄膜トランジスタの第 1 の電極との上に形成され、前記第 1 の電極上に第 1 の開口が設けられた第 2 の絶縁膜と、
前記第 2 の絶縁膜上に形成され、前記第 1 の開口を通して前記第 1 の電極に接続される透明導電膜からなる画素電極とを有する液晶表示装置であって、
前記ゲートラインは、前記半導体層と前記基板との間に形成されており、
前記画素電極は、前記ゲートラインと重なっていることを特徴とする液晶表示装置。

【請求項 2】

前記基板と対向する基板にはブラックマトリクスが形成されており、
前記ブラックマトリクスは、前記ゲートラインと前記画素電極との間を覆い隠していないことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記画素電極と前記ゲートラインとが重なっている箇所と前記第 1 の電極とは離間されていることを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

前記基板上には、前記ゲートラインと隣接するゲートラインが形成されており、
前記画素電極は、前記隣接するゲートラインとも重なっていることを特徴とする請求項 1 乃至 3 の何れかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ（TFT）を使用したアクティブマトリクス駆動型液晶表示装置およびその製造方法に関する。

【背景技術】

【0002】

アクティブマトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極の各々に対応して、スイッチング素子を設けたものである。各画素における液晶は理論的に常時駆動しているので時分割駆動方式を採用している単純マトリクス方式と比べてアクティブ方式はコントラストが高く特にカラー表示には欠かせない技術になっている。

【0003】

従来のアクティブマトリクス方式の液晶表示装置に用いられる TFT においては、絶縁透明基板上に走査信号線（ゲートライン）、その上部にゲート絶縁膜、その上部に半導体層、半導体層上にはドレイン電極（データライン）およびソース電極があり、ソース電極には透明な画素電極が接続されており、ドレイン電極（データライン）には映像信号電圧が供給されている。基板上にまずゲート電極が形成されている TFT 構造は一般に逆スタガ構造と呼ばれている。このような TFT として、特開昭 61-161764 号公報が知られている。

【0004】

【特許文献 1】特開昭 61-161764 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

TFTを用いた液晶表示装置はアクティブ駆動が可能なためにコントラストが高いと言う特長を持つ。しかし、基板上にTFTを形成する工程が複雑であり、6回以上のホトリソグラフィ工程を必要とする。そのため、TFT基板の製造コストが高く、さらに工程数が多いためにゴミ等のために歩留まりが低下すると言う問題がある。

【0006】

工程を簡略化する方法として、従来技術では、ゲート絶縁膜と半導体層、ドレイン電極とソース電極となる金属膜を連続成膜し、この金属膜のマスクとして半導体層は加工し、その後、透明電極を形成する方法が提案されている。しかし、この従来技術では、半導体膜をエッチングする際に、ソース電極の金属膜のエッチング速度が半導体膜より小さい場合、ソース電極がひさし状に残り、透明電極がその段差のために断線しやすいと言う問題が残る。すなわち、製造時の歩留まりが十分考慮されていなかった。 10

【0007】

ところで、明るい画面表示を実現するためには、透明画素電極の透過部の面積（以下、開口率）を大きくする必要がる。しかし、上記従来技術では、開口率を向上し、明るい表示画面を得ることについては考慮されていなかった。

【0008】

本発明の目的は、製造工程数が少ない上に製造歩留まりが高いアクティブマトリクス方式の液晶表示装置の構造、製造方法を提供することにある。

【0009】

また、他の目的は、明るい表示画面が得られるアクティブマトリクス方式の液晶表示装置を提供することにある。 20

【課題を解決するための手段】

【0010】

〔手段1〕

透明絶縁基板上に形成した複数のゲートラインと、前記複数ゲートラインに交差するように形成された複数のデータラインと、前記ゲートラインと前記データラインの交差点付近に形成された逆スタガ構造の薄膜トランジスタと、前記薄膜トランジスタに接続された透明画素電極とからなり、前記画素電極によって液晶を駆動する機能を有する液晶表示装置における画素電極と接続されるソース金属電極端部の平面構造において、チャンネル長方向において、半導体層の端部がソース金属電極の端部より延在して形成されているようにした。 30

〔手段2〕

手段1において、画素電極を構成する導電膜は、薄膜トランジスタのソース金属電極上に形成された保護絶縁膜に形成された開口部を通じて、前記ソース金属に接続されているようにした。

〔手段3〕

画素電極端部の輪郭線の一部は、データラインとほぼ平行でデータライン下部に形成された、データラインとは薄膜トランジスタを構成するゲート絶縁膜及び半導体層と絶縁分離された遮光膜上にあり、ゲート絶縁膜及び薄膜トランジスタ上に形成された保護絶縁膜の積層膜を介して前記位置に形成されるようにした。 40

〔手段4〕

手段3において、画素電極端部の輪郭線の一部は、前記ゲートライン上で画素電極の輪郭線が所定の間隙を持つように形成され、ゲート絶縁膜及び薄膜トランジスタ上に形成された保護絶縁膜の積層膜を介して前記位置に形成され、ゲートライン自身が遮光膜となるようにした。

〔手段5〕

透明絶縁基板上に形成した複数のゲートラインと、前記複数ゲートラインに交差するように形成された複数データラインと、前記複数ゲートラインと前記複数データラインの交差点付近に形成された逆スタガ構造の薄膜トランジスタと、前記薄膜トランジスタの上部に接続された透明画素電極とからなり、前記画素電極によって液晶を駆動する機能を有する 50

液晶表示装置の製造方法において、

ゲート絶縁膜及びその上部の半導体層その上部にあるデータライン及びソース金属電極を所定の平面パターンにエッチングする工程、前記半導体層をゲート絶縁膜上で選択的にエッチングする工程、前記ソース電極上部に形成された保護絶縁膜に開口部を開けるためのエッチング工程、前記保護絶縁膜上に形成された透明画素電極をエッチングする工程を順次行なった。

〔手段6〕

手段5において、データライン及びソース電極形成用マスクで高濃度N型半導体層をエッチングしたのち、異なるマスクパターンでi型半導体層をゲート絶縁膜上で選択的にエッチングする工程を備えた。

10

〔手段7〕

手段5において、ゲート絶縁膜上で半導体層を選択的にエッチングする際に、前記データライン及びソース金属電極の一部と前記ソース電極を下部に一部含む前記金属電極及び前記半導体層上に形成したホトレジストをエッチングマスクとして加工する工程を含むことを特徴とする液晶表示装置の製造方法。ゲート絶縁膜を所定の平面パターンにエッチングした工程の後で、半導体層を所定の平面パターンにエッチングする工程を備えた。

【0011】

チャンネル垂直方向において、半導体層の端部がソース金属電極の端部より延在して形成されているので、ソース電極の金属膜をマスクと半導体膜をエッチングしても、金属膜の端部が半導体層に対してひさし状にならないので、透明電極が断線することなく、製造工程の簡略化を図りながら製造歩留まりを向上できる。

20

【0012】

また、データライン近傍および下部に遮光電極が形成され、さらに、透明画素電極の輪郭線が遮光電極上及びゲートライン上にあるため、歩留まりが高く、開口率が大きくなり、画面が明るくなる。

【発明の効果】

【0013】

本発明により、開口率が高く、明るい表示画面が得られる液晶表示装置を提供することができる。

【0014】

30

また、表示パネルを構成するTFT基板を5回のホトレジスト工程を含む簡略な工程で製造できるため、安価な液晶表示装置及びその製造方法を提供することができる。

【0015】

さらに、ITOからなる導電膜下部の段差の部分での断線がなく、製造時の歩留まりが高い液晶表示装置及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の液晶表示装置及びその製造方法を具体的な実施例を用いて説明する。

【実施例1】

【0017】

40

図2に本実施例のアクティブマトリクス液晶表示装置におけるマトリクス部（表示部）の断面構造を示す。表示パネルは、透明ガラス基板SUB1の一方の表面に薄膜トランジスタや画素電極ITO1、各種配線などを形成したTFT基板TFTSUBと、これとは別の透明ガラス基板SUB2の一方の表面に共通電極ITO2やカラーフィルタFILなどを形成した対向基板OPSUBと、両基板を対向させてその間隙に充填した液晶層LCとから構成される。

【0018】

画素電極ITO1と共通電極ITO2との間に画像信号電圧を印加して両電極間の液晶層LCの電気光学的状態を制御し、表示パネルのこの部分の光透過状態を変化させ、所定の画像を表示する。

50

【0019】

液晶パネルの対向基板OPSUB側またはTFT基板TFTSUB側にはバックライトが設置され、液晶パネルの画素部を透過する光をそれぞれバックライトと反対側から観察する。

【0020】

なお、以下で説明する図面では、同一機能を有する部分に同一符号をつける。

【0021】

《TFT基板》

図1は、TFT基板TFTSUBを構成する各層の平面パターンを示す図であり、1画素とその周辺の領域を示す。図2は図1の2-2切断線の断面図、図3は図1の3-3切断線における断面図である。 10

【0022】

次に、図1～3を用いてTFT基板TFTSUBの構造を詳しく説明する。TFT基板の表面には互いに平行な複数のゲートライン（走査信号線または水平信号線）GLと、ゲートラインと交差するように形成された互いに平行な複数のデータライン（映像信号線または垂直信号線）DLが設けられている。隣接する2本のゲートラインGLと、隣接する2本のデータラインDLで囲まれた領域が画素領域となり、この領域にほぼ全面に画素電極ITO1が形成されている。スイッチング素子としての薄膜トランジスタ（図1の破線で示した領域）は各画素電極に対応してゲートラインの凸型部分（図1では、上方に凸型の部分）に形成され、そのソース電極SD1は画素電極に接続される。ゲートラインGL 20に与えられた走査電圧はゲートラインの一部で構成されるTFTのゲート電極に印加されてTFTがON状態となり、この時データラインDLに供給された画像信号がソース電極SD1を介して画素電極ITO1に書き込まれる。

【0023】

《薄膜トランジスタTFT》

図3に示すように、透明ガラス基板SUB1上には導電膜g1からなるゲートラインGLが形成され、その上に後述のように絶縁膜、半導体層などが形成され薄膜トランジスタTFTが構成される。薄膜トランジスタは、ゲートラインGLにバイアス電圧を印加すると、ソースドレイン（データラインDL）間のチャネル抵抗が小さくなり、バイアス電圧をゼロにすると、チャネル抵抗は大きくなるように動作する。ゲートラインGLの一部 30であるゲート電極上に窒化シリコンからなるゲート絶縁膜GIを設け、その上に意図的に不純物を添加して非晶質シリコンからなるi型半導体層AS及び不純物を添加した非晶質シリコンからなるN型半導体層d0を形成する。このi型半導体層ASが薄膜トランジスタの能動層を構成する。さらに、その上にソース電極SD1、ドレイン電極（実施例ではデータラインDLの一部がドレイン電極を構成する。以下特に明記しない場合、ドレイン電極はデータラインDLと呼ぶ。）を形成し、薄膜トランジスタとする。

【0024】

ゲート絶縁膜GIとしては、例えば、プラズマCVDで形成された窒化シリコン膜が選ばれ、2000～5000Åの厚さに（本実施例では、3500Å程度）形成される。

【0025】

i型半導体層ASは、500～2500Åの厚さ（本実施例では、2000Å程度）で形成される。N型半導体層d0は、500Å以下の厚さで薄く形成され、i型半導体層ASとオーミックコンタクトを形成するために設けられ、リン（P）をドーピングした非晶質シリコン半導体で形成される。

【0026】

ソース電極、ドレイン電極の呼称は本来その間のバイアスの極性によって決められる。本発明の液晶表示装置では、動作中にその極性が反転するのでソース電極、ドレイン電極が入れ替わるが、以下の説明では、便宜上一方をソース電極、他方をドレイン電極と固定して呼ぶことにする。

【0027】

10

20

30

40

50

《ソース電極》

図3に示すように、ソース電極SD1はN型半導体層d0上に形成され、第1導電層d1により構成されている。第1導電層d1は厚さ600~2000Å（本実施例では、1800Å程度）のクロム（Cr）膜で形成される。第1導電膜は、Cr以外の高融点金属（Ti, Ta, W, Mo）で形成されても良いし、これらの金属の合金で形成されても良い。

【0028】

前記ソース電極SD1は、図1、図3に示すように、1画素領域の内側に形成されたi型半導体層AS及びN型半導体層d0上部に形成され、しかも、少なくとも、チャンネル長方向において、ソース金属電極SD1の端部は、i型半導体層ASの端部から延在するように加工されている。また、その上部にある導電膜d2で構成された透明画素電極ITO1は、保護絶縁膜PSV1に開けられた開口部CN（以下、コンタクト穴と呼ぶ）を通じてソース電極SD1と接続され、保護絶縁膜PSV1上に形成されている。

【0029】

このような構造により、透明導電膜d2は下層の下層のソース電極SD1である第1導電膜d1の段差のところで断線することなく、その段差を良好に乗り越えることができる。これについては、後の製造方法のところでさらに詳しく述べる。特に、本実施例のように、第2導電膜d2としてITOを用いる場合にこのような効果が顕著になる。ITOは結晶粒径が大きいために、結晶粒界部分と結晶粒のエッチング速度が異なり、粒界の部分が速い。従って、第2導電膜d2下部の断面が良好形状に加工されていなければ、この下部段差で容易に断線する。

【0030】

その点で、特開昭61-161764号公報に記載のように半導体膜上で金属膜をマスクとして半導体をエッチングした場合、金属膜に比べて半導体膜のエッチング速度が大きいので、断面構造において金属膜がひさし状に形成され、この部分で透明導電膜が断線しやすい。これに対して、本実施例では、上述のように段差部でのITOの断線は非常に起こりにくい。

【0031】

《画素電極》

画素電極は第2導電層d2である酸化インジウム錫（Indium-Tin-Oxide, 以下略してITOと呼ぶ）などの透明導電膜ITO1でそれぞれ形成される。これは、薄膜トランジスタのソース電極SD1に接続される。透明導電膜ITO1はITOのスパッタリング膜によって形成され、その厚さは300~3000Å（本実施例では1400Å程度）である。

【0032】

《ゲートラインGL》

図2、図3に示すように、ゲートラインGLは、単層の導電膜g1で形成されている。導電膜g1としては厚さ600~2000Å（本実施例では、1800Å程度）のスパッタリングで形成されたクロム（Cr）膜が用いられる。これも、第1導電膜d1同様、他の高融点金属あるいは合金でも良い。

【0033】

《データラインDL》

図2、図3に示すように、データラインDLは、透明ガラス基板SUB1上のゲート絶縁膜GI及びその上部にある半導体層AS、d0上に形成され、その断面構造において、i型半導体層AS、N型半導体層d0、第1導電膜d1である透明導電膜のほぼ同一平面パターンを有する積層構造となっている。ほぼ同一平面パターンとなるのは、後の製造方法で示すように、この部分で前記i型半導体層ASをデータラインDLの第1導電膜d1をマスクとして加工するための特徴である。これらの層または膜のうち主として電気伝導に寄与し、信号を伝達するのは第1導電膜d1である。

【0034】

10

20

30

40

50

《保持容量C_{add}、寄生容量C_{gs}》

保持容量C_{add}はTFTが形成されたゲートラインGLとは異なる前段のゲートラインGLとゲート絶縁膜GI及び保護絶縁膜PSV1の積層膜を挟んで画素電極ITO1(d2)との交差領域の容量で構成される。この保持容量C_{add}は液晶層LCの容量の減衰やTFTのオフ時の電圧低下を防止する働きがある。

【0035】

寄生容量C_{gs}はTFTが形成されたゲートラインGLである自段のゲートラインGLとゲート絶縁膜GI及び保護絶縁膜PSV1の積層膜を挟んで画素電極ITO1(d2)との交差領域の容量で構成される。また、前記C_{add}とC_{gs}は図2に示す様に、ゲートラインGL上でその透明導電膜d2が所定の間隔になるように設定してある。

10

【0036】

このように、寄生容量C_{gs}を設けることにより、自段のゲートラインGLと透明導電膜d2を重ねない構造に比べ、ゲートラインGLと画素電極ITO1(d2)の間隙を対向基板OPSUBに形成するブラックマトリクスBMで覆い隠す必要がなく、開口率が向上する。

【0037】

《遮光電極SKD》

図1、図2に示すように遮光電極SKDはTFT基板TFTSUBの透明ガラス基板SUB1上にゲートラインGLを構成する導電膜g1で形成される。

【0038】

この遮光電極SKDは平面構造上は図1に示すようにド레인ラインDLに沿って画素電極ITO1とオーバーラップし、しかも、データラインDLの下部をふさぐように形成されている。一方、断面構造的には図2に示すように、遮光電極SKDはデータラインDLとゲート絶縁膜GI及び半導体層AS、d0によって絶縁分離されている。このため、遮光電極SKDとデータラインDLが短絡する可能性は小さい。また、画素電極ITO1と遮光電極SKDはゲート絶縁膜GI及び保護絶縁膜PSV1で絶縁分離されている。

20

【0039】

遮光電極SKDは、前記寄生容量C_{gs}同様、1画素の画素に対する画素電極の透過部の面積、すなわち開口率を向上させ、表示パネルの明るさを向上させる機能を有する。図1に示した表示パネルにおいて、バックライトはTFT基板SUB1を有するTFTSUB側 30
の一方に設定される。以下では、便宜上バックライトがTFT基板SUB1から照射され、対向基板OPSUB側から観察する場合を示す。照射光は対向基板のガラス基板SUB1を透過し、このガラス基板SUB1の一方の表面にスパッタリングで形成された配線ラインのクロム(Cr)が形成されていない部分から液晶層LCに入る。この光は対向基板に形成された透明共通電極ITO2とTFT基板に形成された画素電極ITO1間に印加された電圧で制御される。

【0040】

表示パネルがノーマリホワイトモードでは、本実施例のように遮光電極SKDや寄生容量C_{gs}が形成されていない場合、対向基板OPSUBにはブラックマトリクスBMが広く必要になり、これがないと、データラインDLあるいはゲートラインGLと画素電極ITO1の隙間から電圧で制御されない漏光が通過し、表示のコントラストが低下する。また、上下、すなわち、対向基板OPSUBとTFT基板TFTSUBは液晶を挟んで張り合わせてあり、合わせマージンを大きくとる必要があり、TFT基板上のみで遮光電極構造とする本実施例に比べて開口率が小さくなる。

40

【0041】

さらに、上記遮光電極SKD及びゲートラインGLはバックライト光を一旦反射し、これをバックライト下部にある導光板に戻し、さらに、これを再度開口部に反射、透過させる働きがあり、本実施例構造は開口率以上に画面が明るくなる。特に、データラインDLの下部に半導体層AS、d0が形成された構造では、半導体層は光吸収層の働きがあるため、遮光層金属SKDがデータラインDL下部半導体層のさらに下部に形成されていない 50

場合、反射率が低下し、画面が暗くなる。

【0042】

本実施例における、データラインDL下部の半導体は、データラインDLをマスクとして加工しているため、データラインの第1導電膜d1は半導体層の段差を横切ることがなく、断線不良を低減する効果がある。従って、本実施例における、遮光電極SKDと上記データラインDLの組合せは画面を明るくする効果を得る上で、新たに得られた効果である。

【0043】

また、本実施例では、ゲートラインGL及び遮光電極SKDには、スパッタリングで形成されたクロム(Cr)を使用したか、低反射の遮光電極構造とするために、酸化クロムを基板側に形成した後、クロムを連続スパッタリングで形成した多層膜とすることも可能である。

10

【0044】

《保護膜》

図1、図3に示すように、TFT基板TFTSUBの薄膜トランジスタTFTを形成した側の表面は、ソース電極SD1と画素電極を接続するコンタクト穴CN、及び後述のようにTFT基板の周辺部に設けられゲート端子部及びド레인端子部などを除いて保護膜PSV1で覆われる。

【0045】

《ゲート端子部GTM》

図4はTFT基板上のゲートラインGLの終端部付近から外部の駆動回路との接続部分であるゲート端子GTMまでの部分の平面図、図5は図4の5-5切断線における断面図である。

20

【0046】

ゲート端子GTMは、透明導電膜d2からなっており、透明導電膜d2が外界に露出している。ゲート端子GTMの透明導電膜は、画素電極やデータラインを構成する透明導電膜ITO1と同時に形成される。また、導電膜g1よりも第2導電膜d2の方が大きめのパターンになっている。これは、薬品、水分等が浸入し、Crからなる導電膜g1が腐食されることを防止するためである。本構造では、保護膜PSV1以外で外界に露出している部分は透明導電膜ITO1(d2)のみである。ITOはその名のように、酸化物であり、腐食の原因と酸化反応には著しく強く、従って、この構造は信頼性が高い。

30

【0047】

このように、TFTを用いた液晶表示装置においては、ゲート端子GTMを構成する材料としてITOとしなければ、歩留まり、信頼性を保つことができない。

【0048】

《ド레인端子部DTM》

図6はTFT基板上のデータラインDLの終端部付近から外部の駆動回路との接続部分であるド레인端子DTMまでの部分の平面図であり、図7は図6の7-7切断線における断面図である。

【0049】

ド레인端子DTMは上述のゲート端子GTMの場合と同等の理由により透明電極d2で形成されている。透明電極d2は第1導電膜d1より広いパターンで形成されている。また、ド레인端子部は外部回路との接続を行うために、保護膜PSV1は除去されている。

40

【0050】

また、断面構造である図7においては、前述のソース電極SD1同様、そのデータラインDL端部において、i型半導体層ASがデータラインDLより幅広く形成されている。これにより、データラインDLの段差において透明電極ITO1(d2)が断線することを低減する構造となっている。

【0051】

50

図8は表示パネル周辺部の概略的な構造を示す平面図である。TFT基板TFTSUB(SUB1)の周辺部では各ゲートラインに対応して複数のゲート端子GTMが並べて配置され、ゲート端子群Tgを構成する。同様に、各データラインに対応して複数のドレイン端子DTMが並べて配置され、ドレイン端子群Tdを構成する。また、図8のINJは対向基板SUB2の張り合わせのシールパターンSLが設けられない部分で、両基板の張り合わせ後、ここより液晶が封入される。

【0052】

《対向基板OPSUB》

図2に示すように、透明ガラス基板SUB2の一方の面には赤、緑、青のカラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2及び配向膜OPRI2が順次積層して設けられている。また、透明ガラス基板SUB2の他方の面上には偏光板POL2が張り合わせてあり、これとTFT基板TFTSUBのTFTが形成されていない他方の面にある偏光板POL1で透過光を偏光する。

10

【0053】

同図のガラス基板SUB2には、ブラックマトリクス遮光膜BMは形成されていないが、実際には、図1のTFT部分に光が照射し、TFTのリーク電流が増加しない程度の面積、Crのスパッタリング膜あるいはCr酸化物とCrの積層、あるいは、さらに樹脂材料で形成されている。

【0054】

《TFT基板TFTSUBの製造方法》

次に、上述した液晶表示装置のTFT基板TFTSUBの製造方法を図9～図15を用いて説明する。図9は製造工程の流れを各工程の名称を用いてフローチャートとしてまとめたものである。各工程をあるサブ単位でまとめて、それに(A)、(B)、(C)などと記号をつけてある。この(A)から(F)までの各々のサブ工程での断面構造が図10～15に対応する。ここで、(B)工程(図11)を除く、断面構造は、各工程で薄膜をエッチング加工した直後の断面構造であり、説明上、各断面にはマスクとして使用したホトレジストが薄膜上に剥離せず残してある。これらの図は、TFT基板の薄膜トランジスタと画素電極接続部付近(図3の断面図と対応)の断面図である。なお、図9のHの最終工程での対応する断面構造は図3である。工程(A)、(C)、(D)、(E)、(F)のサブ工程にはそれぞれ写真(ホト)処理工程が含まれている。ここで、ホト処理工程とは本発明ではホトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとする。図9から明らかなように、本発明ではTFT基板を5回のホト処理工程を経て製造される。

20

30

【0055】

以下、各工程を順を追って説明する。

【0056】

透明ガラス基板SUB1を準備し、その一方向上全面にCr膜をスパッタリングにより形成する。このCr膜上にホト処理(第1ホト)によって所定パターンのマスクをホトレジストPRESで形成した後、Cr膜を選択的にエッチングし、所定パターンの導電膜g1を形成する(工程(A)、図10)。これが、ゲートラインGLや遮光電極SKDを構成する。

40

【0057】

次に、透明ガラス基板SUB1の一方向上に設けた導電膜g1上に、プラズマCVD装置により窒化Si膜GI、i型非晶質Si膜AS、N型の非晶質Si膜d0を順次形成する。さらに、引き続き、スパッタリング法でCr膜を形成、これが第1導電膜d1である(工程(B)、図11)。ここで、半導体層AS、d0をホトレジスト工程を用いず連続的に行なうために、レジストによる半導体層の表面酸化を低減でき、N型半導体層d0と導電膜d1のコンタクト抵抗を低減し、薄膜トランジスタの移動度を向上できる。

【0058】

ホト処理(第2ホト)によって所定のパターンのマスクをホトレジストPRESで形成

50

した後、Cr膜を選択的にエッチングして、所定のパターンの導電膜d1を形成する。続いて、前記ホトレジストPRESを用いて、N型半導体d0をドライエッチング除去する（工程（C）、図12）。

【0059】

この際、Cr膜はウェットエッチングで除去し、ホトレジストPRES端部からCr膜エッチング端部は通常0.5から1μm程度後退する。さらに、N型半導体d0は前述のように、その厚さは500Å以下と非常に薄く、またエッチングとして異方性の強いドライエッチングも用いるので、前記ホトレジストPRES端部からのエッチング後退量は0.3μm程度と小さく、ソース電極SD1下部がエッチングされず、ひさし形状とはならない。

10

【0060】

次に、ホト処理（第3ホト）によって所定のパターンのマスクをホトレジストPRESで形成した後、i型半導体層ASをゲート絶縁膜GI上で選択的にエッチング除去する（工程（D）、図13）。

【0061】

この際のホトレジストPRESパターンはソース電極SD1端部ではソース電極より幅広くして、後に形成される透明導電膜がソース電極端部で断線しないようにパターン化し、逆に図2に示したデータラインDL部やゲートラインGLとデータラインDL部分はホトレジストPRESは形成せずデータラインDLの導電層d1をマスクとして加工する。これにより、上記ホトレジストPRESを形成していないデータライン付近では、i型半導体層ASがデータラインからはみ出さず、高精度の加工ができ、開口率が向上やゲート配線の遅延時間低減に必要なゲート容量が低減できる効果がある。

20

【0062】

本発明者等の実験結果では、i型半導体ASのホトレジストPRESパターンをソース電極SD1より幅広く設定せず、ソース電極の導電膜d1自身をマスクとしてエッチングした場合、i型半導体ASの厚さがN型半導体d0より厚いためソース電極SD1端部より下部の半導体層が後退し、これがひさし形状となった。これにより、後に成膜される画素電極ITO1がこの段差部で断線する率が非常に高くなった。

【0063】

次に、プラズマCVD装置により窒化SiN膜からなる保護絶縁膜PSV1を形成する。ホト処理（第4ホト）によってホトレジストPRESのマスクを形成後、保護絶縁膜PSV1をエッチングし、コンタクト穴CNや配線端子部の保護膜PSV1を除去する（工程（E）、図14）。

30

【0064】

次に、ITO膜からなる第2導電膜d2をスパッタリングにより設ける。ホト処理（第5ホト）によってホトレジストPRESでマスクを形成後、第2導電膜d2を選択的にエッチングし、画素電極ITO1などにITOパターンを残す（工程（F）、図15）。

【0065】

本実施例によれば、高開口率で明るい液晶表示装置を実現できる。

【0066】

また、表示パネルを構成するTFT基板を5回のホトレジスト工程を含む簡略な工程で製造できるため、安価な液晶表示装置を提供できる効果がある。さらに、断線しやすいITOからなる導電膜下部の段差の形状を良好に保つことができ、製造時の歩留まりを向上できる。

40

【図面の簡単な説明】

【0067】

【図1】実施例1におけるTFT基板の1画素とその周辺部の各層の平面パターン図である。

【図2】本発明の実施例1における液晶表示パネルの断面図である（図1の2-2線における断面図）。

50

【図 3】本発明の実施例 1 における薄膜トランジスタ基板の薄膜トランジスタ、画素電極付近の断面図である（図 1 の 3-3 線における断面図）。

【図 4】ゲート端子 G T M とゲート配線 G L の接続部近辺を示す平面図である。

【図 5】ゲート端子 G T M とゲート配線 G L の接続部近辺を示す断面図である。

【図 6】ドレイン端子 D T M とデータ配線 D L の接続部近辺を示す平面図である。

【図 7】ドレイン端子 D T M とデータ配線 D L の接続部近辺を示す断面図である。

【図 8】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図 9】実施例 1 における液晶表示装置の T F T 基板 T F T S U B の製造方法を示すフローチャートである。

【図 10】図 9 における工程 A に対応した断面図である。

【図 11】図 9 における工程 B に対応した断面図である。

【図 12】図 9 における工程 C に対応した断面図である。

【図 13】図 9 における工程 D に対応した断面図である。

【図 14】図 9 における工程 E に対応した断面図である。

【図 15】図 9 における工程 F に対応した断面図である。

【符号の説明】

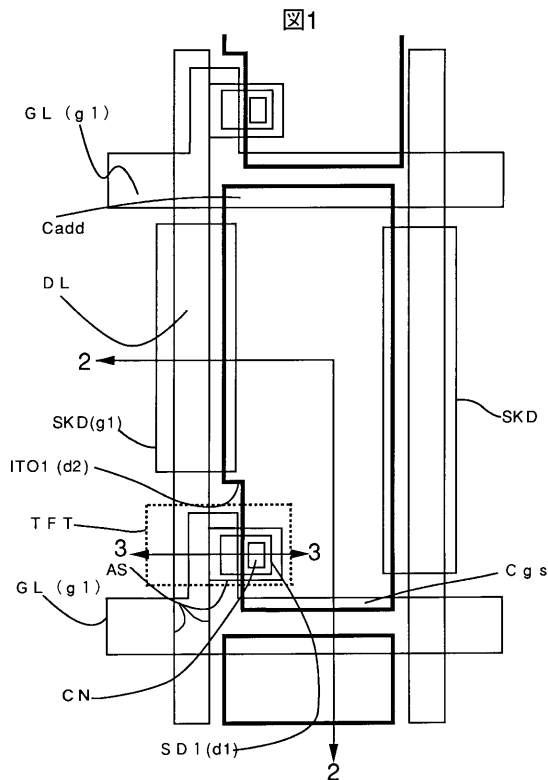
【0068】

S U B 1, S U B 2 ……透明ガラス基板、G L ……ゲートライン（走査信号線）、D L ……データライン（映像信号線）、G I ……ゲート絶縁膜、A S ……i 型半導体層、d 0 ……N 型半導体層、S D 1 ……ソース電極、I T O 1 ……透明導電膜、g ……導電膜、d 1 ……第 1 導電膜、d 2 ……第 2 導電膜、T F T ……薄膜トランジスタ、T F T S U B ……T F T 基板、O P S U B ……対向基板、P S V ……保護膜、G T M ……ゲート端子、D T M ……ドレイン端子、S K D ……遮光電極、C a d d ……保持容量、L C ……液晶、B M ……ブラックマトリクス。

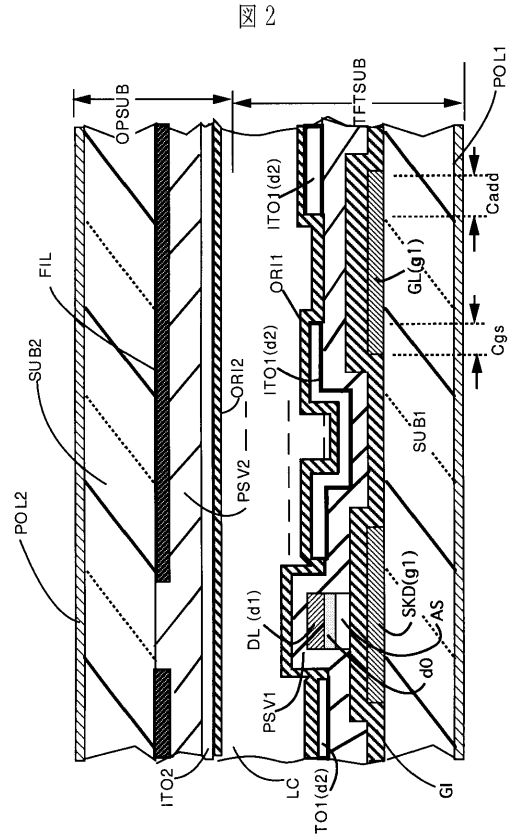
10

20

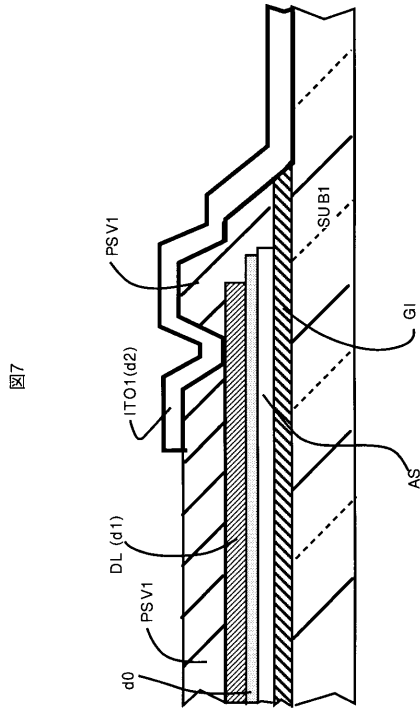
【図 1】



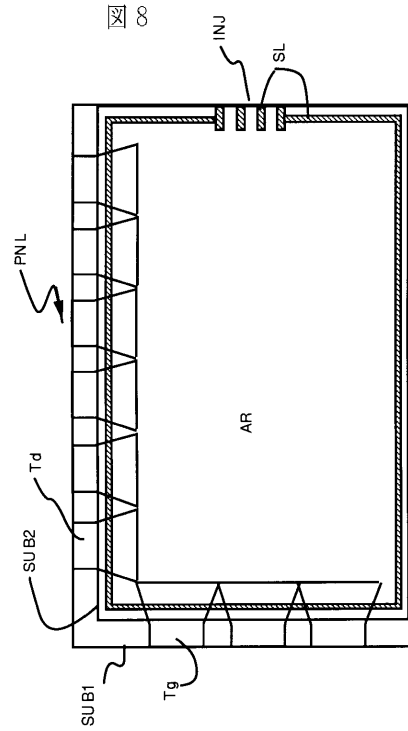
【図 2】



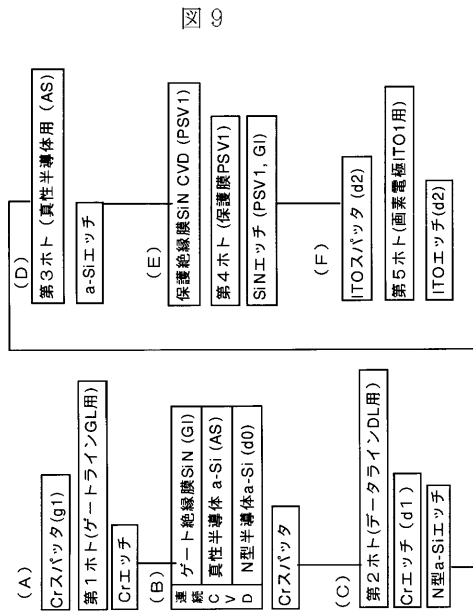
【图 7】



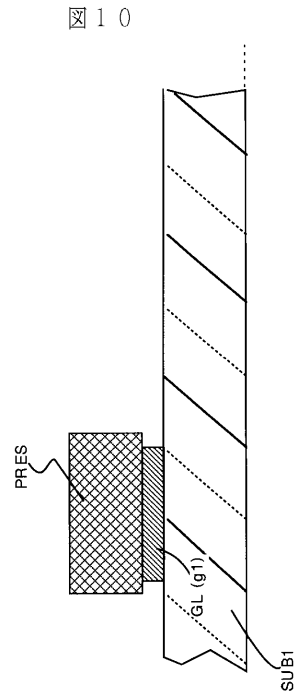
【图 8】



【图 9】

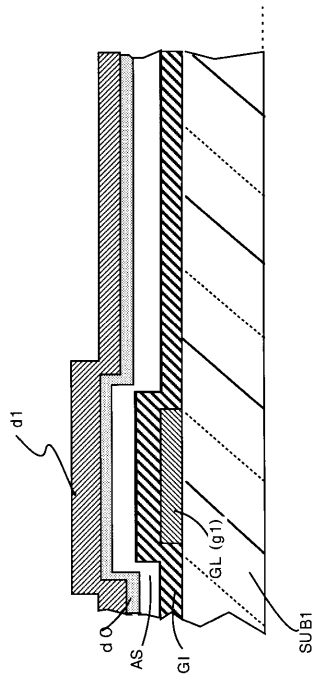


【図 10】



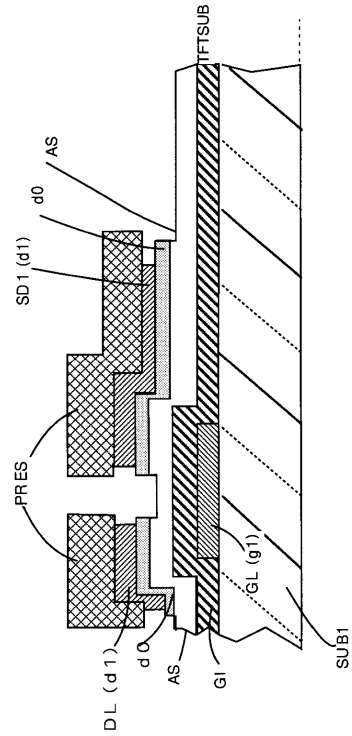
【図 1 1】

図 1 1



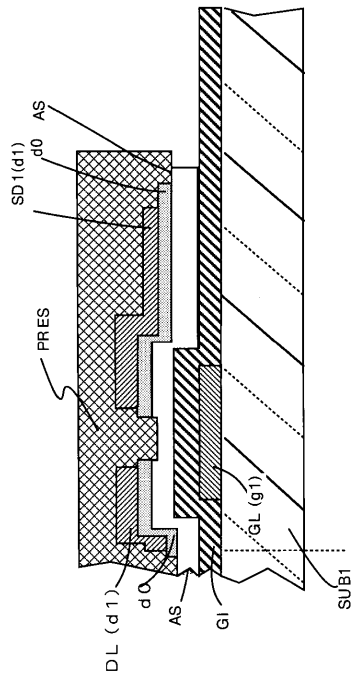
【図 1 2】

図 1 2



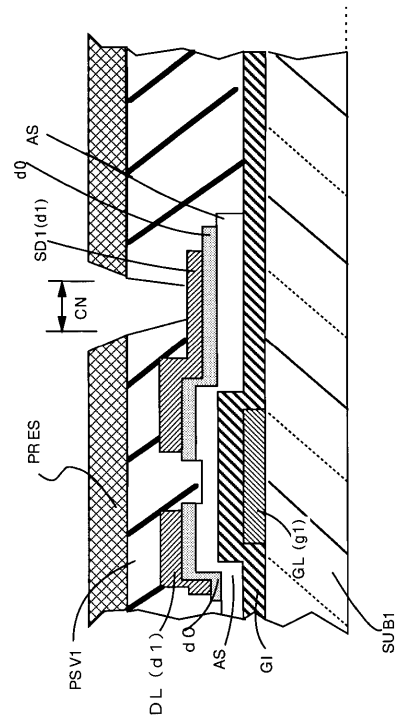
【図 1 3】

図 1 3

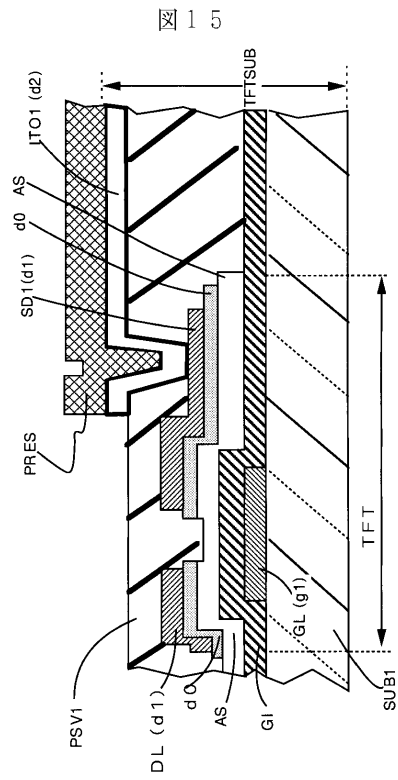


【図 1 4】

図 1 4



【図 15】



フロントページの続き

(72)発明者 鈴木 伸之

千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所電子デバイス事業部内

Fターム(参考) 2H092 GA13 GA17 HA04 HA19 JA24 JA37 JB56 KA05 KB04 KB13
KB24 KB25 MA05 MA08 MA15 NA07 NA27 NA28 NA29 PA09

专利名称(译)	液晶表示装置		
公开(公告)号	JP2006343780A	公开(公告)日	2006-12-21
申请号	JP2006244961	申请日	2006-09-11
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	小野記久雄 田中政博 仲吉良彰 鈴木伸之		
发明人	小野 記久雄 田中 政博 仲吉 良彰 鈴木 伸之		
IPC分类号	G02F1/1368		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA17 2H092/HA04 2H092/HA19 2H092/JA24 2H092/JA37 2H092/JB56 2H092/KA05 2H092/KB04 2H092/KB13 2H092/KB24 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA15 2H092/NA07 2H092/NA27 2H092/NA28 2H092/NA29 2H092/PA09 2H192/AA24 2H192/BA12 2H192/BC31 2H192/CB05 2H192/CB44 2H192/CC75 2H192/DA02 2H192/DA73 2H192/EA04 2H192/EA17 2H192/EA22 2H192/EA43 2H192/FA64		
代理人(译)	井上 学		
外部链接	Espacenet		

摘要(译)

[目的] 本发明提供一种液晶显示装置及其制造方法，该液晶显示装置能够减少制造TFT基板时的工序数，制造成品率高，且画面明亮。[结构] 在透明玻璃基板上，至少在沟道长度方向上，源极金属电极的透明像素电极下方的端部形成为从半导体层的端部延伸，光屏蔽电极在数据线和栅极线本身下方延伸。用作遮光电极。[效果] 可以减少制造过程的数量，提高产量并创建明亮的屏幕。[选型图]图1

