

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-134864

(P2005-134864A)

(43) 公開日 平成17年5月26日(2005.5.26)

(51) Int.Cl.⁷

G02F 1/133

G02F 1/139

G09G 3/20

G09G 3/36

F I

G02F 1/133 570

G02F 1/133 550

G02F 1/139

G09G 3/20 621F

G09G 3/20 621L

テーマコード (参考)

2H088

2H093

5C006

5C080

審査請求 有 請求項の数 9 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2004-76496 (P2004-76496)

(22) 出願日 平成16年3月17日 (2004.3.17)

(31) 優先権主張番号 92129874

(32) 優先日 平成15年10月28日 (2003.10.28)

(33) 優先権主張国 台湾 (TW)

(71) 出願人 599002238

聯詠科技股▲ふん▼有限公司

台湾台湾省新竹科學園區新竹縣創新一路 1

3 號 2 樓

(74) 代理人 100064584

弁理士 江原 省吾

(74) 代理人 100093997

弁理士 田中 秀佳

(74) 代理人 100101616

弁理士 白石 吉之

(74) 代理人 100107423

弁理士 城村 邦彦

(74) 代理人 100120949

弁理士 熊野 剛

最終頁に続く

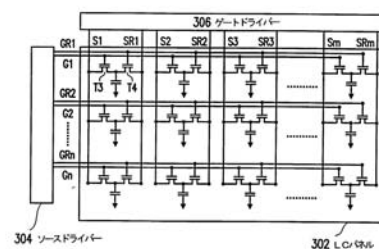
(54) 【発明の名称】 液晶表示パネルおよびその駆動回路

(57) 【要約】

【目的】 速い反応速度を有する液晶表示 (LCD) パネルを提供する。

【解決手段】 少なくとも、第1グループのゲートラインと、第2グループのゲートラインと、第1グループのソースラインとを含み、ゲートパルス信号が2グループのゲートラインを介してLCDパネルに供給されるとともに、第2グループのソースラインを含み、2グループのソースラインのうち1つには、実際のイメージデータが供給され、もう1つには、黒いイメージデータが供給されるのが好ましいものであり、従って、このLCDパネルは、光学補正複屈折LC (OCB-LC) を必要とせずに、ねじれネマチックLCまたは垂直配向LC (VA-LC) のみを使用することができるので、OCB-LCの使用による速い反応速度のLCDパネルの諸問題を回避することができる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数の画素を有し、前記した複数の画素の 1 つがそれぞれ第 1 トランジスタおよび第 2 トランジスタを含むパネルと、

前記第 1 トランジスタのゲート電極においてそれぞれ接続された第 1 グループのゲートラインと、

前記第 2 トランジスタのゲート電極においてそれぞれ接続された第 2 グループのゲートラインと、

第 1 グループのソースラインと

を備えるものであって、

10

前記第 1 グループのゲートラインに実際のイメージデータに対する複数のゲートパルス信号が供給される時、前記第 2 グループのゲートラインに黒いイメージデータに対する複数のゲートパルス信号が供給されるとともに、また、その逆も同様である液晶表示装置。

【請求項 2】

複数の画素を有し、前記した複数の画素の 1 つがそれぞれ第 1 トランジスタおよび第 2 トランジスタを含む液晶 (LC) パネルと、

前記 LC パネルのそれぞれの前記第 1 トランジスタのゲート電極に接続された第 1 グループのゲートラインを備えた第 1 ゲートドライバーと、

前記 LC パネルのそれぞれの前記第 2 トランジスタのゲート電極に接続された第 2 グループのゲートラインを備えた第 2 ゲートドライバーと、

20

前記 LC パネルに接続された第 1 ソースラインを有する第 1 ソースドライバーとを備え、

前記第 1 グループのゲートラインに実際のイメージデータに対する複数のゲートパルス信号が供給される時、前記第 2 グループのゲートラインに黒いイメージデータに対する複数のゲートパルス信号が供給されるとともに、また、その逆も同様である液晶表示装置。

【請求項 3】

上記ゲートパルス信号が、時間差により上記第 1 グループのゲートラインおよび上記第 2 グループのゲートラインに供給されるものである請求項 1 または 2 記載の液晶表示装置

。

【請求項 4】

30

上記第 1 トランジスタのドレイン電極および上記第 2 トランジスタのドレイン電極が、キャパシタの末端に接続されるものである請求項 1 または 2 記載の液晶表示装置。

【請求項 5】

上記液晶表示装置が、さらに、第 2 グループのソースラインを備えるものであって、上記第 1 グループのソースラインに実際のイメージデータが供給される時、前記第 2 グループのソースラインに黒いイメージデータが供給されるとともに、また、その逆も同様である請求項 1 または 2 記載の液晶表示装置。

【請求項 6】

上記した実際のイメージデータおよび上記した黒いイメージデータが、時間差により供給されるものである請求項 5 記載の液晶表示装置。

40

【請求項 7】

上記第 1 ゲートドライバーおよび上記第 2 ゲートドライバーが、それぞれ、入力信号を受信するために接続されたシフトレジスタ (shift register) と、

前記シフトレジスタに接続されたレベルシフター (level shifter) と、

前記レベルシフターおよびそれに対応するゲート回路に接続された出力バッファ (output buffer) と

を備えるものであって、

前記第 1 ゲートドライバーおよび前記第 2 ゲートドライバーが、前記 LC パネルの同じ側面または異なる側面に設置され、

前記第 1 ゲートドライバーおよび前記第 2 ゲートドライバーが、同じ側面に設置されてい

50

る時、前記第 1 ゲートドライバーおよび前記第 2 ゲートドライバーが、同じドライバーまたは異なるドライバーとなることができるものである請求項 2 記載の液晶表示装置。

【請求項 8】

上記液晶表示装置が、さらに、上記 LC パネルに接続された第 2 ソースラインを有する第 2 ソースドライバーを備えるものであって、

上記第 1 ソースラインに実際のイメージデータが供給される時、前記第 2 ソースラインに黒いイメージデータが供給されるとともに、また、その逆も同様である請求項 2 記載の液晶表示装置。

【請求項 9】

上記第 1 ソースドライバーおよび上記第 2 ソースドライバーが、それぞれのデータ入力を受信するために接続されたデジタル/アナログ変換器 (digital to analog converter = DAC) と、

前記 DAC および前記第 1 ソースラインに接続される出力バッファ (output buffer) と

を備えるものであって、

前記第 1 ソースドライバーおよび前記第 2 ソースドライバーが、前記 LC パネルの同じ側面または異なる側面に設置され、

前記第 1 ソースドライバーおよび前記第 2 ソースドライバーが同じ側面に設置されている時、前記第 1 ソースドライバーおよび前記第 2 ソースドライバーは同じドライバーまたは異なるドライバーとなることができる請求項 8 記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示 (LCD) パネルとその駆動回路に関し、特に、速い反応速度を有する LCD (liquid crystal display) パネルおよびその駆動回路に関する。

【背景技術】

【0002】

従来の LCD パネルの駆動装置は、一般に、図 1 に示したような構造を有する。従来の LCD パネルは、液晶 (LC) パネル (panel) 102 と、LC パネル 102 のゲートライン (gate line) G1, G2, ... Gn を作動させるために使用されるゲートドライバー (gate driver) 104 と、ソースライン (source line) S1, S2, ... Sn を作動させるために使用されるソースドライバー (source driver) 106 とを含んでいる。通常、反応速度 (response speed) が十分に速くない場合、速い動作に対して画像が時間内に反応することができず、画像および文字が完全には識別されない。これは、画像遅滞現象として知られている。反応時間 (response time) は、必須の要素であり、重要な問題は、入力信号に対する LCD パネルの反応速度、つまり、明から暗へ、暗から明へ、あるいは灰色から灰色へ変化させるために LCD パネルに対して必要とされる動作時間である。一般に、TFTL LCD パネル設計における反応時間は、上昇時間 (rising time = Tr) と下降時間 (falling time = Tf) との 2 タイプがあり、反応時間は、これら 2 タイプの時間の合計となる。反応時間が小さくなればなるほど、反応速度が速くなる。反応時間が 40 ms を超過する場合は、その動作対象に対して画像遅滞が発生する。現在の LCD パネルの標準反応時間は、通常、約 25 ms 以下であり、少数の LCD パネルが 16 ms 以下を達成することができる。

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記課題を解決するため、高速 LCD パネルの発展において、視覚効果を有効に加速させるために、黒い画像を挿入する方法が使用されており、画像遅滞現象を減少させることができる。黒い画像を挿入する従来の方法では、フレーム周期 (frame period) 内に黒い画面を挿入する必要がある、フレーム時間 (frame time) を消費する結果となる。これは、従

10

20

30

40

50

来のLCDパネルの反応時間が比較的十分に短いのが原因である。この問題を解決するため、フレームにおける表示時間(display time)が減少するように、光学補正複屈折(optically compensated birefringent = OCB)液晶を速い反応時間において使用する必要がある。OCB液晶は、表示セル(display cell)構造を有する特殊な液晶である。OCB液晶は、継続駆動されるように、そして灰色のレベルが生じるように、OCB液晶の駆動中にスプレー(Splay)状態からベンド(Bend)状態に予め変えられる必要があるため、駆動方法は通常のねじれネマチック(Twisted Nematic = TN)液晶よりも複雑である。OCB液晶においては、ソース駆動回路の出力周波数を上げる必要もあり、従来のTN LCDパネルがわずか48 KHzであるのに対し、OCB液晶においては通常80 KHz以上であることが必要とされる。さらに、バックライトモジュール(back light module)は、黒い画面を挿入するためにタイムシーケンスと関連づける必要がある。

10

【0004】

上記した特定の問題、つまり、高速LCDパネルの発展においてOCB液晶を使用する必要があること、OCB液晶の使用中に高い駆動周波数が必要であること、そして黒い画像を発生させるためにバックライトモジュールにコントローラーを増設する必要があることといった問題を解決するために、LCDパネルの反応時間を向上させる機能を有する駆動装置を備える必要がある。

【0005】

この発明は、反応時間が向上したLCDパネルを提供するものである。

【0006】

この発明は、さらに、LCDパネルの反応時間を向上させるための駆動装置を提供するものである。

20

【課題を解決するための手段】

【0007】

この発明が提供するLCDパネルは、少なくとも、第1グループのゲートラインと、第2グループのゲートラインと、第1グループのソースラインとを含み、ゲートパルス信号が2グループのゲートラインを介してLCDパネルに供給される。

【0008】

上記のLCDパネルでは、第1グループのゲートラインは実際のイメージデータのゲートパルスを供給するために使用され、第2グループのゲートラインは黒いイメージデータのゲートパルスを供給するために使用されるのが好ましい。ゲートパルスが供給されている第1グループのゲートラインと第2グループのゲートラインとの間の時間差は、1本の水平線あるいは複数の水平線の時間間隔である。

30

【0009】

上記のLCDパネルでは、第1グループのゲートラインおよび第2グループのゲートラインは同じ側面または異なる側面のどちらにも設置されることができる。

【0010】

上記のLCDパネルでは、さらに第2グループのソースラインを含むのが好ましい。第1グループのソースラインにはもとの実際のイメージデータが供給され、第2グループのソースラインにはもとの黒いイメージデータが供給される。あるいは、第1グループのソースラインにはもとの黒いイメージデータが供給され、第2グループのソースラインにはもとの実際のイメージデータが供給される。第1グループのソースラインと第2グループのソースラインとの間の時間差は、1本の水平線あるいは複数の水平線の時間間隔である。

40

【0011】

この発明がさらに提供する液晶表示の駆動装置は、少なくとも、LCパネルに接続された第1グループのゲートラインを有する第1ゲートドライバーと、LCパネルに接続された第2グループのゲートラインを有する第2ゲートドライバーと、LCパネルに接続された第1グループのソースラインとを有する第1ソースドライバーを備えたLCパネルを含む。

50

【 0 0 1 2 】

上記のＬＣＤ駆動装置では、第１グループのゲートラインは実際のイメージデータのゲートパルスを供給するために使用され、第２グループのゲートラインは黒いイメージデータのゲートパルスを供給するために使用されるのが好ましい。あるいは、第１グループのゲートラインは黒いイメージデータのゲートパルスを供給するために使用され、第２グループのゲートラインは実際のイメージデータのゲートパルスを供給するために使用されるのが好ましい。ゲートパルスが供給されている第１グループのゲートラインと第２グループのゲートラインとの間の時間差は、１本の水平線あるいは複数の水平線の時間間隔である。

【 0 0 1 3 】

上記のＬＣＤ駆動装置では、第１ゲートドライバーおよび第２ゲートドライバーはそれぞれ入力信号を受信するために接続されたシフトレジスターと、シフトレジスターに接続されたレベルシフターと、レベルシフターおよびそれに対応するゲート回路に接続された出力バッファとをさらに備えることが好ましい。第１ゲートドライバーおよび第２ゲートドライバーは同じ側面または異なる側面のどちらにも設置されることができる。第１ゲートドライバーおよび第２ゲートドライバーが同じ側面に設置されている時、第１ゲートドライバーおよび第２ゲートドライバーは同じドライバーまたは異なるドライバーのどちらにもなることができる。

【 0 0 1 4 】

上記のＬＣＤ駆動装置では、ＬＣパネルに接続された第２グループのソースラインを有する第２グループのソースドライバーをさらに備えることが好ましい。第１グループのソースラインは、もとの実際のイメージデータを供給するために使用され、第２グループのソースラインは、もとの黒いイメージデータを供給するために使用される。あるいは、第１グループのソースラインは、もとの黒いイメージデータを供給するために使用され、第２グループのソースラインは、もとの実際のイメージデータを供給するために使用される。データが供給されている第１グループのソースラインと第２グループのソースラインとの間の時間差は、１本の水平線あるいは複数の水平線の時間間隔である。

【 0 0 1 5 】

上記のＬＣＤ駆動装置では、それぞれの第１ソースドライバーおよび第２ソースドライバーは、さらに、アナログ入力データに接続されたＤＡＣと、グループに対応するソースラインとを備えることが好ましい。第１ソースドライバーおよび第２ソースドライバーは、同じ側面または異なる側面のどちらにも設置されることができる。第１ソースドライバーおよび第２ソースドライバーが同じ側面にある場合、第１ソースドライバーおよび第２ソースドライバーは同じドライバーまたは異なるドライバーのどちらにもなることができる。

【 0 0 1 6 】

上記の説明において、この発明にかかる速い反応速度を有するＬＣＤ駆動装置は、ＬＣパネルとしてＯＣＢ ＬＣを使用せずに、ＴＮ（Twisted Nematic）または垂直配向（Vertical Alignment = V A）ＬＣのみを使用することができる。これによって、灰色のレベルが継続的に生じるように、過剰に高い駆動周波数を引き起こすので、ＯＣＢ ＬＣをスプレー状態からベンド状態に予め変える必要があるとともに、実際のイメージデータと黒いイメージデータとの間をコントロールするためにバックライトモジュールにコントローラを必要とするといったＯＣＢ ＬＣ使用における従来の問題を解決することができる。そして、生産コスト、生産サイクル、ＬＣＤの複雑性などが効果的に減少される。

【 発明の効果 】

【 0 0 1 7 】

上記構成により、この発明にかかるＬＣＤパネルは、速い反応速度および駆動回路を備えて、ＬＣパネルとしてＯＣＢ ＬＣを使用せずに、ＴＮ ＬＣまたはＶＡ ＬＣのみを使用することができる。これによって、灰色のレベルが継続的に生じるように、過剰に高い駆動周波数を減少させるためにＯＣＢ ＬＣをスプレー状態からベンド状態へ予め変える

10

20

30

40

50

必要があるといった従来の問題を解決することができる。また、従来の設計では、実際のイメージデータと黒いイメージデータとの間をコントロールするために、バックライトモジュールに対するコントローラが必要であったが、この発明により、生産コスト、生産サイクル、LCDの複雑性などを含むいくつかの問題を減少させることができる。従って、産業上の利用価値が高い。

【発明を実施するための最良の形態】

【0018】

以下、この発明にかかる好適な実施例を図面に基づいて説明する。

図2において、駆動回路を備えたLCパネル202は、常時ブラック(normally black)パネル上での使用に適しており、第1グループのゲートラインG1~Gnと、第2グループのゲートラインGR1~GRnと、第1グループのソースラインS1~Smとを含んでいる。第1グループのゲートラインG1~Gnは、第1グループのトランジスタT1のゲート電極に接続され、LCパネル202をデータ走査するためのスイッチ機能として作用する。第2グループのゲートラインGR1~GRnは、第2グループのトランジスタT2のゲート電極に接続される。トランジスタT1およびT2は、薄膜トランジスタ(TFT)を含むものである。

【0019】

上記の実施形態において、第1グループのゲートラインG1~Gnおよび第2グループのゲートラインGR1~GRnは、LCパネル202にゲートパルス信号を供給するために使用される。例えば、第1グループのゲートラインG1~Gnに実際のイメージのゲートパルス信号が供給される時、第2グループのゲートラインGR1~GRnに黒いイメージのゲートパルス信号が供給される。この状況では、黒いイメージは少なくとも1本の水平線または複数の水平線の後に挿入される。あるいは、第1グループのゲートラインG1~Gnに黒いイメージのゲートパルス信号が供給される時、第2グループのゲートラインGR1~GRnに実際のイメージのゲートパルス信号が供給される。その効果は、類似したものである。

【0020】

図2において、ゲートドライバー204およびソースドライバー206がさらに含まれる。この方法では、2つのグループのゲートドライバーのシーケンスI/O(D__I/OおよびDR__I/O)を使用することにより、画像(pixel)に飛越走査を提供することができる。2つのグループのシーケンス信号D__I/OおよびDR__I/Oは、シーケンスコントローラより同時に得ることができるか、あるいはそれらの1つはゲートドライバー204から内部計数により得ることができる。ゲートドライバー204に供給されている2つのシーケンス信号D__I/OおよびDR__I/Oを使用すると、LCDパネルを駆動させるためにパルス信号が発生し、第1グループのゲートラインG1~Gnおよび第2グループのゲートラインGR1~GRnに出力される。図6では、この発明にかかる好適な実施例に基づき、ゲートドライバーの出力信号を図示する。例えば、シーケンス信号D__I/Oがゲートドライバー204に供給された後、ゲートパルス信号が順番に発生されて、第1グループのゲートラインG1~Gnに供給される。ゲートドライバーの入力コントロールに対する上下(Up/Down, U/D)状態はU/D=1である。この時点では、ソースドライバー206からの実際のイメージデータは、走査されたラインの画素へ出力される。シーケンス信号D__I/Oが供給された後の期間では、シーケンス信号DR__I/Oがゲートドライバー204に供給される。第2グループのゲートラインGR1~GRnに対する黒いイメージデータのゲートパルス信号は連続的に発生し、第2グループのゲートラインGR1~GRnに出力される。この場合におけるゲートドライバーはU/D=1である。図6に示すように、実際のイメージデータおよび黒いイメージデータの走査信号は、相対的に時間差を有する。この時間差は、水平線の有効画像時間と呼ばれる。有効画像時間の分量は、人の目のインパルス応答(impulse response)によって決まる。

【0021】

図4(a)および図4(b)では、この発明にかかる好適な実施例に基づき、LCDパネ

10

20

30

40

50

ルの駆動回路を図示する。図4(a)は、第1グループのゲートラインG1~Gnおよび第2グループのゲートラインGR1~GRnに対するゲートドライバー204がLCパネルの同じ側面にある時の構造を示す。一方、図4(b)は、第1グループのゲートラインG1~Gnに対するゲートドライバー204aと、第2グループのゲートラインGR1~GRnに対するゲートドライバー204bとが、LCパネルの異なる側面にある時の構造を示す。シーケンス信号D_I/Oがゲートドライバー204aに供給され、シーケンス信号DR_I/Oがゲートドライバー204bに供給され、パルス信号が発生されて、第1グループのゲートラインG1~Gnおよび第2グループのゲートラインGR1~GRnに供給される。その結果は、図4(a)の結果に類似する。図7では、この発明にかかる好適な実施例に基づき、LCDパネルの画像フレームに対する走査状態を図示する。図7において、時間の中間部分における走査結果は、上部から下部まで走査された実際のイメージの出力であり、時間の前段と後段における走査結果は、上部から下部の実際のイメージと共に走査された黒いイメージの出力である。言い換えると、黒いイメージの出力は、1本の水平線、複数の水平線あるいは全体のイメージがそれ以上の期間において持続させることができる。全てのゲートドライバーに対する走査方向は、上部から下部または下部から上部のどちらともすることができる。

10

【0022】

以下、この発明にかかるもう1つの好適な実施例を図面に基づいて説明する。

図3において、駆動装置を備えたLCパネル302は、常時白(normally white)パネルおよび常時黒(normally black)パネル上において使用するのに適切であり、第1グループのゲートラインG1~Gn、第2グループのゲートラインGR1~GRn、第1グループのソースラインS1~Sm、および第2グループのソースラインSR1~SRmを含む。第1グループのゲートラインG1~Gnは、駆動のためにLCパネルの第1グループのトランジスタT3のゲート電極に接続される。第2グループのゲートラインGR1~GRnは、第2グループのトランジスタT4のゲート電極に接続されるが、これらのトランジスタT3およびT4は、TFTを含むものである。

20

【0023】

上記の実施形態において、第1グループのゲートラインG1~Gnおよび第2グループのゲートラインGR1~GRnのうち少なくとも1つは、LCパネル302にパルス信号を供給するために使用することができる。例えば、第1グループのゲートラインG1~Gnに実際のイメージのゲートパルス信号が供給される時、第2グループのゲートラインGR1~GRnに黒いイメージのゲートパルス信号が供給される。この状況において、黒いイメージは少なくとも1本の水平線または複数の水平線の後に挿入される。もしくは、第1グループのゲートラインG1~Gnに黒いイメージのゲートパルス信号が供給される時、第2グループのゲートラインGR1~GRnに実際のイメージのゲートパルス信号が供給される。その効果は、類似したものである。

30

【0024】

図3において、ゲートドライバー304およびソースドライバー306がさらに含まれる。この状況において、2グループのシーケンス信号D_I/OおよびDR_I/O)を使用することにより、画像に飛越走査を提供することができる。2グループのシーケンス信号D_I/OおよびDR_I/Oは、シーケンスコントローラから同時に得ることができるか、あるいは、それらの1つはゲートドライバー304より内部計数で得ることができる。ゲートドライバー304に供給されている2つのシーケンス信号D_I/OおよびDR_I/Oを使用すると、LCDパネルを駆動させるためにパルス信号が発生されて、第1グループのゲートラインG1~Gnおよび第2グループのゲートラインGR1~GRnに出力される。図6では、この発明にかかる好適な実施例に基づき、ゲートドライバーの出力信号を図示する。例えば、シーケンス信号D_I/Oがゲートドライバー304に供給された後、ゲートパルス信号が順番に発生されて、第1グループのゲートラインG1~Gnに供給される。この時、ソースドライバー306からの実際のイメージデータは、走査されたラインの画素へ出力される。シーケンス信号D_I/Oが供給された後の期間に

40

50

、シーケンス信号 DR_I/O がゲートドライバー 304 に供給される。第 2 グループのゲートライン $GR1 \sim GRn$ に対する黒いイメージデータのゲートパルス信号は連続的に発生されて、第 2 グループのゲートライン $GR1 \sim GRn$ に出力される。図 6 に示すように、実際のイメージデータおよび黒いイメージデータの走査信号は、相対的に時間差を有する。この時間差は、水平線の有効画像時間と呼ばれる。有効画像時間の分量は、人の目のインパルス応答により決まる。

【0025】

図 4 (a) および図 4 (b) において、図 4 (a) は、第 1 グループのゲートライン $G1 \sim Gn$ および第 2 グループのゲートライン $GR1 \sim GRn$ に対するゲートドライバー 304 が LC パネル 302 の同じ側面にある時の構造を示す。一方、図 4 (b) は、第 1 グループのゲートライン $G1 \sim Gn$ の第 1 ゲートドライバー 304 a および第 2 グループのゲートライン $GR1 \sim GRn$ の第 2 ゲートドライバー 304 b が異なる側面にある時の構造を示す。シーケンス信号 D_I/O がゲートドライバー 304 a に供給され、シーケンス信号 DR_I/O がゲートドライバー 304 b に供給されて、パルス信号が発生され、第 1 グループのゲートライン $G1 \sim Gn$ および第 2 グループのゲートライン $GR1 \sim GRn$ に供給される。その結果は、図 4 (a) の結果に類似したものである。

【0026】

図 5 (a) および図 5 (b) において、図 5 (a) は、第 1 グループのソースライン $S1 \sim Sm$ および第 2 グループのソースライン $SR1 \sim SRm$ に対するソースドライバー 306 が LC パネル 302 の同じ側面にある時の構造を示す。一方、図 5 (b) は、第 1 グループのソースライン $S1 \sim Sm$ の第 1 ソースドライバー 306 a および第 2 グループのソースライン $SR1 \sim SRm$ の第 2 ソースドライバー 306 b が異なる側面にある時の構造を示す。図 5 (a) および図 5 (b) において、LC パネル 302 の異なる側面に設置された第 1 グループのゲートライン $G1 \sim Gn$ および第 2 グループのゲートライン $GR1 \sim GRn$ の構造と、LC パネル 302 の同じ側面に設置された第 1 グループのゲートライン $G1 \sim Gn$ および第 2 グループのゲートライン $GR1 \sim GRn$ の構造は、図 5 (a) および図 5 (b) において示したように、以下のような同じ結果をもたらす。

【0027】

例えば、第 1 グループのソースライン $S1 \sim Sm$ が実際のイメージデータを供給するために使用される時、第 2 グループのソースライン $SR1 \sim SRm$ は黒いイメージデータを供給するために使用される。この方法では、少なくとも 1 本または複数の水平線との間に、黒いイメージが挿入される。一方、第 1 グループのソースライン $S1 \sim Sm$ が黒いイメージデータを供給するために使用され、第 2 グループのソースライン $SR1 \sim SRm$ が実際のイメージデータを供給するために使用されても、同じ結果をもたらすことができる。

【0028】

図 8 は、この発明にかかる好適な実施例に基づき、ゲートドライバーを図示するブロック図である。図 8 において、ドライバー 800 は、上記したゲートドライバー 204 および 304 と、第 1 ゲートドライバー 204 a および 304 a と、第 2 ゲートドライバー 204 b および 304 b とを含む。内部機能ブロックは、少なくともデータ入力を受信するために接続されたシフトレジスタ (shift register) 802 を含むが、少なくともシーケンス信号 D_I/O および DR_I/O 、あるいはシーケンス信号 D_O/I および DR_O/I さえも含む。出力バッファ (output buffer) 806 は、レベルシフター 804 (level shifter) および対応するゲートラインに接続される。図 8 において、電圧 VGG および VEE はそれぞれ $G1$ から Gn までのゲートラインに対する正バイアスおよび負バイアスの入力電圧を示す。図面において、 VDD はデジタル回路に対する入力電圧を示す。CLK は入力クロックを示し、 U/D はゲートドライバーの上下 (Up/Down) のコントロール入力を示す。第 1 ゲートドライバー 204 a の第 1 グループのゲートライン $G1 \sim Gn$ は、図 8 に示すように、第 2 グループのゲートライン $GR1 \sim GRn$ 、あるいは第 1 および第 2 グループのゲートライン $G1$ 、 $GR1 \sim Gn$ 、 GRn になることができる。ゲートドライバー 800 は、さらに、他の動作を実行するためにコントロールブロック 808 を含

10

20

30

40

50

むことができる。

【 0 0 2 9 】

図 9 は、この発明にかかる好適な実施例に基づき、ソースドライバを図示するブロック図である。図 9 において、ドライバ 9 0 0 は、上記したソースドライバ 2 0 6 および 3 0 6 と、第 1 ソースドライバ 3 0 6 a と、第 2 ソースドライバ 3 0 6 b とを含む。内部機能ブロックは、基準入力信号を受信するために接続されたデジタル / アナログコンバータ (digital to analog converter = D A C) 9 0 2、D A C 9 0 2 に接続された出力バッファ (output buffer) 9 0 4 および対応するソースライン S 1 ~ S m を含む。ソースドライバはさらに、他の動作を実行するためにコントロールブロック 9 0 6 を含む。図 9 における P O L は、電気極性のコントロール入力を示し、L D は、ラッチングコントロール入力を示す。 10

【 0 0 3 0 】

以上のごとく、この発明を好適な実施例により開示したが、もとより、この発明を限定するためのものではなく、当業者であれば容易に理解できるように、この発明の技術思想の範囲内において、適当な変更ならびに修正が当然なされうるものであるから、その特許権保護の範囲は、特許請求の範囲および、それと均等な領域を基準として定めなければならない。

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 従来の T F T - L C D パネル構造を示す回路構成面である。 20

【 図 2 】 この発明にかかる好適な実施例に基づき、ドライバを有する L C D パネルを示す回路構成面である。

【 図 3 】 この発明にかかるもう 1 つの好適な実施例に基づき、ドライバを有する L C D パネルを示す回路構成面である。

【 図 4 】 (a) (b) は、この発明にかかる好適な実施例に基づき、L C D パネルにおける駆動装置を示す回路構成面である。

【 図 5 】 (a) (b) は、この発明にかかるもう 1 つの好適な実施例に基づき、L C D パネルにおける駆動装置を示す回路構成面である。

【 図 6 】 この発明にかかる好適な実施例に基づき、ゲートドライバの出力信号を示すタイミング面である。 30

【 図 7 】 この発明にかかる好適な実施例に基づき、L C D パネルの画像フレームに対する走査状態を示す説明面である。

【 図 8 】 この発明の好適な実施例にかかるゲートドライバを示すブロック図である。

【 図 9 】 この発明の好適な実施例にかかるソースドライバを示すブロック図である。

【 符号の説明 】

【 0 0 3 2 】

2 0 2、3 0 2 L C パネル

G 1 ~ G n、G R 1 ~ G R n ゲートライン

S 1 ~ S m、S R 1 ~ S R m ソースライン

T 1、T 2、T 3、T 4 トランジスタ 40

2 0 4、2 0 4 a、2 0 4 b、3 0 4、3 0 4 a、3 0 4 b ゲートドライバ

2 0 6、2 0 6 a、2 0 6 b、3 0 6、3 0 6 a、3 0 6 b ソースドライバ

8 0 0 ドライバ

8 0 2 シフトレジスタ

8 0 4 レベルシフター

8 0 6 出力バッファ

8 0 8 コントロールブロック

9 0 0 ドライバ

9 0 2 デジタル / アナログコンバータ (D A C)

9 0 4 出力バッファ 50

906 コントロールブロック

D__I/O、DR__I/O、D__O/I、DR__O/I シーケンス信号

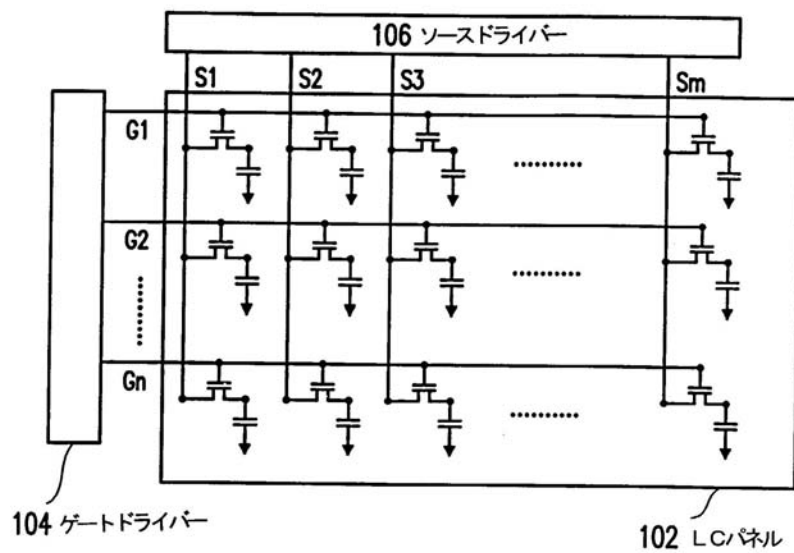
VGG、VEE、VDD 入力電圧

CLK 入力クロック

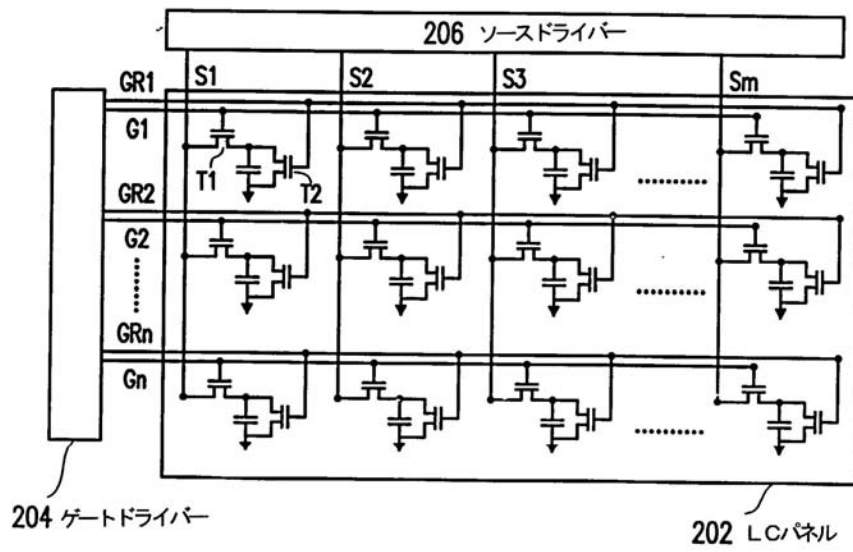
POL 電気極性コントロール入力

LD ラッチングコントロール入力

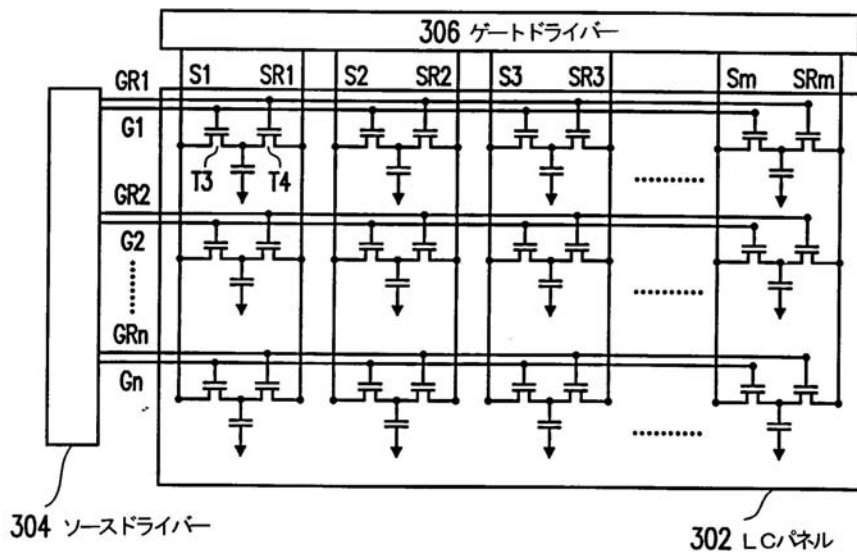
【図1】



【 図 2 】

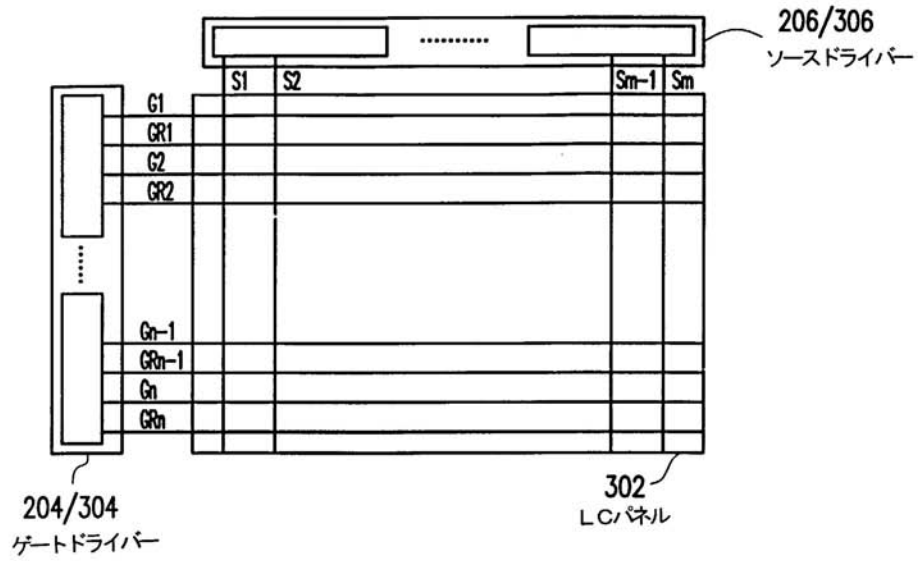


【 図 3 】

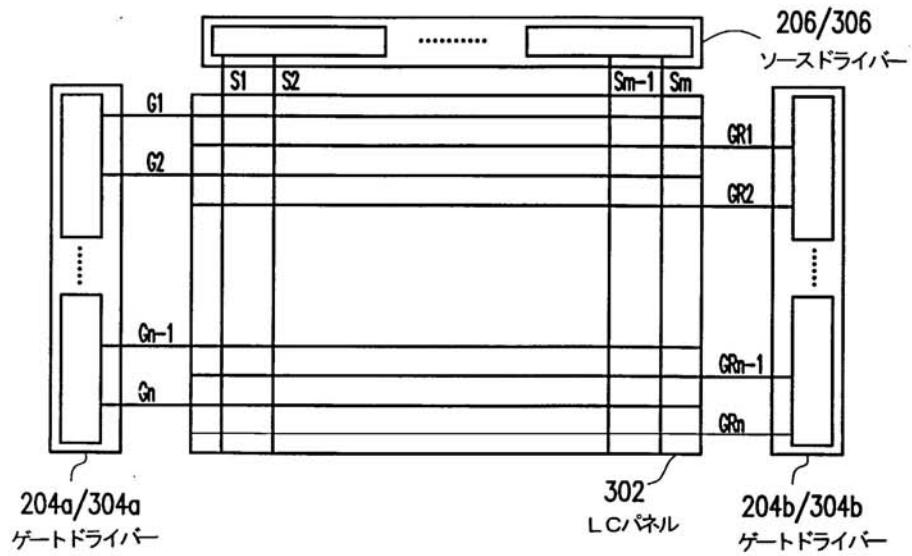


【 図 4 】

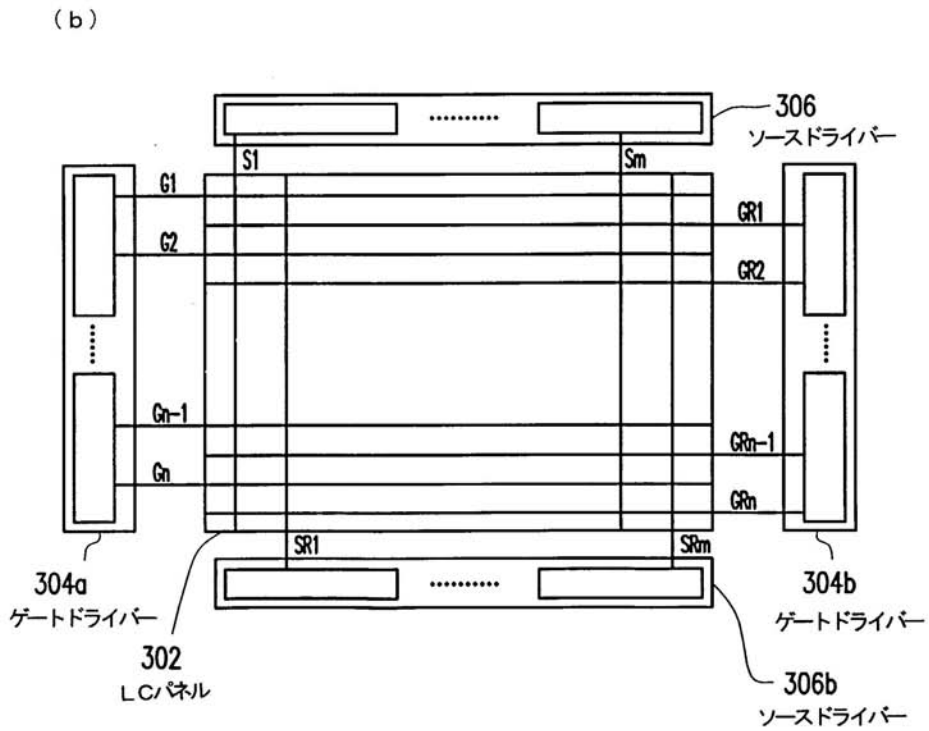
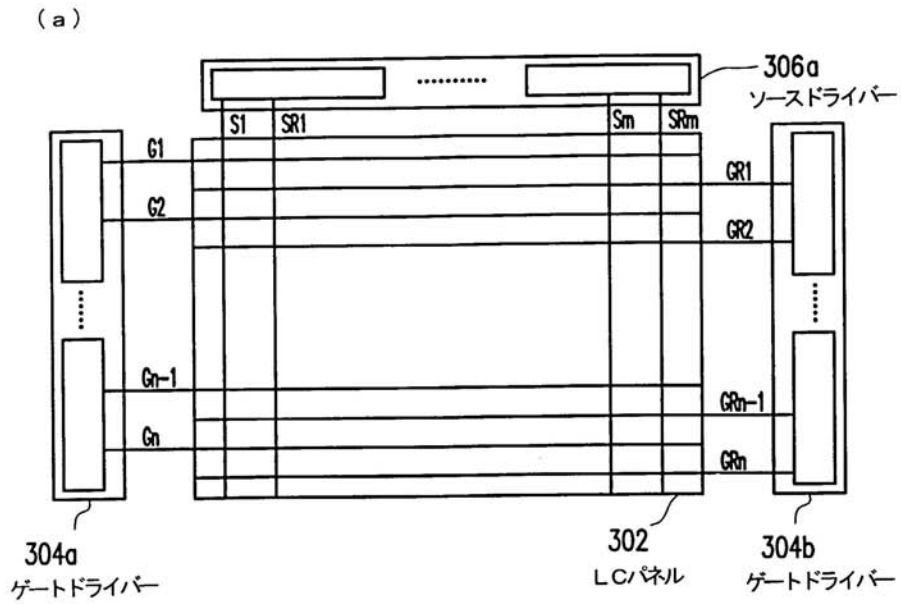
(a)



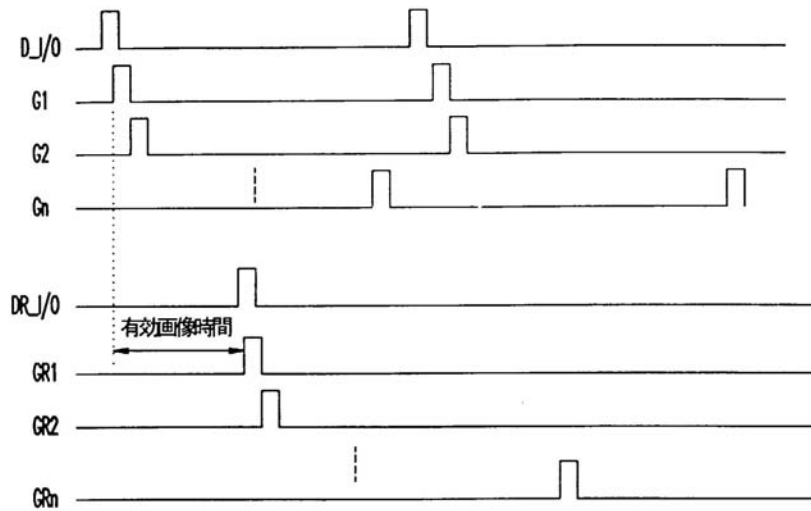
(b)



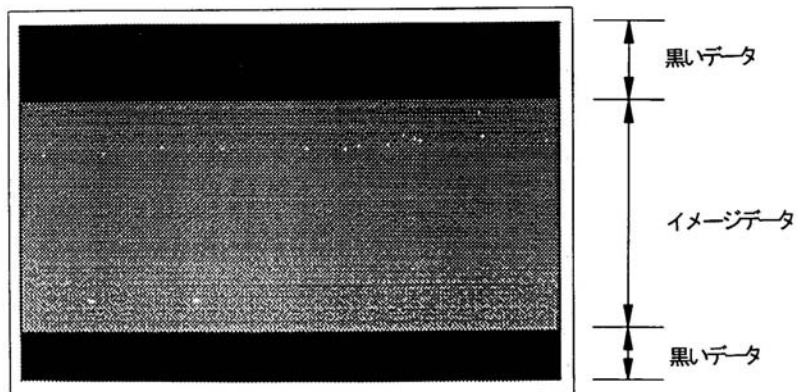
【 図 5 】



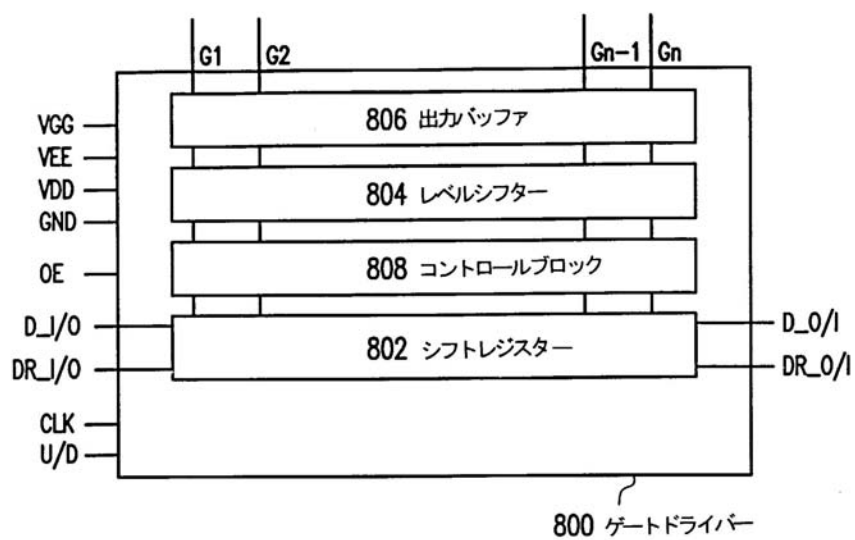
【図 6】



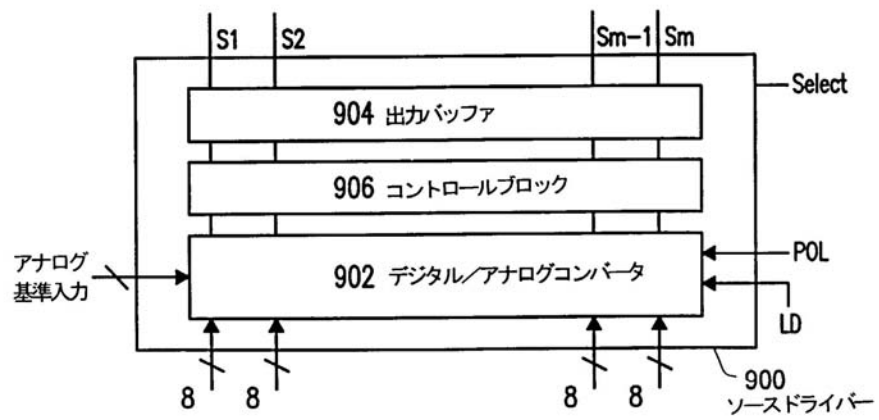
【図 7】



【図 8】



【 図 9 】



(51) Int.Cl.⁷

テーマコード（参考）

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/36	

弁理士 山根 広昭

台灣台北市萬華區萬大路329巷27弄19號4樓

台灣新竹市光復路476巷26號12樓

2H093	NA16	NA43	NA53	NC10	NC12	NC21	NC22	NC34	NC65	ND32
	ND58	NF04	NF05							
5C006	AA16	AC11	AC29	AF22	AF42	AF43	AF59	AF72	AF83	BB14
	BB16	BC02	BC03	BC06	BC12	BC22	BC23	BF03	BF25	BF26
	BF27	FA12	FA14	FA29	FA41	FA51				
5C080	AA10	BB06	DD02	DD22	DD27	EE19	EE26	EE29	FF11	JJ01
	JJ02	JJ03								

专利名称(译)	液晶显示面板及其驱动电路		
公开(公告)号	JP2005134864A	公开(公告)日	2005-05-26
申请号	JP2004076496	申请日	2004-03-17
[标]申请(专利权)人(译)	RENEI KAGI古坟YUGENKOSHI		
申请(专利权)人(译)	联咏科技股▲ふん▼有限公司		
[标]发明人	高建賢 登永佳		
发明人	高 建賢 ▲登▼ 永佳		
IPC分类号	G02F1/139 G02F1/133 G02F1/1362 G09G3/20 G09G3/36		
CPC分类号	G02F1/13624 G02F1/136286 G09G3/3648 G09G2310/0205 G09G2310/061 G09G2320/0252		
FI分类号	G02F1/133.570 G02F1/133.550 G02F1/139 G09G3/20.621.F G09G3/20.621.L G09G3/20.621.M G09G3/20.622.B G09G3/20.622.D G09G3/20.622.E G09G3/20.622.K G09G3/20.623.F G09G3/20.623.U G09G3/20.624.B G09G3/20.641.R G09G3/20.680.G G09G3/36		
F-TERM分类号	2H088/GA02 2H088/HA08 2H088/JA04 2H088/MA10 2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC22 2H093/NC34 2H093/NC65 2H093/ND32 2H093/ND58 2H093/NF04 2H093/NF05 5C006/AA16 5C006/AC11 5C006/AC29 5C006/AF22 5C006/AF42 5C006/AF43 5C006/AF59 5C006/AF72 5C006/AF83 5C006/BB14 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC22 5C006/BC23 5C006/BF03 5C006/BF25 5C006/BF26 5C006/BF27 5C006/FA12 5C006/FA14 5C006/FA29 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB06 5C080/DD02 5C080/DD22 5C080/DD27 5C080/EE19 5C080/EE26 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 2H093/NC40 2H193/ZA04 2H193/ZA19 2H193/ZD23 2H193/ZF22 2H193/ZF24 2H193/ZF36 2H193/ZH40 2H193/ZQ06		
代理人(译)	田中 秀佳 熊野刚		
优先权	092129874 2003-10-28 TW		
外部链接	Espacenet		

摘要(译)

目的提供一种反应速度快的液晶显示面板。提供至少第一组栅极线，第二组栅极线和第一组源极线，并且经由两组栅极线将栅极脉冲信号提供给LCD面板。另外，优选地，包括第二组的源极线，两组的源极线之一被提供有实际图像数据，而另一组被提供黑图像数据。因此，此液晶显示面板只能使用扭曲向列液晶或垂直排列液晶（VA-LC），而无需光学校正的双折射液晶（OCB-LC），因此使用OCB-LC可以避免由于液晶面板反应速度快的问题。[选择图]图3

