

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003－186050

(P2003－186050A)

(43)公開日 平成15年7月3日(2003.7.3)

(51)Int.Cl ⁷	識別記号	F I	テームコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
1/1345		1/1345	5 F 1 1 0
H 0 1 L 21/336		H 0 1 L 29/78	612 D
29/786			

審査請求 未請求 請求項の数 8 O L (全 8 数)

(21)出願番号 特願2002－317612(P2002－317612)

(22)出願日 平成14年10月31日(2002.10.31)

(31)優先権主張番号 090129131

(32)優先日 平成13年11月23日(2001.11.23)

(33)優先権主張国 台湾(TW)

(71)出願人 599142729

奇美電子股▲ふん▼有限公司

台湾台南県台南科学工業園区新市郷奇業路
1号

(72)発明者 李欣達

台湾台南県台南科学工業園区新市郷奇業路
一號

(72)発明者 ▲呉▼昭文

台湾宜蘭縣宜蘭市文化里十二鄰軍民路九巷
二十號

(74)代理人 100080252

弁理士 鈴木 征四郎

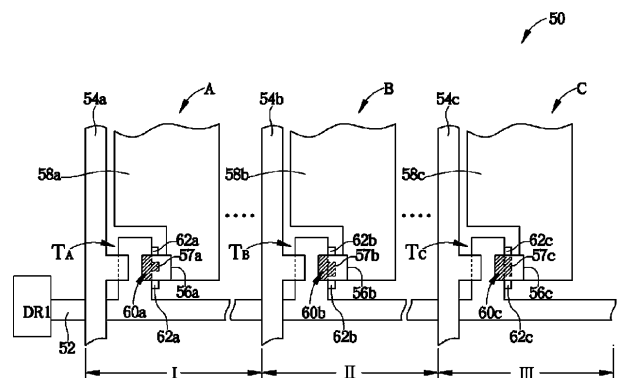
最終頁に続く

(54)【発明の名称】 低ちらつき液晶パネル

(57)【要約】

【課題】ストレージキャパシタが変わることがなく、液晶セルの電荷を蓄えることに影響させないし、そして、走査線の幅も増やす必要がなく、その結果、開口率が減らされる欠点を改善することができる低ちらつき液晶パネルを提供する。

【解決方法】 薄膜トランジスタのゲート電極とソース電極にブロックを加え、各々の画素にあるゲート電極とソース電極との重なる領域の面積を調整して、重なる領域の面積が対応するこの重なる領域の走査線の入力端と対応するこの重なる領域の画素との距離の増加にしたがって増大させられる。T F Tのゲート電極とソース電極との間の容量を調整することによって各々の画素のフィールドスルー電圧をほぼ同じにさせる。



【特許請求の範囲】

【請求項 1】 複数の信号線と、複数の走査線と、前記走査線の中の一つに電氣的に接続されるゲート電極と前記信号線の中の一つに電氣的に接続されるソース電極と画素電極に電氣的に接続されるドレイン電極とを有するスイッチングトランジスタと液晶セルと前記画素電極とコンデンサとをそれぞれ有する複数の画素とを含み、前記ゲート電極と前記ソース電極との間には重なる領域があり、前記重なる領域の面積は前記重なる領域に対応する走査線の入力端と前記重なる領域に対応する画素との距離の増加にしたがって増大することを特徴とする低ちらつき液晶パネル。

【請求項 2】 前記ゲート電極は前記重なる領域の中にあるブロックを有し、前記ブロックの面積は前記入力端と前記ブロックに対応する画素との距離の増加にしたがって、増大することを特徴とする請求項 1 に記載の低ちらつき液晶パネル。

【請求項 3】 前記ソース電極は前記重なる領域の中にあるブロックを有し、前記ブロックの面積は前記入力端と前記ブロックに対応する画素との距離の増加にしたがって、増大することを特徴とする請求項 1 または 2 に記載の低ちらつき液晶パネル。

【請求項 4】 前記ゲート電極は対の保護構造があり、それぞれ前記ブロックの両側に付け、前記ブロックと前記ゲート電極が離れるのを妨げることを特徴とする請求項 1、2 または 3 に記載の低ちらつき液晶パネル。

【請求項 5】 走査線制御回路エリアに電氣的に接続される走査線と前記走査線に電氣的に接続される第一ゲート電極と第一信号線に電氣的に接続される第一ドレイン電極と第一画素電極に電氣的に接続される第一ソース電極とを有する第一トランジスタを少なくとも一つ有し、前記第一ゲート電極と前記第一ソース電極との間にある第一の重なる領域を有する前記走査線の上にある第一エリアと、前記走査線に電氣的に接続される第二ゲート電極と第二信号線に電氣的に接続される第二ドレイン電極と第二画素電極に電氣的に接続される第二ソース電極とを有する第二トランジスタを少なくとも一つ有し、前記第二ゲート電極と前記第二ソース電極との間にある第二の重なる領域を有し、すぐ隣の前記第一エリアに付いており、前記走査線の上にある第二エリアとを含み、前記第一エリアは前記走査線制御回路エリアと前記第二エリアとの間にあり、前記第二の重なる領域の面積が前記第一の重なる領域の面積より大きい部分は、予定値であることを特徴とする低ちらつき液晶パネル。

【請求項 6】 前記第一ゲート電極は前記第一の重なる領域にある第一ブロックを有し、前記第二ゲート電極は前記第二の重なる領域にある第二ブロックを有し、かつ前記予定値は前記第二ブロックと前記第一ブロックとの面積差であることを特徴とする請求項 5 に記載の低ちらつき液晶パネル。

【請求項 7】 前記第一ゲート電極は少なくとも一つ保護構造を有し、前記第一ブロックの両側に付け、前記第一ブロックと前記第一ゲート電極とが離れるのを妨げることを特徴とする請求項 5 または 6 に記載の低ちらつき液晶パネル。

【請求項 8】 前記第一ソース電極は前記第一の重なる領域にある第三ブロックを有し、前記第二ソース電極は前記第二の重なる領域にある第四ブロックを有し、かつ前記予定値は前記第四ブロックと前記第三ブロックとの面積差であることを特徴とする請求項 5、6 または 7 に記載の低ちらつき液晶パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶パネルに関し、特に低ちらつき液晶パネルに関する。

【0002】

【従来の技術】薄膜トランジスタフラットディスプレイは、特に薄膜トランジスタ液晶ディスプレイ（以下、TFT-LCD と略称する）がマトリックス配列の薄膜トランジスタを主に利用し、適切な電子デバイスを合わせて液晶画素を駆動させ、豊かで綺麗な画像を作り出す。TFT-LCD は外形が薄くて軽く、消費電力が少なく、放射線なしなどの特性を有するので、ノートパソコン、PDA などのモバイル電子製品に広く使われ、さらにデスクトップパソコンの CRT モニターにとって代わりつつある成り行きである。

【0003】図 1 に一般的な TFT-LCD を開示すると共に、図 2 に画素の等価回路を開示する。図 1 に示すように、TFT-LCD (10) は走査線駆動回路エリア (12)、信号線駆動回路エリア (14) および画素アレイエリア (16) を含む。画素アレイエリア (16) の中には複数の画素が含まれ、画素 A、画素 B、画素 C が同じ走査線の上に置かれる。図 2 に開示するように、画素 (20) は対向電極 CE と薄膜トランジスタ TFT に接続される液晶セル LC を含む。薄膜トランジスタ TFT のゲート電極が走査線 G₀ に、ドレイン電極が信号線 D₀ に、ソース電極が液晶セル LC の画素電極に接続される。その他、画素 (20) はまた液晶セル LC と走査線 G₁ 間に接続されるストレージキャパシタ SC を含む。ストレージキャパシタ SC は、漏電流による液晶セル LC の電圧変動を減らすのに使用され、それによって、液晶セル LC が電荷を蓄えるのを助ける。

【0004】図 2 に開示するように、画素を通過する光は液晶セル LC に加えられる電圧により変化する。液晶セル LC に加えられる電圧を変化させることで、各画素を通過する光量は変化し、それによって、TFT-LCD は所定の画像を表示することができる。液晶セル LC に加えられる電圧は、対向電極 CE と画素電極との電圧差であり、TFT がオフになる時に、画素電極がどの電極にも接続されていないで、フローティングの状態に置

かれる。この時、もし画素電極の周りに何かの電圧変動が生じたら、この変動は画素電極の電圧を望ましい電圧から逸らせることになる。この画素電極の電圧変動はフィードスルー電圧 (Feed-through Voltage) V_{FD} と称し、下記のように表わされる。

$$V_{FD} = [C_{GS} / (C_{LC} + C_{SC} + C_{GS})] * \Delta V_G \quad (1)$$

方程式(1)における C_{LC} は液晶セルLCの容量、 C_{SC} はストレージキャパシタSCの容量、 C_{GS} はTFTのゲート電極とソース電極との間の容量、 ΔV_G は走査線に加えられるパルス電圧の振幅である。

【0005】一般的に言うと、対向電極CEの電圧を調整することによって、フィードスルー電圧 V_{FD} を補正することができる。しかし、走査線の低抗と容量がゲート電極に加わるパルス電圧の立ち下がり(falling edge)を丸く(round)するので、画素のフィードスルー電圧 V_{FD} は、走査線制御回路と画素の距離が大きくなるにつれて小さくなる。例えば、図1に開示されるように、画素Aのフィードスルー電圧 V_{FD} は画素Bのそれより大きい。画素Bのフィードスルー電圧 V_{FD} は画素Cのそれより大きい。(すなわち、 $(V_{FD})_A > (V_{FD})_B > (V_{FD})_C$ である。ここに、 $(V_{FD})_A$ 、 $(V_{FD})_B$ 、 $(V_{FD})_C$ は、画素A、B、Cのフィードスルー電圧 V_{FD} をそれぞれ表す。)したがって、対向電極CEの電圧を調整することによって、すべての画素のフィードスルー電圧 V_{FD} を補正することは難しい。それゆえ、ちらつきのないTFT-LCD画面を提供することは難しい。

【0006】アメリカ特許第6,028,650号は、すなわち前記の欠点を解決するための発明である。図3は従来技術によるLCDの画素アレイの平面図である。図3に開示するように、画素アレイ(30)は、走査線駆動回路エリアDR1に電気的に接続される走査線(32)(32a)と、信号線(34a)(34b)(34c)と、それぞれ図1の画素A、画素B、画素Cに対応する画素A、画素B、画素Cを含む。画素A、画素B、画素Cの中にはそれぞれ、薄膜トランジスタ Q_A 、 Q_B 、 Q_C と対応する液晶セル(図示せず)を含む。薄膜トランジスタ Q_A 、 Q_B 、 Q_C はゲート電極が走査線(32)に、ドレイン電極がそれぞれ信号線(34a)(34b)(34c)に、ソース電極(36a)(36b)(36c)がそれぞれ画素電極(38a)(38b)(38c)に接続される。

【0007】図3に開示するように、画素アレイ(30)の形成はパターンニングされる導電層が基板(図示せず)の上に形成され、即ち前記導電層が走査線(32)(32a)であり、そして絶縁層と半導体層の順に走査線(32)(32a)と該基板の上に堆積させ、引き続きもう一つパターンニングされる導電層を堆積させ、信号線(34a)(34b)(34c)を形成し、最後に透明導電層を堆積させ、画素A、画素B、画素Cの画素電極(38a)(38b)(38c)を形成する。走査線

(32a)と画素電極(38a)との重なる領域(40a)は、画素Aのストレージキャパシタである。同じように、重なる領域(40b)(40c)は、それぞれ画素B、画素Cのストレージキャパシタである。画素A、B、Cの容量は、 $(C_{SC})_A$ 、 $(C_{SC})_B$ 、 $(C_{SC})_C$ により表される。重なる領域(40a)の面積は重なる領域(40b)のそれより大きく、重なる領域(40b)の面積は重なる領域(40c)のそれより大きい。結果として、 $(C_{SC})_A > (C_{SC})_B > (C_{SC})_C$ となる。かくて、 $(V_{FD})_A$ 、 $(V_{FD})_B$ 、 $(V_{FD})_C$ により表される画素A、画素B、画素Cのフィードスルー電圧 V_{FD} は、ほぼ等しい。(すなわち、 $(V_{FD})_A \approx (V_{FD})_B \approx (V_{FD})_C$)

【0008】要するに、上述の方法は、ストレージキャパシタの容量を調整して全ての画素のフィードスルー電圧 V_{FD} を補正することである。即ち、液晶セルが電荷を蓄えることを助け、ストレージキャパシタの容量が小さければ液晶セルが電荷を蓄えることを助ける能力が小さいほど低い。したがって、ストレージキャパシタの容量の大きさを変えることによって各々の画素が同じフィードスルー電圧 V_{FD} を維持する欠点はストレージキャパシタの容量が小さければ液晶セルが電荷を蓄えることを助ける能力が小さいほど低い。その他、各々の画素が同じフィードスルー電圧 V_{FD} を維持するためにストレージキャパシタを変えることによって、走査線の幅を最大ストレージキャパシタに合わせて設計しなければならない。そして、画素の中の光りが透過できる部分が減らされ、即ち開口率が減らされる。

【0009】

【発明が解決しようとする課題】この発明は、従来技術による低ちらつき液晶パネルがフィードスルー電圧を維持するために生じる液晶セルの電荷を蓄えることを助ける能力低下、あるいは走査線の幅を最大ストレージキャパシタに合わせて設計することによって、画素の中の光りが透過できる部分が減らされるという問題に対して、フィードスルー電圧を維持させる低ちらつき液晶パネルを提供することを課題とする。

【0010】

【課題を解決するための手段】そこで、本発明者は従来技術に見られる欠点に鑑み、鋭意研究を重ね、複数の信号線と、複数の走査線と、画素電極とストレージキャパシタを具える液晶セルとスイッチングトランジスタとをそれぞれ有する複数の画素とによって液晶パネルを構成して、前記課題を解決することに着目し、かかる見地に基づいて本発明の完成に至った。

【0011】即ち、本発明による低ちらつき液晶パネルは、該スイッチングトランジスタにあるゲート電極とソース電極との重なる面積を変えることによってゲートソース容量 C_{GS} を変え、各々の画素が同じフィードスルー電圧 V_{FD} を維持する効果を発揮する。本発明による低ちらつき液晶パネルは、ストレージキャパシタが変わらな

いので、液晶セルの電荷を蓄えることに影響させないし、そして、走査線の幅も増やす必要がないので、開口率が減らされる欠点を改善することができる。

【0012】以下に詳述する。請求項1に記載する低ちらつき液晶パネルは、複数の信号線と、複数の走査線と、前記走査線の中の一つに電氣的に接続されるゲート電極と前記信号線の中の一つに電氣的に接続されるソース電極と画素電極に電氣的に接続されるドレイン電極とを有するスイッチングトランジスタと液晶セルと前記画素電極とコンデンサとをそれぞれ有する複数の画素とを含み、前記ゲート電極と前記ソース電極との間には重なる領域があり、前記重なる領域の面積は前記重なる領域に対応する走査線の入力端と前記重なる領域に対応する画素との距離の増加にしたがって増大することを特徴とする。

【0013】上記請求項1における請求項2に記載する低ちらつき液晶パネルは、前記ゲート電極は前記重なる領域の中にあるブロックを有し、前記ブロックの面積は前記入力端と前記ブロックに対応する画素との距離の増加にしたがって、増大することを特徴とする。

【0014】上記請求項1または2における請求項3に記載する低ちらつき液晶パネルは、前記ソース電極は前記重なる領域の中にあるブロックを有し、前記ブロックの面積は前記入力端と前記ブロックに対応する画素との距離の増加にしたがって、増大することを特徴とする。

【0015】上記請求項1、2または3における請求項4に記載する低ちらつき液晶パネルは、前記ゲート電極は対の保護構造があり、それぞれ前記ブロックの両側に付け、前記ブロックと前記ゲート電極が離れるのを妨げることを特徴とする。

【0016】請求項5に記載する低ちらつき液晶パネルは、走査線制御回路エリアに電氣的に接続される走査線と前記走査線に電氣的に接続される第一ゲート電極と第一信号線に電氣的に接続される第一ドレイン電極と第一画素電極に電氣的に接続される第一ソース電極とを有する第一トランジスタを少なくとも一つ有し、前記第一ゲート電極と前記第一ソース電極との間にある第一の重なる領域を有する前記走査線の上にある第一エリアと、前記走査線に電氣的に接続される第二ゲート電極と第二信号線に電氣的に接続される第二ドレイン電極と第二画素電極に電氣的に接続される第二ソース電極とを有する第二トランジスタを少なくとも一つ有し、前記第二ゲート電極と前記第二ソース電極との間にある第二の重なる領域を有し、すぐ隣の前記第一エリアに付いており、前記走査線の上にある第二エリアとを含み、前記第一エリアは前記走査線制御回路エリアと前記第二エリアとの間にあり、前記第二の重なる領域の面積が前記第一の重なる領域の面積より大きい部分は、予定値であることを特徴とする。

【0017】上記請求項5における請求項6に記載する

低ちらつき液晶パネルは、前記第一ゲート電極は前記第一の重なる領域にある第一ブロックを有し、前記第二ゲート電極は前記第二の重なる領域にある第二ブロックを有し、かつ前記予定値は前記第二ブロックと前記第一ブロックとの面積差であることを特徴とする。

【0018】上記請求項5または6における請求項7に記載する低ちらつき液晶パネルは、前記第一ゲート電極は少なくとも一つ保護構造を有し、前記第一ブロックの両側に付け、前記第一ブロックと前記第一ゲート電極とが離れるのを妨げることを特徴とする。

【0019】上記請求項5、6または7における請求項8に記載する低ちらつき液晶パネルは、前記第一ソース電極は前記第一の重なる領域にある第三ブロックを有し、前記第二ソース電極は前記第二の重なる領域にある第四ブロックを有し、かつ前記予定値は前記第四ブロックと前記第三ブロックとの面積差であることを特徴とする。

【0020】

【発明の実施の形態】この発明は、薄膜トランジスタのゲート電極とソース電極にブロックを増大し、各々の画素にあるゲート電極とソース電極との重なる領域の面積を調整して、重なる領域の面積が対応するこの重なる領域の走査線の入力端と対応するこの重なる領域の画素との距離の増加にしたがって増大させられる。TFTのゲート電極とソース電極との間のゲートソース容量 C_{GS} を調整することによって各々の画素のフィードスルー電圧 V_{FD} をほぼ同じようにさせる。かかる液晶パネルの構造と特徴を詳述するために、具体的な実施例を挙げ、図示に基づいて以下に説明する。

【0021】

【第一の実施例】図4は、この発明によるTFT-LCDの画素アレイの平面図である。図4に開示するように、画素アレイ(50)は走査線駆動回路エリアDR1に電氣的に接続される走査線(52)と信号線(54a)(54b)(54c)とそれぞれ図1の画素A、画素B、画素Cに対応する画素A、画素B、画素Cを含む。画素A、画素B、画素Cの中には、薄膜トランジスタ T_A 、 T_B 、 T_C とそれぞれ対応する液晶セル(図示せず)を含む。薄膜トランジスタ T_A 、 T_B 、 T_C はドレイン電極がそれぞれ信号線(54a)(54b)(54c)に、ソース電極(56a)(56b)(56c)がそれぞれ画素電極(58a)(58b)(58c)に、ゲート電極が走査線(52)に接続される。走査線(52)とソース電極(56a)との重なる部分は重なる領域(60a)(斜線部分)であり、重なる領域(60b)(60c)はそれぞれ走査線(52)とソース電極(56b)(56c)との重なる部分である。その他、薄膜トランジスタ T_A 、 T_B 、 T_C のゲート電極はそれぞれブロック(57a)(57b)(57c)を含み、そしてブロック(57a)(57b)(57c)が

重なる領域(60a)(60b)(60c)の中にあり、ブロック(57a)(57b)(57c)の面積が漸増する変化を表わしている。ブロック(57a)(57b)(57c)が後工程でゲート電極と離れることを妨げるためにブロック(57a)(57b)(57c)の両側にそれぞれ対の保護構造(62a)(62b)(62c)を加える。保護構造(62a)(62b)(62c)は重なる領域(60a)(60b)(60c)の両側或いは重なる領域(60a)(60b)(60c)の内部に設けることができる。ブロック(57a)(57b)(57c)の面積が漸増する変化を表わしているので、重なる領域(60a)(60b)(60c)はブロック(57a)(57b)(57c)を引いた後の面積がほぼ同じである。従って、重なる領域(60a)(60b)(60c)の面積も漸増する変化を表わしている。

【0022】画素アレイ(50)の形成はパターンニングされる導電層が基板(図示せず)の上に形成され、即ち前記導電層が走査線(52)であり、そして絶縁層と半導体層の順に走査線(52)と基板の上に堆積させ、引き続きもう一つパターンニングされる導電層を堆積させ、信号線(54a)(54b)(54c)を形成し、最後に透明導電層を堆積させ、画素A、画素B、画素Cの画素電極(58a)(58b)(58c)を形成する。

【0023】方程式(1)を参照されたい。一般的に言う、方程式(1)に開示されるストレージキャパシタの容量 C_{SC} 及び液晶セルLCの容量 C_{LC} は、ゲート電極とソース電極との間の容量 C_{GS} の約数十倍であり、即ち C_{SC} 、 $C_{LC} \gg C_{GS}$ になる。したがって、方程式(1)は下の式に書き直すことができる。

$$V_{FD} = [C_{GS} / (C_{LC} + C_{SC})] * \Delta V_G \quad (2)$$

【0024】したがって、図4の画素A、画素B、画素Cに対して、もし $(C_{GS})_A = (C_{GS})_B = (C_{GS})_C$ 、 $(C_{SC})_A = (C_{SC})_B = (C_{SC})_C$ 、 $(C_{LC})_A = (C_{LC})_B = (C_{LC})_C$ とするなら、画素A、画素B、画素Cのフィードスルー電圧 V_{FD} の関係は $(V_{FD})_A > (V_{FD})_B > (V_{FD})_C$ になる。方程式(2)に開示するように、もし $(C_{GS})_A < (C_{GS})_B < (C_{GS})_C$ 、 $(C_{SC})_A = (C_{SC})_B = (C_{SC})_C$ 、 $(C_{LC})_A = (C_{LC})_B = (C_{LC})_C$ とするなら、画素A、画素B、画素Cのフィードスルー電圧 V_{FD} は、ほぼ同じである。本発明はこの考えを利用して前記の欠点を解決する。本発明の方法は、ゲート電極の近くにブロック(57a)(57b)(57c)を加える。ゲート電極とソース電極の重なる領域(60a)の面積が重なる領域(60b)の面積より小さく、重なる領域(60b)の面積は重なる領域(60c)の面積より小さい。このようにして、 $(C_{GS})_A$ は $(C_{GS})_B$ より小さく、 $(C_{GS})_B$ は $(C_{GS})_C$ より小さい。かくて、画素A、画素B、画素Cのフィードスルー電圧 V_{FD} はほぼ等しい。すなわち、 $(V_{FD})_A = (V_{FD})_B = (V_{FD})_C$ である。

【0025】本発明の第一実施例において、画素アレイ

(50)の中に1024画素があり、1024画素がいくつのエリアに分けられる。同じエリアの中にある薄膜トランジスタのゲート電極の近くに加えられたブロックは、ほぼ同じ面積を有する。第一領域のブロック面積は、該第一領域に隣接する第二領域のブロック面積より所定値だけ大きい。例えば、図4に開示するように、もしエリアIとエリアII、エリアIIとエリアIIIが隣接しているなら、ブロック(57b)の面積はブロック(57a)の面積より前記予定した固定値だけ大きく、ブロック(57c)の面積はブロック(57b)の面積より前記予定した固定値だけ大きい。その他、ブロック(57a)(57b)(57c)の形状は長方形に限らず、ただ重なる領域(60a)(60b)(60c)の面積を増加させる目的を達成すれば、いずれでもよい。

【0026】

【第二の実施例】図5を参照されたい。図5は、本発明による別の実施例TF-T-LCDの画素アレイの平面図である。図5に開示するように、本発明の第二実施例の中に、薄膜トランジスタ T_A 、 T_B 、 T_C のソース電極がそれぞれブロック(59a)(59b)(59c)を含み、そしてブロック(59a)(59b)(59c)が重なる領域(60a)(60b)(60c)(図示斜線部分)の中にあり、ブロック(59a)(59b)(59c)の面積が漸増する変化を表わしている。その他、重なる領域(60a)(60b)(60c)はブロック(59a)(59b)(59c)を引いた後の面積がほぼ同じである。ゲート電極とソース電極との重なる領域(60a)(60b)(60c)の面積も漸増する変化を表わしている。したがって、重なる領域(60a)(60b)(60c)に対応するコンデンサの容量の関係は $(C_{GS})_A < (C_{GS})_B < (C_{GS})_C$ で、更に画素A、画素B、画素Cのフィードスルー電圧 V_{FD} の関係は $(V_{FD})_A = (V_{FD})_B = (V_{FD})_C$ である。図5に開示するように、もしエリアIとエリアII、エリアIIとエリアIIIが隣接しているなら、ブロック(59b)の面積はブロック(59a)の面積より所定の固定値だけ大きく、ブロック(59c)の面積はブロック(59b)の面積より前記所定の固定値だけ大きい。その他、ブロック(59a)(59b)(59c)の形状は長方形に限らず、ただ重なる領域(60a)(60b)(60c)の面積を増加する目的を達成すれば、いずれでもよい。

【0027】その他、第一実施例と第二実施例は1024画素を1024エリアに分けることができる。即ち、各々のエリアはただ一つの画素を含み、各々のエリアにあるゲート電極とソース電極に増加される面積が漸増する変化を表わしている。このようにして、全ての画素のフィードスルー電圧 V_{FD} はまさに等しい。

【0028】簡単に言うと、本発明はTF-Tのゲート電極とソース電極との間の容量 C_{GS} を調整することによ

って、各々の画素のフィードスルー電圧 V_{FD} をほぼ等しくさせる。薄膜トランジスタのゲート電極とソース電極にブロックを加え、各々の画素にあるゲート電極とソース電極との重なる領域の面積を調整して、重なる領域の面積が対応するこの重なる領域の走査線の入力端と対応するこの重なる領域の画素との距離の増加にしたがって増大させられる。

【0029】以上は、本発明の好ましい実施例であって、本発明の実施の範囲を限定するものではない。よって、当業者のなし得る修正、もしくは変更であって、この発明の精神の下においてなされ、この発明に対して均等の効果を有するものは、いずれも特許請求の範囲に記載された本発明の技術的思想に属するものとする。

【0030】

【発明の効果】従来技術と比べて、本発明はゲート電極とソース電極との重なる領域の面積を調整して、更にゲートソース容量 C_{GS} を調整することによって、各々の画素のフィードスルー電圧 V_{FD} をほぼ同じようにさせる目的を達成する。本発明はゲート電極とソース電極との重なる領域の面積を調整する以外にストレージキャパシタを何も変更しないので、液晶セルに蓄えられる電荷に影響しない。その他、本発明は走査線の幅を増大させる必要がないので、従来技術による開口率減少の欠点を改善することができる。

【図面の簡単な説明】

【図1】一般的なTFD-LCDを表わす説明図である。

【図2】画素の等価回路を表わす説明図である。

【図3】従来技術によるTFD-LCDの画素アレイを表わす平面図である。

【図4】本発明によるTFD-LCDの画素アレイを表わす平面図である。

【図5】本発明によってもう一つ実施例とされるTFD-LCDの画素アレイを表わす平面図である。

【符号の説明】

10 TFD-LCD

12 走査線駆動回路エリア

14 信号線駆動回路エリア

16 画素アレイエリア

20 等価回路

30 画素アレイ

32 走査線

32a 走査線

34a 信号線

34b 信号線

34c 信号線

36a ソース電極

36b ソース電極

36c ソース電極

38a 画素電極

38b 画素電極

38c 画素電極

40a 重なる領域

40b 重なる領域

40c 重なる領域

50 画素アレイ

52 走査線

54a 信号線

54b 信号線

54c 信号線

56a ソース電極

56b ソース電極

56c ソース電極

57a ブロック

57b ブロック

57c ブロック

58a 画素電極

58b 画素電極

58c 画素電極

59a ブロック

59b ブロック

59c ブロック

60a 重なる領域

60b 重なる領域

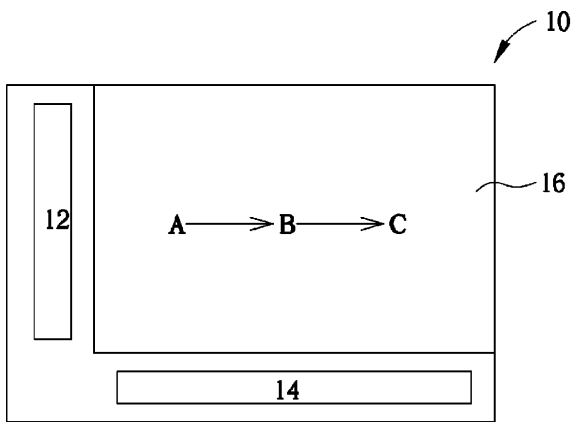
60c 重なる領域

62a 保護構造

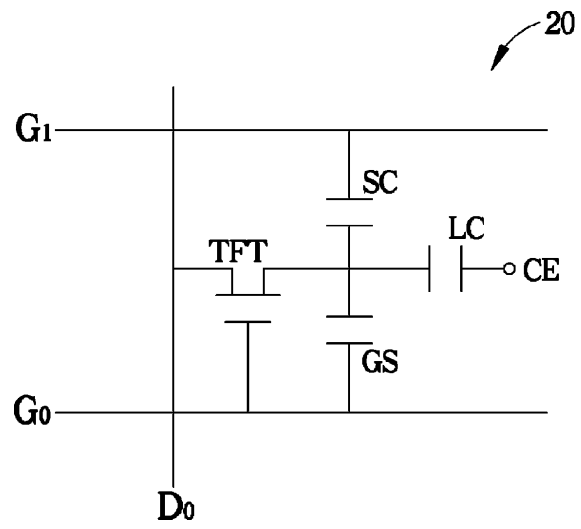
62b 保護構造

62c 保護構造

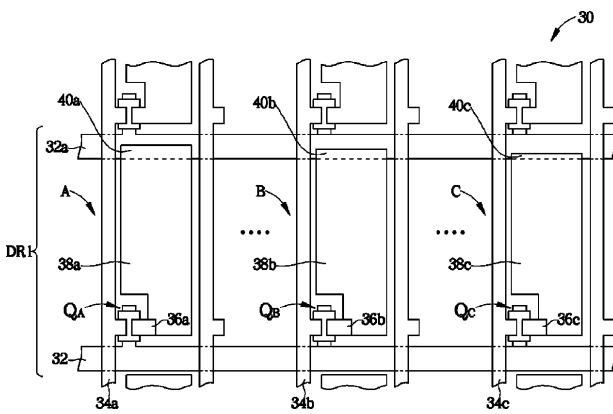
【図 1】



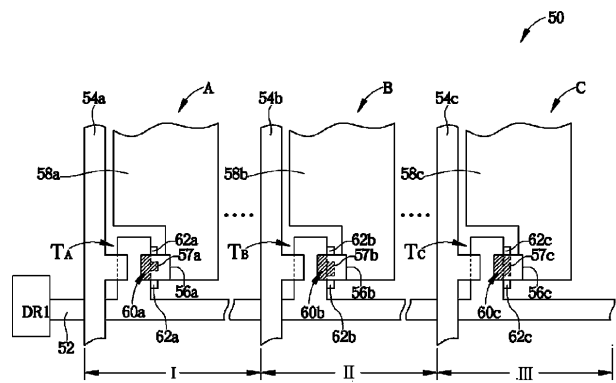
【図 2】



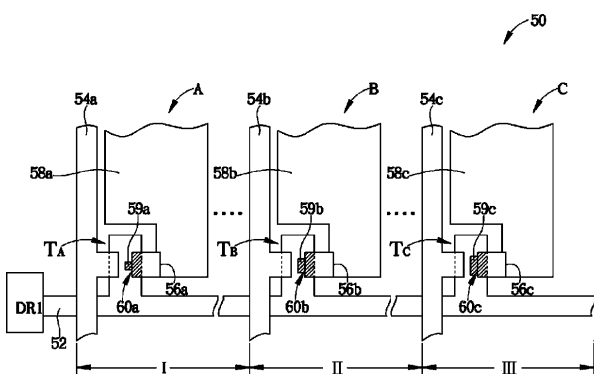
【図 3】



【図 4】



【図 5】



フロントページの続き

Fターム(参考) 2H092 JA24 JA37 JA40 JA41 JA44
JB64 NA01 NA07 NA23
5F110 AA30 BB02 CC07 EE24 HM13
NN73 NN78

专利名称(译)	低闪烁的液晶面板		
公开(公告)号	JP2003186050A	公开(公告)日	2003-07-03
申请号	JP2002317612	申请日	2002-10-31
[标]申请(专利权)人(译)	群创光电股份有限公司		
申请(专利权)人(译)	奇美电子股▲ふん▼有限公司		
[标]发明人	李欣達 吳昭文		
发明人	李欣達 ▲吳▼昭文		
IPC分类号	G02F1/1368 G02F1/1345 G02F1/136 H01L21/336 H01L29/786		
CPC分类号	H01L29/41733 G02F1/136213 G02F1/136286 G02F1/1368 H01L29/42384		
FI分类号	G02F1/1368 G02F1/1345 H01L29/78.612.D		
F-TERM分类号	2H092/JA24 2H092/JA37 2H092/JA40 2H092/JA41 2H092/JA44 2H092/JB64 2H092/NA01 2H092/NA07 2H092/NA23 5F110/AA30 5F110/BB02 5F110/CC07 5F110/EE24 5F110/HM13 5F110/NN73 5F110/NN78 2H192/AA24 2H192/AA42 2H192/CC02 2H192/CC42 2H192/DA71		
代理人(译)	铃木 征四郎		
优先权	090129131 2001-11-23 TW		
外部链接	Espacenet		

摘要(译)

解决的问题：为了解决存储电容器不变，不影响液晶单元的电荷存储，并且不需要增加扫描线的宽度的结果，因此减小了开口率。提供低闪烁的液晶面板。将块添加到薄膜晶体管的栅电极和源电极，并且调节每个像素中的栅电极和源电极的重叠区域的面积，使得重叠区域中的扫描线对应于重叠区域的面积。随着该重叠区域中像素的输入端与对应像素之间的距离的增加而增加。通过调节TFT的栅极和源极之间的电容，使得每个像素的场通电压几乎相同。

