

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 107490

(P2003 - 107490A)

(43)公開日 平成15年4月9日(2003.4.9)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1339	500	G 0 2 F 1/1339	500
	1/1343		1/1343
	1/1368		1/1368
H 0 1 L 21/336		H 0 1 L 29/78	612 Z
	29/786		
審査請求 未請求 請求項の数 4 O L (全 9 数)			

(21)出願番号 特願2001 - 294680(P2001 - 294680)

(22)出願日 平成13年9月26日(2001.9.26)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 宮下 崇

東京都八王子市石川町2951番地の5 カシオ

計算機株式会社八王子研究所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外 5 名)

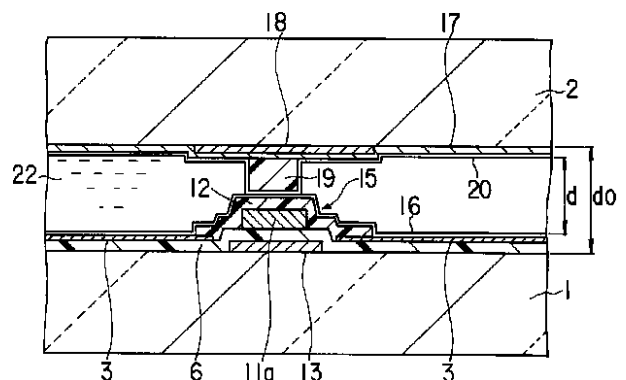
最終頁に続く

(54)【発明の名称】 液晶表示素子

(57)【要約】

【課題】画素部の液晶層厚を小さくして応答速度を速くするとともに、複数の柱状スペーサを均一な高さに形成して複数の画素部の液晶層厚を均一にし、表示むらの無い良好な表示品質を得ることができるアクティブマトリックス型液晶表示素子を提供する。

【解決手段】画素電極とTFTとゲート配線およびドレイン配線とが設けられた後側基板1の内面に、画素電極3とTFTとを避けて、ゲート配線13とゲート絶縁膜6とTFTのドレイン電極から延長された延長電極11aとオーバーコート絶縁膜12との積層膜からなる複数のスペーサ支持部15を所定のピッチで設け、前側基板2の内面に、基板間隔 d_0 を規定するための複数の柱状スペーサ19を、前記複数のスペーサ支持部15にそれぞれ対応させて設けた。



【特許請求の範囲】

【請求項 1】液晶層を挟んで対向する第 1 と第 2 の一對の基板のうち、第 1 の基板の内面に、マトリックス状に配列する複数の画素電極と、ゲート電極とゲート絶縁膜と i 型半導体膜とブロッキング絶縁膜と n 型半導体膜とソース、ドレイン電極とオーバーコート絶縁膜との積層膜からなり、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、第 2 の基板の内面に対向電極が設けられた液晶表示素子において、前記第 1 の基板の内面に、前記画素電極と前記薄膜トランジスタとを避けて、前記薄膜トランジスタを形成する前記積層膜のうちの前記 i 型半導体膜とブロッキング絶縁膜と n 型半導体膜とを除く各膜と同じ膜の積層膜からなる複数のスペース支持部が所定のピッチで設けられ、前記一對の基板のいずれか一方の内面に、前記一對の基板の間隔を規定するための複数の柱状スペースが、前記複数のスペース支持部にそれぞれ対応させて設けられて

10

20

いることを特徴とする液晶表示素子。

【請求項 2】複数の画素電極と対向電極とが互いに対向する複数の画素部の液晶層厚が $1.475\text{ }\mu\text{m} \sim 2.2\text{ }\mu\text{m}$ の範囲であることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 3】画素部の液晶層厚が $1.475\text{ }\mu\text{m}$ 以上 $1.625\text{ }\mu\text{m}$ 未満であることを特徴とする請求項 2 に記載の液晶表示素子。

【請求項 4】薄膜トランジスタのゲート電極がゲート配線と一体に形成されており、スペース支持部が、前記ゲート配線と、ゲート絶縁膜と、前記薄膜トランジスタのソース電極とドレイン電極のいずれか一方から前記ゲート配線上の部分に延長された延長電極と、オーバーコート絶縁膜とにより形成されていることを特徴とする請求項 1 ～ 3 のいずれかに記載の液晶表示素子。

30

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜トランジスタ（以下、TFT と記す）を能動素子とするアクティブマトリックス型の液晶表示素子に関する。

【0002】

【従来の技術】TFT を能動素子とするアクティブマトリックス型の液晶表示素子は、液晶層を挟んで対向する第 1 と第 2 の一對の基板のうち、第 1 の基板の内面に、マトリックス状に配列する複数の画素電極と、前記複数の画素電極にそれぞれ接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタにゲート信号を供給する複数のゲート配線と、前記複数の薄膜トランジスタにデータ信号を供給する複数のドレイン配線とが設けられ、第 2 の基板の内面に対向電極が設けられたものであ

50

り、前記 TFT は、ゲート電極とゲート絶縁膜と i 型半導体膜とブロッキング絶縁膜と n 型半導体膜とソース、ドレイン電極とオーバーコート絶縁膜との積層膜からなっている。

【0003】一方、液晶表示素子の一対の基板の間隔は、従来、前記複数の画素電極と前記対向電極とが互いに対向する複数の画素部の液晶層厚が $4\text{ }\mu\text{m} \sim 5\text{ }\mu\text{m}$ になるように規定されている。

【0004】前記液晶表示素子には、一方の基板上に粒子状スペースを散布し、その粒子状スペースを一対の基板間に挟持させて基板間隔を規定しているものと、一方の基板の内面に柱状スペースを所定のピッチで設け、これらの柱状スペースを他方の基板の内面に当接させて基板間隔を規定しているものとがある。

【0005】しかし、前記基板上に散布される粒子状スペースは、画素部内にも分布するため、前記粒子状スペースに対応する部分から光が漏れ、液晶表示素子の表示のコントラストを低下させるだけでなく、基板間隔を均一に規定することが難しいため、複数の画素部の液晶層厚が不均一になり、表示むらを発生する。

【0006】一方、前記柱状スペースは、基板上に樹脂材料を所定の膜厚に塗布し、その樹脂膜をパターンングすることにより形成されるため、画素部を避けた所定の位置に設けることができ、したがって、液晶表示素子の画素部に光漏れを生じさせることは無く、また基板間隔を均一に規定し、複数の画素部の液晶層厚を均一にすることができる。

【0007】前記柱状スペースを備えたアクティブマトリックス型液晶表示素子は、従来、前記樹脂材料を厚くしかも均一な膜厚に塗布することが困難であるため、対向電極が設けられた第 2 の基板の内面に、第 1 の基板に設けられた複数の TFT にそれぞれ対応させて前記柱状スペースを設け、これらの柱状スペースを、前記第 1 の基板の内面の前記 TFT 上の最も高く盛り上った部分に当接させた構成となっている。

【0008】

【発明が解決しようとする課題】ところで、液晶表示素子は、応答速度を速くすることが望まれており、そのためには、画素部の液晶層厚を例えば $1.5\text{ }\mu\text{m}$ 程度に小さくする必要がある。

【0009】しかし、前記柱状スペースを TFT に対応させて設けている従来の液晶表示素子は、画素部の液晶層厚を小さくするために前記柱状スペースの高さを小さくすると、複数の柱状スペースの高さにばらつきが生じ、複数の画素部の液晶層厚が不均一になる。

【0010】すなわち、前記柱状のペースは、上述したように、基板上に樹脂材料を所定の厚さに塗布し、その樹脂膜をパターンングすることにより形成されている。

【0011】このスペースの形成における基板上への樹脂材料の塗布は、スピンコート法により行なわれてお

り、その塗布厚は、前記樹脂材料の粘性に応じて基板の回転速度と回転時間を制御することによりコントロールされている。

【0012】しかし、前記樹脂材料の塗布厚を精度良くコントロールすることができる塗布厚値の範囲には限界があり、その範囲外の厚さに樹脂材料を塗布する場合は、その厚さを薄くするほど、または厚くするほど、塗布厚のコントロールが難しくなる。

【0013】上記従来の液晶表示素子は、前記柱状スペーサを、第1の基板の内面の複数のTFT上の最も高く盛り上った部分に当接させているため、画素部の液晶層厚を1.5μm程度に小さくするには、前記スペーサの高さを極端に小さくしなければならない。

【0014】そして、このような高さが極端に小さい柱状スペーサを形成するには、前記樹脂材料を、その塗布厚を精度良くコントロールすることができる塗布厚値の範囲よりも薄く塗布しなければならないため、その塗布厚にむらが生じ、前記樹脂膜をパターンングして形成された複数の柱状スペーサの高さにばらつきが生じる。

【0015】そのため、前記複数の柱状スペーサにより規定される基板間隔が不均一になり、複数の画素部の液晶層厚が不均一になって表示むらを発生する。

【0016】この発明は、画素部の液晶層厚を小さくして応答速度を速くするとともに、複数の柱状スペーサを均一な高さに形成して複数の画素部の液晶層厚を均一にし、表示むらの無い良好な表示品質を得ることができるアクティブマトリックス型の液晶表示素子を提供することを目的としたものである。

【0017】

【課題を解決するための手段】この発明は、液晶層を挟んで対向する第1と第2の一对の基板のうち、第1の基板の内面に、マトリックス状に配列する複数の画素電極と、ゲート電極とゲート絶縁膜とi型半導体膜とブロッキング絶縁膜とn型半導体膜とソース、ドレイン電極とオーバーコート絶縁膜との積層膜からなり、前記複数の画素電極にそれぞれ接続された複数のTFTと、前記複数のTFTにゲート信号を供給する複数のゲート配線と、前記複数のTFTにデータ信号を供給する複数のドレイン配線とが設けられ、第2の基板の内面に対向電極が設けられた液晶表示素子において、前記第1の基板の内面に、前記画素電極と前記TFTとを避けて、前記TFTを形成する前記積層膜のうちの前記i型半導体膜とブロッキング絶縁膜とn型半導体膜とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部が所定のピッチで設けられ、前記一对の基板のいずれか一方の内面に、前記一对の基板の間隔を規定するための複数の柱状スペーサが、前記複数のスペーサ支持部にそれぞれ対応させて設けられていることを特徴とするものである。

【0018】この液晶表示素子は、複数の画素電極とTFTとゲート配線およびドレイン配線とが設けられた第

1の基板の内面に、前記画素電極とTFTとを避けて、前記TFTを形成する積層膜のうちのi型半導体膜とブロッキング絶縁膜とn型半導体膜とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部を所定のピッチで設け、一对の基板のいずれか一方の内面に、前記一对の基板の間隔を規定するための複数の柱状スペーサを、前記複数のスペーサ支持部にそれぞれ対応させて設けたものであるため、前記柱状スペーサの高さを極端に小さくしなくても、この柱状スペーサにより規定される基板間隔を小さくし、前記複数の画素電極と対向電極とが互いに対向する複数の画素部の液晶層厚を小さくすることができる。

【0019】そのため、この液晶表示素子によれば、画素部の液晶層厚を小さくして応答速度を速くするとともに、前記複数の柱状スペーサを均一な高さに形成して複数の画素部の液晶層厚を均一にし、表示むらの無い良好な表示品質を得ることができる。

【0020】このように、この発明の液晶表示素子は、複数の画素電極とTFTとゲート配線およびドレイン配線とが設けられた第1の基板の内面に、前記画素電極とTFTとを避けて、前記TFTを形成する積層膜のうちのi型半導体膜とブロッキング絶縁膜とn型半導体膜とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部を所定のピッチで設け、一对の基板のいずれか一方の内面に、前記一对の基板の間隔を規定するための複数の柱状スペーサを、前記複数のスペーサ支持部にそれぞれ対応させて設けることにより、前記画素部の液晶層厚を小さくして応答速度を速くするとともに、前記複数の柱状スペーサを均一な高さに形成して複数の画素部の液晶層厚を均一にし、表示むらの無い良好な表示品質を得ることができるようにしたものである。

【0021】この発明の液晶表示素子において、前記画素部の液晶層厚は1.475μm～2.2μmの範囲が好ましく、より望ましくは1.475μm以上1.625μm未満であるのが好ましい。

【0022】また、この液晶表示素子においては、前記TFTのゲート電極をゲート配線と一体に形成し、前記スペーサ支持部を、前記ゲート配線と、前記ゲート絶縁膜と、前記TFTのソース電極とドレイン電極のいずれか一方から前記ゲート配線上の部分に延長された延長電極と、前記オーバーコート絶縁膜とにより形成するのが好ましい。

【0023】

【発明の実施の形態】図1～図3はこの発明の第1の実施例を示しており、図1は液晶表示素子の第1の基板の一部分の平面図、図2は前記液晶表示素子の図1のII—II線に沿う拡大断面図、図3は前記液晶表示素子の図1のIII—III線に沿う拡大断面図である。

【0024】この実施例の液晶表示素子は、フィールドシーケンシャル液晶表示装置に用いられるアクティブマ

トリックス型液晶表示素子であり、基本的には、液晶層21を挟んで対向する第1と第2の一对の透明基板1, 2のうち、図2および図3において下側の第1の基板(以下、後側基板と言う)1の内面に、マトリックス状に配列する複数の画素電極3と、前記複数の画素電極3にそれぞれ接続された複数のTF T 4と、前記複数のTF T 4にゲート信号を供給する複数のゲート配線13と、前記複数のTF T にデータ信号を供給する複数のドレイン配線14とが設けられ、図2および図3において上側の第2の基板(以下、前側基板と言う)2の内面

【0025】まず、前記後側基板1について説明すると、前記複数の画素電極3は、行方向(図1において左右方向)および列方向(図1において上下方向)にマトリックス状に配列させて設けられており、前記複数の書き込み用ゲート配線13は、各画素電極行毎にその一側(図1において左側)に沿わせて形成され、前記複数のドレイン配線14は、各画素電極列毎にその一側(図1において下側)に沿わせて形成されている。

【0026】なお、前記後側基板1は、その左右の側縁のいずれか一方と上下の側縁のいずれか一方の側縁に、前側基板2の外側に張出す端子配列部(図示せず)を有しており、前記複数のゲート配線13の一端と、前記複数のドレイン配線14の一端は、前記端子配列部に導出され、その端部に、駆動回路接続端子が形成されている。

【0027】前記複数のTF T 4は、図1および図2に示したように、後側基板1の基板面に形成されたゲート電極5と、このゲート電極5を覆うゲート絶縁膜6と、前記ゲート絶縁膜6の上に前記ゲート電極5と対向させて形成されたi型半導体膜7と、このi型半導体膜7のチャンネル領域となる中央部の上に形成されたブロッキング絶縁膜8と、前記i型半導体膜7の両側部の上にn型半導体膜9を介して形成されたソース電極10およびドレイン電極11と、その上に形成されたオーバーコート絶縁膜12との積層膜からなっている。

【0028】なお、図2では前記ソース電極10とドレイン電極11を単層膜として示しているが、このソース電極10とドレイン電極11は、前記n型半導体膜9とのコンタクト層であるクロム膜と、その上に形成されたアルミニウム系合金膜とからなっている。

【0029】また、前記複数のゲート配線13は、後側基板1の基板面に、低抵抗のアルミニウム系合金膜により形成されており、前記TF T 4のゲート電極5は、前記ゲート配線13に一体に形成されている。

【0030】なお、前記TF T 4のゲート絶縁膜6は、後側基板1の内面全体にわたって設けられており、前記複数のゲート配線13は、前記ゲート絶縁膜6により覆われている。

【0031】この実施例の液晶表示素子は、フィールド

シーケンシャル液晶表示装置に用いられるものであり、例えば赤、緑、青の3色の単位色のうちの1つの単位色を表示する1フィールド毎に、前記1つの単位色の画像データを書込まれるため、高デューティで時分割駆動される。

【0032】また、前記画素電極3と前側基板2の内面に設けられた対向電極17およびその間の液晶層21とにより形成される画素容量は、液晶層厚dを小さくするほど大きくなる。

【0033】そのため、この実施例では、図1に示したように、前記ゲート配線13の各画素電極3に対応する部分を前記TF T 4のゲート電極5とするとともに、前記i型半導体膜7とn型半導体膜9およびソース、ドレイン電極10, 11を前記ゲート配線13の長さ方向に沿わせて横長に形成することにより、チャンネル幅Wの大きいTF T 4を形成し、高デューティでの時分割駆動でも、また前記画素容量が大きくても、前記画素容量に、ドレイン配線14から供給されるデータ信号に応じた電荷を十分にチャージすることができるようにしている。

【0034】一方、前記複数のドレイン配線14は、前記ゲート絶縁膜6の上に、前記TF T 4のソース、ドレイン電極10, 11と同じ金属膜(クロム膜とその上に形成されたアルミニウム系合金膜との積層膜)により形成されており、前記TF T 4のドレイン電極11は、前記ドレイン配線14に一体に形成されている。

【0035】そして、前記画素電極3は、前記ゲート絶縁膜6の上にITO膜等の透明導電膜により形成されており、この画素電極3の縁部に前記TF T 4のソース電極10が接続されている。

【0036】また、前記TF T 4のオーバーコート絶縁膜12は、前記後側基板1の内面全体にわたって設けられており、前記複数のドレイン配線14は、前記オーバーコート絶縁膜12により覆われている。

【0037】なお、前記オーバーコート絶縁膜12には、前記複数の画素電極3にそれぞれ対応する部分に開口が設けられており、さらに前記複数のゲート配線13の端部に形成された図示しない駆動回路接続端子は、その上のオーバーコート絶縁膜12とゲート絶縁膜6に開口を設けることにより露出され、前記複数のドレイン14の端部に形成された図示しない駆動回路接続端子は、その上のオーバーコート絶縁膜12に開口を設けることにより露出されている。

【0038】さらに、前記後側基板1の内面には、図1および図3に示したように、前記複数の画素電極3とTF T 4とを避けて、前記TF T 4を形成する前記積層膜のうちのi型半導体膜7とブロッキング絶縁膜8とn型半導体膜9とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部15が所定のピッチで設けられてい

る。

【0039】この実施例では、前記スペーサ支持部 15 を、前記複数の TFT 4 の側方にそれぞれ位置させて、前記 TFT 4 の配列ピッチと同じピッチで設けるとともに、このスペーサ支持部 15 を、前記 TFT 4 のゲート電極 5 が一体に形成された前記ゲート配線 13 と、前記ゲート絶縁膜 6 と、前記 TFT 4 のソース電極 10 とドレイン電極 11 のいずれか一方、例えばドレイン電極 11 から前記ゲート配線 13 上の部分に延長された延長電極 11a と、前記オーバーコート絶縁膜 12 とにより形成している。

【0040】そして、前記後側基板 1 の最も内面には、前記複数の画素電極 3 がマトリックス状に配列する表示エリアの全域にわたって、ポリイミド等からなる配向膜 15 が設けられている。

【0041】次に、前側基板 2 について説明すると、この前側基板 2 の内面には、図 2 および図 3 に示したように、前記複数の画素電極 3 と対向する対向電極 17 と、前記複数の画素電極 3 の間の領域に対応する遮光膜 18 とが設けられている。

【0042】前記遮光膜 18 は、前記複数の画素電極 3 と対応する領域にそれぞれ開口が設けられた格子状膜であり、図では遮光膜 18 を単層膜として示しているが、この遮光膜 18 は、前側基板 2 の基板面に形成された酸化クロム膜と、その上に形成されたクロム膜とからなっている。

【0043】また、前記対向電極 17 は、ITO 膜等の透明導電膜からなっており、この対向電極 17 は、前記遮光膜 18 を覆って、前記表示エリアの全域にわたる一枚膜状に形成されている。

【0044】さらに、前記前側基板 2 の内面には、図 1 および図 3 に示したように、一対の基板 1, 2 の間隔を規定するための複数の柱状スペーサ 19 が、前記後側基板 1 の内面に設けられた前記複数のスペーサ支持部 15 にそれぞれ対応させて設けられており、この柱状スペーサ 19 は、前側基板 2 の内面に設けられた前記遮光膜 18 と対向電極 17 との積層膜の上に形成されている。

【0045】前記柱状スペーサ 19 は、前側基板 2 の内面に前記遮光膜 18 と対向電極 17 とを形成した後、この前側基板 2 の内面上に、例えばフォトレジストからなる樹脂材料を、スピンコート法により、前記柱状スペーサ 19 の高さに応じた膜厚に塗布し、その樹脂膜をフォトリソ法によりパターニングすることにより形成されている。

【0046】また、前記前側基板 2 の最も内面には、前記表示エリアの全域にわたって、ポリイミド等からなる配向膜 20 が設けられており、前記柱状スペーサ 19 は、前記配向膜 20 により覆われている。

【0047】そして、前記一対の基板 1, 2 は、前側基板 2 の内面に設けられた前記複数の柱状スペーサ 19 を、この柱状スペーサ 19 を覆って設けられた配向膜 20

0 を介して後側基板 1 の内面に設けられた複数のスペーサ支持部 15 の上の配向膜 16 面に当接させることにより、これらの柱状スペーサ 19 により基板間隔（一対の基板 1, 2 の基板面間の間隔） d_0 を規定され、前記表示エリアを囲む図示しない枠状シール材を介して接合されている。

【0048】なお、図示しないが、前記前側基板 2 の内面に設けられた対向電極 17 には、前記枠状シール材に対応する部分または前記枠状シール材の外側に導出された複数のクロス接続部が形成され、前記後側基板 1 の内面には、前記対向電極 17 の複数のクロス接続部に対応するクロス電極と、このクロス電極から端子配列部に導出された対向電極用端子とが設けられており、前記対向電極 17 のクロス接続部は、前記枠状シール材内またはその外側に設けられた導電性クロス材により前記クロス電極に接続されている。

【0049】さらに、図示しないが、前記枠状シール材には、このシール材を部分的に欠落させて形成された液晶注入口が設けられており、前記液晶層 21 は、前記一対の基板 1, 2 間の前記枠状シール材により囲まれた領域に前記液晶注入口から真空注入法により液晶を注入することにより形成され、前記前記液晶注入口は、前記液晶の注入後に封止樹脂により封止されている。

【0050】この実施例の液晶表示素子は、例えば、前記液晶層 21 の液晶分子を一方向にホモジニアス配向させたホモジニアス配向型液晶表示素子であり、前記一対の基板 1, 2 の外面にそれぞれ偏光板を配置し、いずれか一方の基板とその基板側の前記偏光板との間に、表示のコントラストを高くするとともに視野角を広くするための位相板を配置して構成される。

【0051】この液晶表示素子は、一対の基板 1, 2 の間隔 d_0 を規定するための複数の柱状スペーサ 19 が、前記複数の画素電極 3 と対向電極 17 とが互に対向する複数の画素部を避けた位置に設けられているため、前記画素部に光漏れを生じさせることは無い。

【0052】そして、この液晶表示素子では、後側基板 1 の内面に、画素電極 3 と TFT 4 とを避けて、前記 TFT 4 を形成する積層膜のうちの i 型半導体膜 7 とブロッキング絶縁膜 8 と n 型半導体膜 9 とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部 15 を所定のピッチ（この実施例では TFT 4 の配列ピッチと同じピッチ）で設け、前側基板 2 の内面に、一対の基板 1, 2 の間隔を規定するための複数の柱状スペーサ 19 を、前記複数のスペーサ支持部 15 にそれぞれ対応させて設けているため、前記柱状スペーサ 19 の高さを極端に小さくしなくても、この柱状スペーサ 19 により規定される基板間隔 d_0 を小さくし、前記複数の画素電極 3 と対向電極 17 とが互に対向する複数の画素部の液晶層厚 d を小さくすることができる。

【0053】すなわち、前記ゲート配線 13 およびゲ-

ト電極 5 の膜厚は $0.23\ \mu\text{m}$ 、ゲート絶縁膜 6 の膜厚は $0.25\ \mu\text{m}$ 、 i 型半導体膜 7 の膜厚は $0.025\ \mu\text{m}$ 、ブロッキング絶縁膜 8 の膜厚は $0.10\ \mu\text{m}$ 、 n 型半導体膜 9 の膜厚は $0.025\ \mu\text{m}$ 、ソース、ドレイン電極 10、11 の膜厚は $0.425\ \mu\text{m}$ 、オーバーコート絶縁膜 12 の膜厚は $0.20\ \mu\text{m}$ 、画素電極 3 の膜厚は $0.05\ \mu\text{m}$ 、遮光膜 18 の膜厚は $0.17\ \mu\text{m}$ 、対向電極 17 の膜厚は $0.14\ \mu\text{m}$ であり、配向膜 16、20 の膜厚はいずれも $0.05\ \mu\text{m}$ である。

【0054】したがって、前記画素部の液晶層厚 d を例えば $1.5\ \mu\text{m}$ にするには、前記柱状スペーサ 19 を、前記基板間隔 d_0 を $2.04\ \mu\text{m}$ に規定できる高さに形成すればよい。

【0055】この液晶表示素子では、前記スペーサ支持部 15 を、前記 TFT 4 を形成する積層膜のうちの i 型半導体膜 7 とブロッキング絶縁膜 8 と n 型半導体膜 9 とを除く各膜と同じ膜の積層膜により形成しているため、前記スペーサ支持部 15 の高さは、前記 TFT 4 の高さよりも、前記 i 型半導体膜 7 とブロッキング絶縁膜 8 と n 型半導体膜 9 の膜厚の合計値だけ低い。

【0056】前記 TFT 4 の高さ（ゲート電極 5 とゲート絶縁膜 6 と i 型半導体膜 7 とブロッキング絶縁膜 8 と n 型半導体膜 9 とソース、ドレイン電極とオーバーコート絶縁膜 12 の膜厚の合計値）は $1.255\ \mu\text{m}$ であり、前記 i 型半導体膜 7 とブロッキング絶縁膜 8 と n 型半導体膜 9 の膜厚の合計値は $0.15\ \mu\text{m}$ であるため、前記スペーサ支持部の高さは $1.105\ \mu\text{m}$ である。

【0057】したがって、上記のように基板間隔 d_0 を $2.04\ \mu\text{m}$ に規定して液晶層厚 d を $1.5\ \mu\text{m}$ にするために必要な柱状スペーサ 19 の高さは、 $0.525\ \mu\text{m}$ である。

【0058】一方、柱状スペーサ 19 は、上述したように、前側基板 2 の内面上に、例えばフォトリソ法からなる樹脂材料を、スピンコート法により、前記柱状スペーサ 19 の高さに応じた膜厚に塗布し、その樹脂膜をフォトリソ法によりパターンニングすることにより形成する。

【0059】その場合、前記樹脂材料の塗布厚は、前記樹脂材料の粘性に応じて基板 2 の回転速度と回転時間を調整することによりコントロールするが、前記樹脂材料の塗布厚を精度良くコントロールすることができる塗布厚値は、 $0.5\ \mu\text{m} \sim 2.0\ \mu\text{m}$ の範囲であり、それよりも塗布厚を厚くしたり薄くしたりすると、塗布厚にむらが生じ、その樹脂膜をパターンニングすることにより形成された柱状スペーサ 19 の高さにばらつきが生じる。

【0060】しかし、この液晶表示素子では、基板間隔 d_0 を $2.04\ \mu\text{m}$ に規定して液晶層厚 d を $1.5\ \mu\text{m}$ にするために必要な柱状スペーサ 19 の高さが $0.525\ \mu\text{m}$ であるため、前記樹脂材料の塗布厚は、その厚さを精度良くコントロールすることができる $0.5\ \mu\text{m} \sim$

$2.0\ \mu\text{m}$ の範囲内であり、したがって、前記樹脂材料を均一な厚さに塗布し、前記複数の柱状スペーサ 19 を均一な高さに形成することができる。

【0061】そのため、この液晶表示素子によれば、前記画素部の液晶層厚 d を小さくして応答速度を速くするとともに、前記複数の柱状スペーサ 19 を均一な高さに形成して複数の画素部の液晶層厚 d を均一にし、表示むらの無い良好な表示品質を得ることができる。

【0062】なお、前記液晶層厚 d は、上述した $1.5\ \mu\text{m}$ に限らず、前記柱状スペーサ 19 の高さを、前記樹脂材料の塗布厚を精度良くコントロールすることができる $0.5\ \mu\text{m} \sim 2.0\ \mu\text{m}$ の範囲で選択することにより、 $1.475\ \mu\text{m}$ （柱状スペーサ 19 の高さを $0.5\ \mu\text{m}$ にしたときの液晶層厚） $\sim 2.975\ \mu\text{m}$ （柱状スペーサ 19 の高さを $2.0\ \mu\text{m}$ にしたときの液晶層厚）の範囲で任意に設定することができる。

【0063】ただし、前記液晶層厚 d は、 $1.475\ \mu\text{m} \sim 2.2\ \mu\text{m}$ の範囲が好ましく、液晶層厚 d をこの範囲とすることにより、応答速度を充分速くすることができる。その場合の前記柱状スペーサ 19 の高さは $0.5\ \mu\text{m} \sim 1.2\ \mu\text{m}$ の範囲である。

【0064】さらに、前記液晶層厚 d は、 $1.475\ \mu\text{m}$ 以上 $1.625\ \mu\text{m}$ 未満の範囲がより好ましく、液晶層厚 d をこのような値にすることにより、応答速度をより速くすることができる。

【0065】なお、前記柱状スペーサ 19 を従来の液晶表示素子のように TFT 4 に対応させて設ける場合は、前記柱状スペーサ 19 の高さを $0.5\ \mu\text{m}$ にしたときの液晶層厚が $1.625\ \mu\text{m}$ であり、それよりも柱状スペーサ 19 の高さを小さくしてさらに液晶層厚 d を小さくしようとすると、複数の柱状スペーサ 19 の高さにばらつきが生じ、複数の画素部の液晶層厚 d が不均一になって表示むらを発生する。

【0066】しかし、この実施例の液晶表示素子によれば、前記液晶層厚 d を $1.475\ \mu\text{m}$ 以上 $1.625\ \mu\text{m}$ 未満の範囲にして応答速度をより速くする場合でも、複数の柱状スペーサ 19 を均一な高さに形成し、複数の画素部の液晶層厚 d を均一にして、表示むらの無い良好な表示品質を得ることができる。

【0067】しかも、この実施例では、前記スペーサ支持部 15 を、ゲート配線 13 と、ゲート絶縁膜 6 と、TFT 4 のドレイン電極 11 から前記ゲート配線 13 上の部分に延長された延長電極 11a と、オーバーコート絶縁膜 12 とにより形成しているため、前記スペーサ支持部 15 を、前記 TFT 4 の形成工程を利用して同時に形成することができ、したがって、液晶表示素子の製造コストを低減することができる。

【0068】なお、この実施例では、TFT 4 のドレイン電極 11 をゲート配線 13 上の部分に延長させて前記延長電極 11a を形成しているが、前記延長電極は、前

記 T F T 4 のソース電極 10 をゲート配線 13 上の部分に延長させて形成してもよい。

【0069】図4はこの発明の第2の実施例を示す液晶表示素子の第1の基板（後側基板）の一部分の平面図であり、この液晶表示素子も、フィールドシーケンシャル液晶表示装置に用いられるアクティブマトリックス型液晶表示素子である。

【0070】この実施例の液晶表示素子は、1つの単位色を表示する1フィールド毎に全ての画素部の書込み状態を一括してリセットするための複数のリセット用 T F T 4 R と、前記複数のリセット用 T F T 4 R にゲート信号を供給する複数のリセット用ゲート配線 13 R と、前記複数のリセット用 T F T 4 R にリセット信号を供給する複数のリセット用ドレイン配線 14 R とを備えたものであり、前記リセット用の T F T 4 R とゲート配線 13 R およびドレイン配線 14 R は、画素電極 3 に対し、書込み用の T F T 4 とゲート配線 13 およびドレイン配線 14 とは反対側に設けられている。

【0071】なお、この実施例の液晶表示素子は、リセット用の T F T 4 R とゲート配線 13 R およびドレイン配線 14 R とを備えたものであるが、他の構成は上述した第1の実施例と同じであるから、重複する説明は図に同符号を付して省略する。

【0072】前記複数のリセット用 T F T 4 R は、書込み用 T F T 4 と同じ積層構造で平面形状が対称形なものであり、後側基板 1 の基板面に形成されたゲート電極 5 と、書込み用 T F T 4 と共通のゲート絶縁膜 6 と、前記ゲート絶縁膜 6 の上に前記ゲート電極 5 と対向させて形成された i 型半導体膜 7 と、この i 型半導体膜 7 のチャンネル領域となる中央部の上に形成されたブロッキング絶縁膜 8 と、前記 i 型半導体膜 7 の両側部の上に n 型半導体膜 9（図2参照）を介して形成されたソース電極 10 およびドレイン電極 11 と、前記書込み用 T F T 4 と共通のオーバーコート絶縁膜 12 との積層膜からなっている。

【0073】また、前記複数のリセット用ゲート配線 13 R は、後側基板 1 の基板面に、書込み用のゲート配線 13 と同じ金属膜（アルミニウム系合金膜）により形成されており、前記リセット用 T F T 4 R のゲート電極 5 は、前記リセット用ゲート配線 13 R に一体に形成されている。

【0074】なお、この実施例では、前記リセット用ゲート配線 13 R の各画素電極 3 に対応する部分を前記リセット用 T F T 4 R のゲート電極 5 とするとともに、前記 i 型半導体膜 7 と n 型半導体膜 9 およびソース、ドレイン電極 10、11 を前記リセット用ゲート配線 13 R の長さ方向に沿わせて横長に形成することにより、リセット用 T F T 4 R も、書込み用 T F T 4 と同じチャンネル幅の大きい T F T 4 としている。

【0075】一方、前記複数のリセット用ドレイン配線

14 R は、前記ゲート絶縁膜 6 の上に、書込み用およびリセット用 T F T 4、4 R のソース、ドレイン電極 10、11 と同じ金属膜（クロム膜とその上に形成されたアルミニウム系合金膜との積層膜）により形成されており、前記リセット用 T F T 4 R のドレイン電極 11 は、前記リセット用ドレイン配線 14 R に一体に形成され、前記リセット用 T F T 4 R のソース電極 10 は、前記画素電極 3 の書込み用 T F T 4 のソース電極 10 が接続された縁部とは反対側の縁部に接続されている。

【0076】そして、この実施例では、前記後側基板 1 の内面に、複数の書込み用 T F T 4 の側方と、複数のリセット用 T F T 4 の側方とにそれぞれ位置させて、前記書込み用およびリセット用 T F T 4、4 R を形成する前記積層膜のうちの i 型半導体膜 7 とブロッキング絶縁膜 8 と n 型半導体膜 9 とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部 15 を、前記書込み用およびリセット用 T F T 4、4 R の配列ピッチと同じピッチで設けている。

【0077】この実施例では、前記書込み用 T F T 4 の側方のスペーサ支持部 15 と、前記リセット用 T F T 4 の側方のスペーサ支持部 15 とをそれぞれ、前記書込み用およびリセット用ゲート配線 13、13 R と、ゲート絶縁膜 6 と、前記書込み用およびリセット用 T F T 4、4 R のドレイン電極 11 からそれぞれ前記書込み用およびリセット用ゲート配線 13、13 R 上の部分に延長された延長電極 11 a と、オーバーコート絶縁膜 12 とにより形成している。

【0078】また、この実施例では、画素電極 3 に対して、書込み用 T F T 4 を書込み用ドレイン配線 14 側に片寄らせて設け、リセット用 T F T 4 R をリセット用ドレイン配線 14 R 側に片寄らせて設けることにより、前記書込み用 T F T 4 の側方のスペーサ支持部 15 を、前記書込み用 T F T 4 とリセット用ドレイン配線 14 R との間の領域に設け、前記リセット用 T F T 4 の側方のスペーサ支持部 15 を、前記リセット用 T F T 4 R と書込み用ドレイン配線 14 との間の領域に設けている。そして、この実施例では、図2および図3に示した前側基板 2 の内面（遮光膜 18 と対向電極 17 との積層膜の上）に前記書込み用 T F T 4 の側方のスペーサ支持部 15 と前記リセット用 T F T 4 の側方のスペーサ支持部 15 とにそれぞれ対応させて同じ高さの柱状スペーサ 19 を設け、これらの柱状スペーサ 19 を、図2および図3に示したように、前記柱状スペーサ 19 を覆って設けられた配向膜 20 を介して後側基板 1 の内面に設けられた複数のスペーサ支持部 15 の上の配向膜 16 面に当接させて基板間隔 d_0 を規定している。

【0079】この実施例の液晶表示素子は、リセット用の T F T 4 R とゲート配線 13 R およびドレイン配線 14 R とを備え、後側基板 1 の内面に、書込み用 T F T 4 の側方とリセット用 T F T 4 の側方とにそれぞれスペー

サ支持部 15 を設けるとともに、前側基板 2 の内面に前記複数のスペーサ支持部 15 にそれぞれ対応させて柱状スペーサ 19 を設けているため、上述した第 1 の実施例の 2 倍の数の柱状スペーサ 19 により基板間隔 d_0 を規定することができる。

【0080】そして、この実施例においても、後側基板 1 の内面に、画素電極 3 と書き込み用およびリセット用 TFT 4, 4R とを避けて、前記 TFT 4, 4R を形成する積層膜のうちの i 型半導体膜 7 とブロッキング絶縁膜 8 と n 型半導体膜 9 とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部 15 を所定のピッチ（この実施例では書き込み用およびリセット用 TFT 4, 4R の配列ピッチと同じピッチ）で設け、前側基板 2 の内面に、一対の基板 1, 2 の間隔を規定するための複数の柱状スペーサ 19 を、前記複数のスペーサ支持部 15 にそれぞれ対応させて設けているため、上述した第 1 の実施例の液晶表示素子と同様に、前記柱状スペーサ 19 の高さを極端に小さくしなくても、この柱状スペーサ 19 により規定される基板間隔 d_0 を小さくし、前記複数の画素電極 3 と対向電極 17 とが互いに対向する複数の画素部の液晶層厚 d を小さくすることができる。

【0081】なお、上記第 1 および第 2 の実施例では、柱状スペーサ 19 を前側基板 2 の内面に設けているが、前記柱状スペーサ 19 を後側基板 1 の内面に設けられた複数のスペーサ支持部 15 の上にそれぞれ設け、これらの柱状スペーサ 19 を前側基板 2 の内面に当接させて基板間隔 d_0 を規定してもよい。

【0082】また、上記実施例の液晶表示素子は、液晶分子を一方向にホモジニアス配向させたホモジニアス配向型液晶表示素子であるが、この発明は、液晶分子をツイスト配向させた TN（ツイステッドネマティック）型液晶表示素子や、強誘電性または反強誘電性液晶表示素子等にも適用することができ、また、フィールドシークンシャル液晶表示装置に限らず白黒画像を表示する液晶表示装置の液晶表示素子にも適用することができる。

【0083】

【発明の効果】この発明の液晶表示素子は、複数の画素電極と TFT とゲート配線およびドレイン配線とが設けられた第 1 の基板の内面に、前記画素電極と TFT とを避けて、前記 TFT を形成する積層膜のうちの i 型半導体膜とブロッキング絶縁膜と n 型半導体膜とを除く各膜と同じ膜の積層膜からなる複数のスペーサ支持部を所定のピッチで設け、一対の基板のいずれか一方の内面に、前記一対の基板の間隔を規定するための複数の柱状スペーサを、前記複数のスペーサ支持部にそれぞれ対応させて設けたものであるため、画素部の液晶層厚を小さくして応答速度を速くするとともに、前記複数の柱状スペーサを均一な高さに形成して複数の画素部の液晶層厚を均一にし、表示むらの無い良好な表示品質を得ることができる。

*【0084】この発明の液晶表示素子において、前記画素部の液晶層厚は $1.475\mu\text{m} \sim 2.2\mu\text{m}$ の範囲が好ましく、液晶層厚をこの範囲とすることにより、応答速度を充分速くすることができる。

【0085】前記画素部の液晶層厚は、より望ましくは $1.475\mu\text{m}$ 以上 $1.625\mu\text{m}$ 未満であり、液晶層厚をこのような値にすることにより、応答速度をより速くすることができる。

【0086】また、この液晶表示素子においては、前記 TFT のゲート電極をゲート配線と一体に形成し、前記スペーサ支持部を、前記ゲート配線と、前記ゲート絶縁膜と、前記 TFT のソース電極とドレイン電極のいずれか一方から前記ゲート配線上の部分に延長された延長電極と、前記パーコート絶縁膜とにより形成するのが好ましく、このようにすることにより、前記スペーサ支持部を前記 TFT の形成工程を利用して同時に形成し、液晶表示素子の製造コストを低減することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施例を示す液晶表示素子の第 1 の基板の一部分の平面図。

【図 2】前記液晶表示素子の図 1 の II—II 線に沿う拡大断面図。

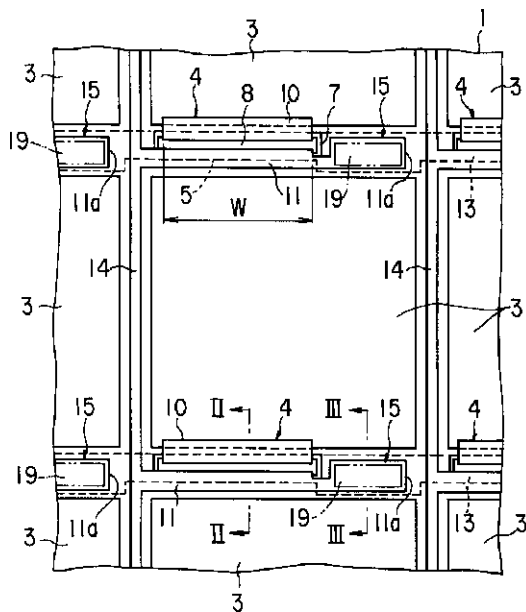
【図 3】前記液晶表示素子の図 1 の III—III 線に沿う拡大断面図。

【図 4】この発明の第 2 の実施例を示す液晶表示素子の第 1 の基板の一部分の平面図。

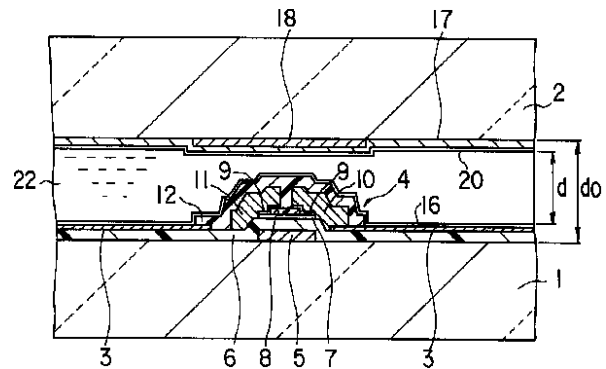
【符号の説明】

- 1, 2 ... 基板
- 3 ... 画素電極
- 4 ... TFT
- 4R ... リセット用 TFT
- 5 ... ゲート電極
- 6 ... ゲート絶縁膜
- 7 ... i 型半導体膜
- 8 ... ブロッキング絶縁膜
- 9 ... n 型半導体膜
- 10 ... ソース電極
- 11 ... ドレイン電極
- 11a ... 延長電極
- 12 ... オーバーコート絶縁膜
- 13 ... ゲート配線
- 13R ... リセット用ゲート配線
- 14 ... ドレイン配線
- 14R ... リセット用ドレイン配線
- 15 ... スペーサ支持部
- 16 ... 配向膜
- 17 ... 対向電極
- 18 ... 遮光膜
- 19 ... 柱状スペーサ
- 20 ... 配向膜

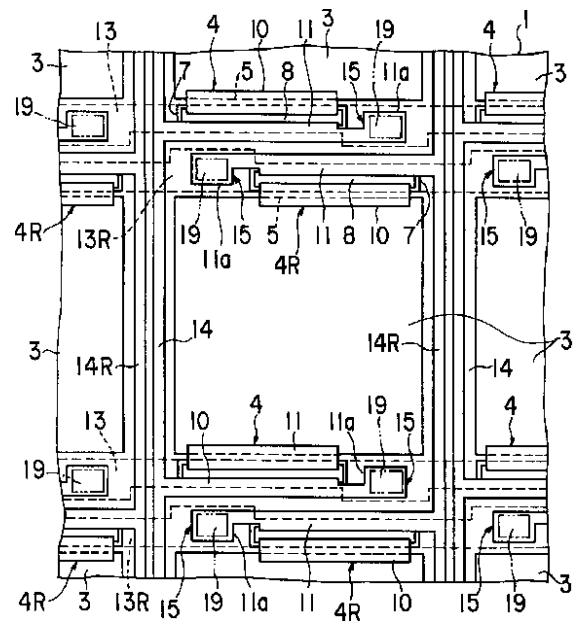
【図1】



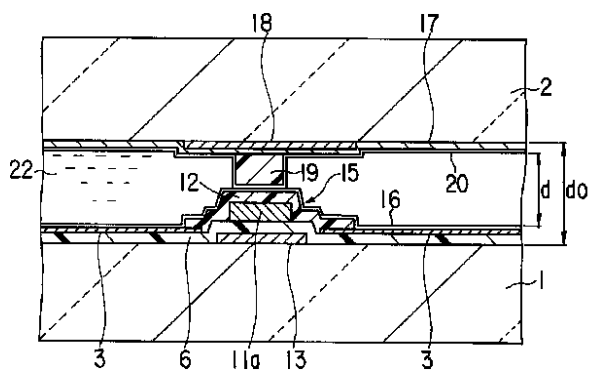
【図2】



【図4】



【図3】



フロントページの続き

Fターム(参考) 2H089 HA15 LA09 LA16 QA11 QA14
 SA01 TA02 TA04 TA05 TA09
 2H092 GA24 JA24 PA02 PA03
 5F110 AA01 AA30 BB01 CC07 EE06
 GG25 GG35 HK04 HK06 HK21
 HM04 NN42 NN45 NN46 NN73

专利名称(译)	液晶显示元件		
公开(公告)号	JP2003107490A	公开(公告)日	2003-04-09
申请号	JP2001294680	申请日	2001-09-26
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	宫下 崇		
发明人	宫下 崇		
IPC分类号	G02F1/136 G02F1/13357 G02F1/1339 G02F1/1343 G02F1/1362 G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	G02F1/133621 G02F1/13394 G02F1/1362		
FI分类号	G02F1/1339.500 G02F1/1343 G02F1/1368 H01L29/78.612.Z		
F-TERM分类号	2H089/HA15 2H089/LA09 2H089/LA16 2H089/QA11 2H089/QA14 2H089/SA01 2H089/TA02 2H089/TA04 2H089/TA05 2H089/TA09 2H092/GA24 2H092/JA24 2H092/PA02 2H092/PA03 5F110/AA01 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE06 5F110/GG25 5F110/GG35 5F110/HK04 5F110/HK06 5F110/HK21 5F110/HM04 5F110/NN42 5F110/NN45 5F110/NN46 5F110/NN73 2H189/DA07 2H189/DA32 2H189/DA38 2H189/DA48 2H189/FA05 2H189/FA16 2H189/FA31 2H189/HA12 2H189/HA14 2H189/JA05 2H189/JA11 2H189/JA19 2H189/JA20 2H189/KA01 2H189/LA03 2H189/LA04 2H189/LA06 2H189/LA10 2H189/LA15 2H192/AA24 2H192/CB05 2H192/CB12 2H192/CB22 2H192/CB45 2H192/CB71 2H192/CC04 2H192/CC17 2H192/CC42 2H192/CC72 2H192/EA23 2H192/FA14 2H192/FA15 2H192/GD23		
其他公开文献	JP4395612B2		
外部链接	Espacenet		

摘要(译)

解决的问题：减小像素部分的液晶层厚度以提高响应速度，并以均匀的高度形成多个柱状间隔物，以使多个像素部分的液晶层厚度均匀，从而没有显示不均匀。提供一种能够获得各种显示质量的有源矩阵型液晶显示装置。在后基板的内表面上设置像素电极，TFT，栅极布线和漏极布线，以避免像素电极和TFT以及TFT的栅极布线，栅极绝缘膜和漏极。由延伸电极11a的层压膜和从其延伸的保护绝缘膜12制成的多个间隔物支撑部分15以预定的间距设置，并且用于在前基板2的内表面上限定基板距离 d_0 。多个圆柱状的间隔物19被设置为分别与多个间隔物支撑部15对应。

