

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003－68646

(P2003－68646A)

(43)公開日 平成15年3月7日(2003.3.7)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/20		H 0 1 L 21/20	2 H 0 9 2
G 0 2 F 1/1368		G 0 2 F 1/1368	5 F 0 5 2
H 0 1 L 21/336		H 0 1 L 29/78	5 F 1 1 0
29/786		627 G	

審査請求 未請求 請求項の数 25 O L (全 8 数)

(21)出願番号	特願2002－188292(P2002－188292)	(71)出願人	501426046 エルジー・フィリップス エルシーデー カンパニー, リミテッド 大韓民国 ソウル, ヨンドゥンポーク, ヨイ ドードン 20
(22)出願日	平成14年6月27日(2002.6.27)	(72)発明者	鄭 世 鎭 大韓民国 慶尚北道 漆谷郡 石積面 南 率里 ウーバンシンチョンジタウン 111－ 1701
(31)優先権主張番号	2001－041668	(74)代理人	100064447 弁理士 岡部 正夫 (外 1 0 名)
(32)優先日	平成13年7月11日(2001.7.11)		
(33)優先権主張国	韓国(KR)		

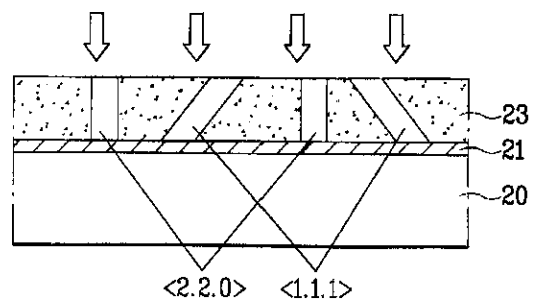
最終頁に続く

(54)【発明の名称】 ポリシリコン結晶化方法、そして、これを用いたポリシリコン薄膜トランジスタの製造方法及び液晶表示素子の製造方法

(57)【要約】

【課題】 一定の方位の結晶粒を有する良質のポリシリコン層を形成し、その結晶粒の大きさを増大させてポリシリコン内の電子移動度を向上させると共に、このような良質のポリシリコン層を用いて電氣的な特性に優れたポリシリコン薄膜トランジスタ及び液晶表示素子を提供する。

【解決手段】 特に、本発明によるポリシリコン結晶化方法は、基板上にポリシリコン層を形成する段階と、前記ポリシリコン層の特定の方位の結晶粒を除いた残り方位の結晶粒を非結晶化させる段階と、前記特定方位の結晶粒を用いて前記ポリシリコン層を結晶化する段階とを備えていることを特徴とする。



【特許請求の範囲】

【請求項 1】 基板上にポリシリコン層を形成する第 1 段階と、
前記ポリシリコン層の特定の方位の結晶粒を除いた残り方位の結晶粒を非結晶化させる第 2 段階と、
前記特定方位の結晶粒を用いて前記ポリシリコン層を結晶化する第 3 段階とを備えていることを特徴とするポリシリコン結晶化方法。

【請求項 2】 前記第 1 段階で前記ポリシリコン層はマイクロ-ポリシリコンを材料にして形成されることを特徴とする請求項 1 記載のポリシリコン結晶化方法。

【請求項 3】 前記特定の方位の結晶粒は垂直方向に形成された結晶粒であることを特徴とする請求項 1 記載のポリシリコン結晶化方法。

【請求項 4】 前記第 2 段階で S i イオンをイオン注入して、特定の方位の結晶粒を除いた残り方位の結晶粒を非結晶化させることを特徴とする請求項 1 記載のポリシリコン結晶化方法。

【請求項 5】 前記第 3 段階は前記ポリシリコン層の一定の厚さを溶融させる工程と、前記溶融したポリシリコン層を凝固させる工程とを含むことを特徴とする請求項 1 記載のポリシリコン結晶化方法。

【請求項 6】 前記ポリシリコン層の一定の厚さを溶融させる工程はエキシマレーザを用いたアニーリングにより行われることを特徴とする請求項 5 記載のポリシリコン結晶化方法。

【請求項 7】 前記ポリシリコン層を形成する前に、パッファ酸化膜を更に形成することを特徴とする請求項 1 記載のポリシリコン結晶化方法。

【請求項 8】 基板上にポリシリコン層を形成する第 1 段階と、
前記ポリシリコン層の特定の方位の結晶粒を除いた残り方位の結晶粒を非結晶化させる第 2 段階と、
前記特定方位の結晶粒を用いて前記ポリシリコン層を結晶化する第 3 段階と、前記ポリシリコン層を選択的にパターンニングした後、全面に絶縁膜を形成する第 4 段階と、
前記ポリシリコン層上の絶縁膜の上部の一定の領域にゲート電極を形成する第 5 段階と、
前記ゲート電極をマスクにして前記ポリシリコン層に不純物を注入してソース／ドレイン領域を形成する第 6 段階とを備えることを特徴とするポリシリコン薄膜トランジスタの製造方法。

【請求項 9】 前記第 1 段階で前記ポリシリコン層はマイクロ-ポリシリコンを材料にして形成されることを特徴とする請求項 8 記載のポリシリコン薄膜トランジスタの製造方法。

【請求項 10】 前記特定方位の結晶粒は垂直方向に形成された結晶粒であることを特徴とする請求項 8 記載のポリシリコン薄膜トランジスタの製造方法。

【請求項 11】 前記第 2 段階で S i イオンをイオン注入して、特定の方位の結晶粒を除いた残り方位の結晶粒を非結晶化させることを特徴とする請求項 8 記載のポリシリコン薄膜トランジスタの製造方法。

【請求項 12】 前記第 3 段階は前記ポリシリコン層の一定の厚さを溶融させる工程と、前記溶融したポリシリコン層を凝固させる工程とを含むことを特徴とする請求項 8 記載のポリシリコン薄膜トランジスタの製造方法。

【請求項 13】 前記ポリシリコン層の一定の厚さを溶融させる工程はエキシマレーザを用いたアニーリングにより行われることを特徴とする請求項 12 記載のポリシリコン薄膜トランジスタの製造方法。

【請求項 14】 前記ポリシリコン層を形成する前に、パッファ酸化膜を更に形成することを特徴とする請求項 8 記載のポリシリコン薄膜トランジスタの製造方法。

【請求項 15】 第 1 基板上にポリシリコン層を形成する第 1 段階と、

前記ポリシリコン層の特定方位の結晶粒を除いた残り方位の結晶粒を非結晶化させる第 2 段階と、

前記特定方位の結晶粒を用いて前記ポリシリコン層を結晶化する第 3 段階と、

前記ポリシリコン層を選択的にパターンニングした後、全面に絶縁膜を形成する第 4 段階と、

前記ポリシリコン層上の絶縁膜の上部の一定の領域にゲート電極を形成する第 5 段階と、

前記ゲート電極をマスクにして前記ポリシリコン層に不純物を注入してソース／ドレイン領域を形成する第 6 段階と、

前記ソース／ドレイン領域に連結されるソース／ドレイン電極を形成する第 7 段階と、

前記ドレイン電極に連結される画素電極を形成する第 8 段階と、

前記第 1 基板に対向するように第 2 基板を合着した後、第 1、2 基板の間に液晶を注入する第 9 段階とを備えることを特徴とする液晶表示素子の製造方法。

【請求項 16】 前記第 1 段階で前記ポリシリコン層はマイクロポリシリコンを材料にして形成されることを特徴とする請求項 15 記載の液晶表示素子の製造方法。

【請求項 17】 前記特定方位の結晶粒は垂直方向に形成された結晶粒であることを特徴とする請求項 15 記載の液晶表示素子の製造方法。

【請求項 18】 前記第 2 段階で S i イオンをイオン注入して、特定の方位の結晶粒を除いた残り方位の結晶粒を非結晶化させることを特徴とする請求項 15 記載の液晶表示素子の製造方法。

【請求項 19】 前記第 3 段階は前記ポリシリコン層の一定の厚さを溶融させる工程と、その溶融したポリシリコン層を凝固させる工程とを含むことを特徴とする請求項 15 記載の液晶表示素子の製造方法。

【請求項 20】 前記ポリシリコン層の一定の厚さを溶

融させる工程はエキシマーレーザを用いたアニーリングにより行われることを特徴とする請求項 19 記載の液晶表示素子の製造方法。

【請求項 21】 前記ポリシリコン層を形成する前にバッファ酸化膜を更に形成することを特徴とする請求項 15 記載の液晶表示素子の製造方法。

【請求項 22】 前記第 5 段階で前記ゲート電極と同時にゲート配線を更に形成し、前記第 7 段階で前記ソース／ドレイン電極と同時に前記ゲート配線に交差するデータ配線を更に形成することを特徴とする請求項 15 記載の液晶表示素子の製造方法。

【請求項 23】 前記第 6 段階で前記ソース／ドレイン領域を形成した後、前記ゲート電極を含む全面に層間絶縁膜を更に形成することを特徴とする請求項 15 記載の液晶表示素子の製造方法。

【請求項 24】 前記第 7 段階で前記ソース／ドレイン電極を形成した後、前記ソース／ドレイン電極を含む全面に保護膜を更に形成することを特徴とする請求項 15 記載の液晶表示素子の製造方法。

【請求項 25】 前記保護膜はシリコン窒化物、シリコン酸化物、BCB、そしてアクリル樹脂の中何れか一つを材料にして形成することを特徴とする請求項 24 記載の液晶表示素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示素子（LCD）に関し、特に一定の方位の結晶粒を有する良質のポリシリコン層を形成するためのポリシリコン結晶化方法及びこれを適用したポリシリコン薄膜トランジスタと液晶表示素子の製造方法に関する。

【0002】

【従来の技術】映像機器としてその応用の幅の広いアクティブマトリックス液晶表示装置は主に薄膜トランジスタをスイッチング素子として用いている。前記薄膜トランジスタ（TFT：Thin Film Transistor）の半導体層は非結晶シリコン層を用いており、小規模 TFT LCD の製作には有利であるが、電子移動度が低いという短所のため、大画面 TFT LCD の製造には適用し難い。

【0003】そこで、最近では電子移動度に優れたポリシリコン層を半導体層として用いるポリシリコン TFT の研究が活発に行われており、このようなポリシリコン TFT は大画面 TFT LCD の製作に容易に適用され得ることは勿論、TFT アレイ基板に駆動ドライブ IC と共に集積され得るため、集積度及び価格競争力に優れるという長所がある。

【0004】ポリシリコン層の形成方法としては、ポリシリコンを直接に蒸着する方法と、非結晶シリコンを蒸着したのちポリシリコンで結晶化する方法とがあり、通常、基板上に非結晶シリコン層を形成したのち、結晶化

工程を行って前記非結晶シリコン層をポリシリコン層に転換させる後者の方法が用いられている。

【0005】前者の方法の場合は、400℃以下の蒸着温度で $\text{SiF}_4/\text{SiH}_4/\text{H}_2$ 混合ガスを使用して蒸着するプラズマ化学気相蒸着法（PECVD 法：Plasma Enhanced Chemical Vapor Deposition Method）などがあるが、結晶粒成長の制御が難しく成長方向が不均一となり、それによってポリシリコン薄膜表面の特性が低下するという短所がある。

【0006】後者の方法としては反応炉の中で加熱して非結晶シリコンを結晶化する固相結晶化法（SPC 法：Solid Phase Crystallization）と、高出力パルスレーザのエキシマーレーザを瞬間的に照射して熱を加えることによって薄膜を結晶化するエキシマーレーザアニーリング法（ELA 法；Eximer Laser Annealing）、非結晶シリコン層上に金属を選択的に蒸着した後、電氣場を印加することで、金属がシードの役割を果たして結晶化を起こすような金属誘導結晶化法（Metal Induced Crystallization）などがあり、前記金属誘導結晶化法を発展させた形態の FEMIC（FE Metal Induced Crystallization）法もある。

【0007】この中、ELA 法は約 300～800 Å の厚肉のシリコン層を溶融させるために、短波長（ $\lambda = 0.3 \mu\text{m}$ ）の強エネルギーをパルス形態で投与させるため、早い速度の結晶化が可能であり、結晶性に優れて電子の移動度が向上する。特に、エキシマーレーザの短波長はレーザ光が有するエネルギーの集中性を用いるので、短時間且つ局所的に精密な熱処理が可能であり、下部シリコン層に熱的な損傷を与えることがないという長所がある。

【0008】一方、エキシマーレーザ結晶化により製造されたポリシリコン層の結晶粒の大きさは非結晶シリコン膜の厚さと、レーザにより生成される紫外線放射の密度と、下部基板の温度とを可変させることによって精密に制御することができる。

【0009】以下、添付の図面を参照して従来技術のポリシリコン結晶化方法、そして、ポリシリコン薄膜トランジスタの製造方法及び液晶表示素子の製造方法を説明する。

【0010】図 1a から図 1c は従来技術によるポリシリコン結晶化方法を説明するための工程断面図である。ポリシリコン結晶化方法は、まず、図 1a に示すように、ガラス基板 10 の全面に SiO_2 を蒸着してバッファ酸化膜 11 を形成し、その上にシランガスを使用する PECVD（Plasma-Enhanced CVD）、LPCVD（Low-Pressure CVD）、スパッタなどの方法を用いて 300～400℃で非結晶シリコンを蒸着して非結晶シリコン層 12 を形成する。前記バッファ酸化膜 11 は基板 10 の不純物が非結晶シリコン層 12 に拡散することを防止し、後の結晶化工程時に基板 10 への熱流入を遮断

する。

【0011】以後、図1bに示すように、前記非結晶シリコン層12にエキシマーレーザ光を照射して瞬間的なエネルギーを加えることで非結晶シリコン層12を溶融させる。この際、非結晶シリコン層12の底部に溶融されていない成長シード層13が存在する。

【0012】以後、溶融した非結晶シリコン層を凝固させ、結晶を成長させることでポリシリコン層に転換させる。結晶成長は成長シード層13を中心に行われ、図1cに示すように、レーザによるエネルギーによって成長シード層13が拡散して、一定の方向に移動しつつ結晶化が行われる。特に、成長シード層の配向性に依りて結晶粒成長の優先方位が決定されるが、通常、非結晶シリコンの結晶成長方位は主に基板に対して傾いた方向の $\langle 1, 1, 1 \rangle$ の方位が優勢であり、 $\langle 2, 2, 0 \rangle$ 、 $\langle 3, 1, 1 \rangle$ などの方位順に結晶粒の成長方向が定められる。

【0013】これと異なり、マイクロポリシリコンは基板に対して垂直方向の $\langle 2, 2, 0 \rangle$ の方位の結晶粒が優勢であり、 $\langle 1, 1, 1 \rangle$ 方位の結晶粒が約40%を占め、 $\langle 3, 1, 1 \rangle$ 方位の結晶粒が約10%を占める。従って、レーザアニリングの後に得られたポリシリコン層内には多様な結晶粒の成長方位が存在し、これによって結晶粒の成長時に各進路が妨げられ、結晶粒の成長が容易ではなくなる。また、結晶粒系の密度の増加によって電子移動度の低下をもたらす。

【0014】一方、従来の技術に基づいたポリシリコン薄膜トランジスタの形成方法は次の通りである。

【0015】まず、基板の全面にシリコン酸化物及び非結晶シリコンを順に蒸着してバッファ層と非結晶シリコン層を形成し、前記非結晶シリコン層に対してエキシマーレーザを用いたアニリング工程を行って非結晶シリコン層をポリシリコン層に結晶化する。

【0016】以後、結晶化したポリシリコン層をパターニングして半導体層を形成し、当該半導体層に選択的に不純物を注入してソース／ドレイン領域を形成する。この際、不純物の注入は前記半導体層と絶縁して形成されたゲート電極をマスクにして行われ、前記ゲート電極によりマスクングされポリシリコン層に不純物が注入されていない領域はチャンネル領域となる。

【0017】以後、前記ソース領域及びドレイン領域とそれぞれ連結される金属材料のソース電極及びドレイン電極を形成する。この際、前記ソース電極及びドレイン電極は前記ゲート電極と絶縁膜によって絶縁される。これにより、ポリシリコンを半導体層とするポリシリコン薄膜トランジスタが完成する。

【0018】一方、前記ポリシリコン薄膜トランジスタを含む液晶表示素子は、交互に配列され、画素領域を形成するゲート配線及びデータ配線、ポリシリコン薄膜トランジスタ、画素電極からなる第1基板と、カラーフィ

ルター層と共通電極とからなる第2基板と、前記第1、第2基板の間に介在された液晶層とから構成される。

【0019】

【発明が解決しようとする課題】しかしながら、上記のような従来のポリシリコン結晶化方法、そして、これを用いたポリシリコン薄膜トランジスタの製造方法及び液晶表示素子の製造方法は次のような問題点がある。

【0020】エキシマーレーザアニリングにより結晶化されたポリシリコン層内には多様な結晶粒の成長方位などが存在するので、結晶粒の成長時に相互間の妨げのため結晶粒の成長が容易ではなくなるだけでなく、結晶粒系密度の増加によって電子又は正孔の移動度が低下する。また、このようなポリシリコン層をチャンネル層にした大面積且つ高精細の液晶表示素子は表示素子としての信頼度が劣る。

【0021】そこで、本発明の目的は、一定の方位の結晶粒を有する良質のポリシリコン層を形成し、その結晶粒の大きさを増大させてポリシリコン内の電子移動度を向上させることにある。本発明の他の目的は、このような良質のポリシリコン層を用いて電気的な特性に優れたポリシリコン薄膜トランジスタ及び液晶表示素子を提供することである。

【0022】

【課題を解決するための手段】上記目的を達成するための本発明のポリシリコン結晶化方法は、基板上にポリシリコン層を形成する段階と、前記ポリシリコン層の特定の方位の結晶粒を除いた残り方位の結晶粒を非結晶化させる段階と、前記特定方位の結晶粒を用いて前記ポリシリコン層を結晶化する段階とを備えていることを特徴とする。

【0023】そして、本発明によるポリシリコン薄膜トランジスタの製造方法は、基板上にポリシリコン層を形成する段階と、前記ポリシリコン層の特定の方位の結晶粒を除いた残り方位の結晶粒を非結晶化させる段階と、前記特定方位の結晶粒を用いて前記ポリシリコン層を結晶化する段階と、前記ポリシリコン層を選択的にパターニングした後、全面に絶縁膜を形成する段階と、前記ポリシリコン層上の絶縁膜の上部の一定の領域にゲート電極を形成する段階と、前記ゲート電極をマスクにして前記ポリシリコン層に不純物を注入してソース／ドレイン領域を形成する段階とを備えることを特徴とする。

【0024】また、本発明による液晶表示素子の製造方法は、第1基板上にポリシリコン層を形成する段階と、前記ポリシリコン層の特定方位の結晶粒を除いた残り方位の結晶粒を非結晶化させる段階と、前記特定方位の結晶粒を用いて前記ポリシリコン層を結晶化する段階と、前記ポリシリコン層を選択的にパターニングした後、全面に絶縁膜を形成する段階と、前記ポリシリコン層上の絶縁膜の上部の一定の領域にゲート電極を形成する段階と、前記ゲート電極をマスクにして前記ポリシリコン層

に不純物を注入してソース／ドレイン領域を形成する段階と、前記ソース／ドレイン領域に連結されるソース／ドレイン電極を形成する段階と、前記ドレイン電極に連結される画素電極を形成する段階と、前記第1基板に対向するように第2基板を合着した後、第1、2基板の間に液晶を注入する段階とを備えることを特徴とする。

【0025】即ち、本発明は適正な蒸着条件下で蒸着されたポリシリコンが垂直方向の結晶粒を多数含んでいるマイクロポリシリコンになることから案出したものであって、成膜したポリシリコン層に対して垂直方向にシリコンイオンの注入を行うことにより、垂直方向以外に配向している結晶粒を非結晶化させ、垂直方向の結晶粒成長のみを誘導する。これにより、粗大な結晶粒が得られるだけでなく、一定の方向に配列された結晶粒の分布が得られる。

【0026】

【発明の実施の形態】以下、添付の図面を参照して本発明によるポリシリコン結晶化方法、そして、これを用いたポリシリコン薄膜トランジスタの製造方法及び液晶表示素子の製造方法を詳細に説明する。

【0027】図2a～図2dは本発明によるポリシリコン結晶化方法を説明するための工程断面図であり、図3は本発明によるポリシリコン薄膜トランジスタの製造方法を説明するための平面図及びそれによる断面図であり、図4は本発明による液晶表示素子の製造方法を説明するための断面図である。

【0028】ポリシリコン層の結晶化方法を説明すると、図2aに示すように、基板20の全面に薄く且つ均一にシリコン酸化物(SiO_x)を蒸着してバッファ酸化膜21を形成し、前記バッファ酸化膜21上にプラズマCVDでポリシリコンを蒸着してポリシリコン層23を形成する。この際、蒸着条件を適宜に調節して、 $\langle 2, 2, 0 \rangle$ 優先方位の結晶粒を有するマイクロポリシリコン層になるようにする。

【0029】その後、図2bに示すように、ポリシリコン層23上に基板の垂直方向にシリコン(Si)イオンを注入することで、 $\langle 2, 2, 0 \rangle$ 方位外に配向されている結晶粒、即ち、 $\langle 1, 1, 1 \rangle$ 方位などの結晶粒を非結晶化させる。この際、 $\langle 2, 2, 0 \rangle$ 方位に入射するシリコンイオンによって $\langle 2, 2, 0 \rangle$ 方位に対する直進性が更に高まる。

【0030】次いで、図2cに示すように、前記ポリシリコン層23にエキシマーレーザを照射して、ポリシリコン層23の一定の厚さを熔融及び凝固させて結晶化する。このように、エキシマーレーザアニリングを行ってポリシリコン層23を再結晶化すると、ポリシリコン層23の熔融されていない下部領域に存在する $\langle 2, 2, 0 \rangle$ 方位の成長シード層23aによって結晶粒の成長が誘導される。

【0031】従って、図2dに示すように、 $\langle 2, 2, 0 \rangle$

$0 \rangle$ 結晶粒のみが粗大に成長し、垂直方向のみに配列された結晶粒が得られることで、電子の移動度の特性が向上する。

【0032】一方、図3に基づいて本発明によるポリシリコン薄膜トランジスタの製造方法を説明する。

【0033】まず、基板30の全面に SiO_2 のシリコン酸化物を蒸着してバッファ酸化膜31を形成し、前記バッファ酸化膜31上に $\langle 2, 2, 0 \rangle$ 方位の結晶粒系が優勢なマイクロポリシリコン層を蒸着、成長させる。

【0034】次に、前記ポリシリコン層33にシリコンイオンの注入工程を行い、 $\langle 2, 2, 0 \rangle$ 方位外の $\langle 1, 1, 1 \rangle$ 、 $\langle 3, 1, 1 \rangle$ 方位結晶粒系を非結晶化させる。その後、垂直方向の $\langle 2, 2, 0 \rangle$ 方位結晶粒系のみ存在するポリシリコン層33にエキシマーレーザにより生成されたビーム形態の紫外線を瞬間的に照射する。すると、エキシマーレーザビームによってマイクロポリシリコン層にエネルギーの集中が行われ、シリコン層を熔融させるに十分な 1400°C 程度の温度にまで至るようになり、この温度によってポリシリコン層33が熔融される。この際、未だ熔融されていない $\langle 2, 2, 0 \rangle$ 方位の成長シード層を中心に結晶粒の成長が行われる。従って、一定の方向に分布された粗大な結晶粒からなるポリシリコン層33が得られる。

【0035】以後、結晶化したポリシリコン層33をパターンニングして半導体層33を形成し、前記半導体層33を含む全面にシリコン窒化物(Si_3N_4)又はシリコン酸化物(SiO_x)などの無機絶縁膜を蒸着して、ゲート絶縁膜の形成のための第1絶縁膜34を形成する。

【0036】次に、前記第1絶縁膜34を含む全面にアルミニウム(Al)又は Al 合金などの低抵抗の金属物質を蒸着し、フォトリソグラフィ方法でパターンニングして、前記半導体層33の上部の所定の部位にゲート電極35を形成する。そして、前記ゲート電極35をマスクにして前記半導体層33に不純物をイオン注入することで、ソース／ドレイン領域33a、33cを形成する。この際、前記ゲート電極35によりマスクングされ、イオンが注入されていない半導体層はチャンネル領域33bとなる。

【0037】続いて、前記ゲート電極35を含む全面に無機絶縁膜を蒸着して、層間絶縁膜の形成のための第2絶縁膜36を形成し、前記第2絶縁膜36と第1絶縁膜34を選択的に除去して、前記ソース／ドレイン領域33a、33cの所定の部位が露出されるコンタクトホールを形成する。

【0038】最後に、前記コンタクトホールが埋め込まれるよう前記第2絶縁膜36上に Al 又は Al 合金などの低抵抗の金属物質を蒸着し、フォトリソグラフィ方法でパターンニングして、前記コンタクトホールを介してソース／ドレイン領域33a、33bと連結されるソー

ス電極 37a 及びドレイン電極 37b を形成する。

【0039】これにより、移動度の高いポリシリコンをチャンネル層にするポリシリコン薄膜トランジスタが完成する。特に、本発明によるポリシリコンは一定の配向性を有しており、粗大な大きさの結晶粒を有するので、結晶粒間の境界によって電子或いは正孔が捕らえられる確率が落ちることで、素子の移動度の特性が大きく向上する。

【0040】一方、図 4 に基づき本発明による液晶表示素子の製造方法を説明する。

【0041】まず、第 1 基板 40 の全面にシリコン酸化物としてバッファ酸化膜 41 を形成し、前記バッファ酸化膜 41 上に $\langle 2, 2, 0 \rangle$ 方位が優勢なマイクロポリシリコンを蒸着して成長させる。次に、前記ポリシリコン層 43 に対して垂直方向にシリコンイオンを注入する自己イオン注入工程を行って、垂直方向の $\langle 2, 2, 0 \rangle$ 方位の結晶粒は強化させ、その他の結晶粒には衝撃を与えて非結晶化させる。

【0042】その後、 $\langle 2, 2, 0 \rangle$ 方位の結晶粒系のみに存在するポリシリコン層 42 にエキシマレーザを用いたアニーリング工程を行うことによって非結晶化したシリコン層を溶融させた後、再結晶化する。この際、ポリシリコン層の底部に存在する $\langle 2, 2, 0 \rangle$ 方位の成長シード層から結晶が形成され、その結晶は成長する。従って、一定の配向性を有する結晶粒が形成され、結晶成長の進路が妨げられる虞がないので、結晶粒が大きくなる。

【0043】結晶化工程が終わった後には、再結晶化されたポリシリコン層 43 をフォトリソグラフィ工程でパターニングして、独立した島状の半導体層 43 を形成する。

【0044】次に、前記半導体層 43 を含む全面にシリコン窒化物を塗布してゲート絶縁膜 44 を形成し、そのゲート絶縁膜 44 上にアルミニウム、モリブデン、銅などの低抵抗の金属を蒸着し、フォトリソグラフィ工程でパターニングして、複数のゲート配線（図示せず）及び前記ゲート配線から分岐して半導体層 43 の所定の部位に配置されるゲート電極 45 を形成する。その後、前記ゲート電極 45 をマスクにして半導体層 43 に不純物をイオン注入して、ソース／ドレイン領域 43a、43c 及びチャンネル領域 43b を形成する。

【0045】次いで、前記ゲート電極 45 を含む全面にシリコン窒化物を塗布して層間絶縁膜 46 を形成し、前記層間絶縁膜 46 とゲート絶縁膜 44 を除去して、前記ソース／ドレイン領域 43a、43c が露出されるようにコンタクトホールを形成する。

【0046】続いて、前記コンタクトホールが埋め込まれるよう前記層間絶縁膜 46 上にアルミニウム、モリブデン、銅、クロムなどの低抵抗の金属を蒸着し、フォトリソグラフィ工程でパターニングして、前記ゲート配

*線と交差するデータ配線 47 及び前記コンタクトホールを介してソース／ドレイン領域 43a、43c と連結されるソース電極 47a 及びドレイン電極 47b を形成する。

【0047】ここで、互いに垂直に交差する前記データ配線 47 とゲート配線は画素を定義し、前記 2 つの配線の交差点に形成された半導体層 43、ゲート電極 45a、ソース／ドレイン電極 47a、47b はポリシリコン薄膜トランジスタをなしている。

10 【0048】次に、前記ソース／ドレイン電極 47a、47b を含む全面に BCB、アクリル樹脂などの有機絶縁膜又はシリコン酸化物、シリコン窒化物などの無機絶縁膜を所定の厚さで蒸着して保護膜 48 を形成する。

【0049】次いで、前記保護膜 48 を選択的に除去してドレイン電極 47b が露出されるコンタクトホールを形成した後、前記保護膜 48 上に前記コンタクトホールを介してドレイン電極 47b と連結される ITO (Indium Tin Oxide) 材質の画素電極 49 を形成する。

20 【0050】次に、図示していないが、第 2 基板の所定の部位に光の漏れを防止するためのブラックマトリックスを形成し、そのブラックマトリックスの間に色相の実現のための赤、緑、青のカラーフィルター層を形成したのち、そのカラーフィルター層上に ITO 材質の共通電極を形成する。

【0051】最後に、前記第 1 基板と第 2 基板とを対向して合着し、その間の数 μm の空間に液晶を注入し、液晶注入口を密封して処理することで、ポリシリコンを活性層とする液晶表示素子が完成する。

【0052】参考に、前記実施形態では $\langle 2, 2, 0 \rangle$ 方向のイオン注入に限定しているが、イオン注入の方向を適切に調節することで結晶粒の配向性を人為的に調節することができる。

【0053】

【発明の効果】以上説明したような本発明のポリシリコン結晶化方法、そして、これを用いたポリシリコン薄膜トランジスタの製造方法及び液晶表示素子の製造方法は次のような効果が得られる。

【0054】第一に、結晶粒の優先方位でシリコンイオンを注入することによって一定の方位の粗大な結晶粒を有するポリシリコン薄膜の製造が可能となる。第二に、イオン注入の方向を適切に調節することで、一定の配向性を有する多結晶粒の分布を人為的に調節することができる。第三に、結晶粒の大きさが増加することにより、結晶粒間の境界によって電子或いは正孔が捕らえられる確率が落ちるので、素子の移動度が大きく改善される。第四に、結晶粒の大きいポリシリコンをチャンネル層にした薄膜トランジスタ及び液晶表示素子は電子移動度の特性が向上するため、大面積、高解像度の素子に適合とされる。

【図面の簡単な説明】

【図 1 a】従来の技術によるポリシリコン結晶化方法を説明するための工程断面図。

【図 1 b】従来の技術によるポリシリコン結晶化方法を説明するための工程断面図。

【図 1 c】従来の技術によるポリシリコン結晶化方法を説明するための工程断面図。

【図 2 a】本発明によるポリシリコン結晶化方法を説明するための工程断面図。

【図 2 b】本発明によるポリシリコン結晶化方法を説明するための工程断面図。

【図 2 c】本発明によるポリシリコン結晶化方法を説明するための工程断面図。

【図 2 d】本発明によるポリシリコン結晶化方法を説明するための工程断面図。

【図 3】本発明によるポリシリコン薄膜トランジスタの製造方法を説明するための平面図及びそれによる断面図。

10

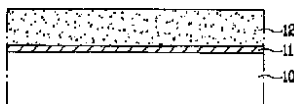
*

*【図 4】本発明による液晶表示素子の製造方法を説明するための断面図。

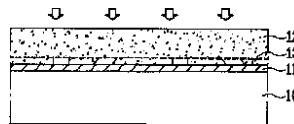
【符号の説明】

- 20, 30, 40: 基板
- 21, 31, 41: バッファ酸化膜
- 23, 33, 43: ポリシリコン層
- 23a: 成長シード層
- 33a, 43a: ソース領域
- 33b, 43b: チャネル領域
- 33c, 43c: ドレイン領域
- 34, 44: ゲート絶縁膜
- 35, 45: ゲート電極
- 36, 46: 層間絶縁膜
- 37a, 47a: ソース電極
- 37b, 47b: ドレイン電極
- 48: 保護膜
- 49: 画素電極

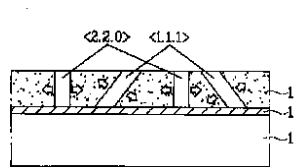
【図 1 a】



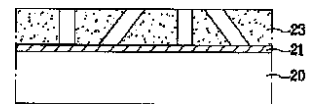
【図 1 b】



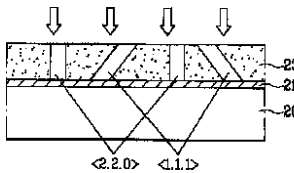
【図 1 c】



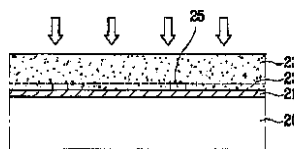
【図 2 a】



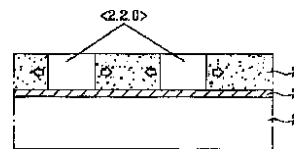
【図 2 b】



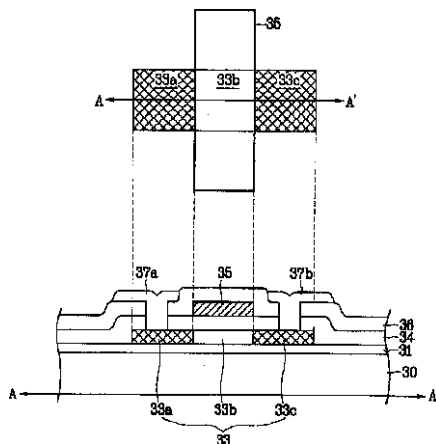
【図 2 c】



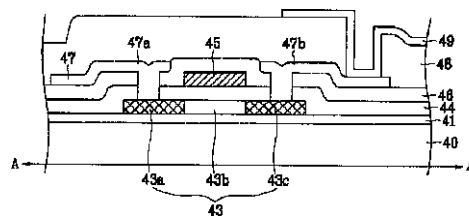
【図 2 d】



【図 3】



【図 4】



フロントページの続き

F ターム(参考) 2H092 JA25 JA37 JA41 JB56 KA04
KA05 KB25 MA27 MA30 NA21
5F052 AA02 BB07 CA04 DA01 DB03
EA15 FA05 HA06 JA01
5F110 AA30 BB01 CC02 DD02 DD13
EE02 EE03 EE04 EE43 FF02
FF03 FF21 FF27 GG02 GG13
GG17 GG43 GG45 GG47 HJ13
HL02 HL03 HL04 HL22 NN03
NN23 NN24 NN27 NN72 PP03
PP22 PP33 QQ11

专利名称(译)	多晶硅结晶方法，使用其制造多晶硅薄膜晶体管的方法，以及制造液晶显示元件的方法		
公开(公告)号	JP2003068646A	公开(公告)日	2003-03-07
申请号	JP2002188292	申请日	2002-06-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	鄭世鎮		
发明人	鄭 世 鎮		
IPC分类号	G02F1/1368 G02F1/136 H01L21/20 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/04 H01L29/786		
CPC分类号	H01L21/02532 H01L21/02686 H01L21/2026 H01L27/1285 H01L27/1296 H01L29/04 H01L29/66757 H01L29/78675		
FI分类号	H01L21/20 G02F1/1368 H01L29/78.627.G		
F-TERM分类号	2H092/JA25 2H092/JA37 2H092/JA41 2H092/JB56 2H092/KA04 2H092/KA05 2H092/KB25 2H092/MA27 2H092/MA30 2H092/NA21 5F052/AA02 5F052/BB07 5F052/CA04 5F052/DA01 5F052/DB03 5F052/EA15 5F052/FA05 5F052/HA06 5F052/JA01 5F110/AA30 5F110/BB01 5F110/CC02 5F110/DD02 5F110/DD13 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE43 5F110/FF02 5F110/FF03 5F110/FF21 5F110/FF27 5F110/GG02 5F110/GG13 5F110/GG17 5F110/GG43 5F110/GG45 5F110/GG47 5F110/HJ13 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL22 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN72 5F110/PP03 5F110/PP22 5F110/PP33 5F110/QQ11 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB34 2H192/CB35 2H192/EA22 2H192/EA43 2H192/EA67 2H192/EA74 2H192/HA82 2H192/HA84 5F152/AA06 5F152/AA07 5F152/BB02 5F152/CC02 5F152/CD13 5F152/CE04 5F152/CE09 5F152/CE14 5F152/CE33 5F152/CE34 5F152/CE36 5F152/CE46 5F152/FF03 5F152/FF28		
优先权	1020010041668 2001-07-11 KR		
其他公开文献	JP4282954B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了形成具有一定取向的晶粒的高质量的多晶硅层，增加晶粒的尺寸以提高多晶硅中的电子迁移率，并提供这种高质量的多晶硅层。提供具有优异的电特性的多晶硅薄膜晶体管和液晶显示装置。特别地，根据本发明的用于结晶多晶硅的方法包括以下步骤：在基板上形成多晶硅层，以及从结晶层中去除除特定取向的晶粒之外的其余取向的晶粒。以及使用特定取向的晶粒使多晶硅层结晶的步骤。

