

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2002 - 175056

(P2002 - 175056A)

(43)公開日 平成14年6月21日(2002.6.21)

| (51) Int. Cl ⁷ | 識別記号 | F I | テ-マ-ド* (参考) |
|---------------------------|---------|---------------|---------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 | 2 H 0 9 1 |
| G 0 2 F 1/133 | 550 | G 0 2 F 1/133 | 2 H 0 9 2 |
| | 1/13357 | | 2 H 0 9 3 |
| | 1/1345 | G 0 9 G 3/20 | 5 C 0 0 6 |
| G 0 9 G 3/20 | 611 | | 5 C 0 8 0 |

審査請求 未請求 請求項の数 9 O L (全 11数) 最終頁に続く

(21)出願番号 特願2000 - 373171(P2000 - 373171)

(22)出願日 平成12年12月7日(2000.12.7)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 阿須間 宏明

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(72)発明者 長谷川 篤

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(74)代理人 100083552

弁理士 秋田 収喜

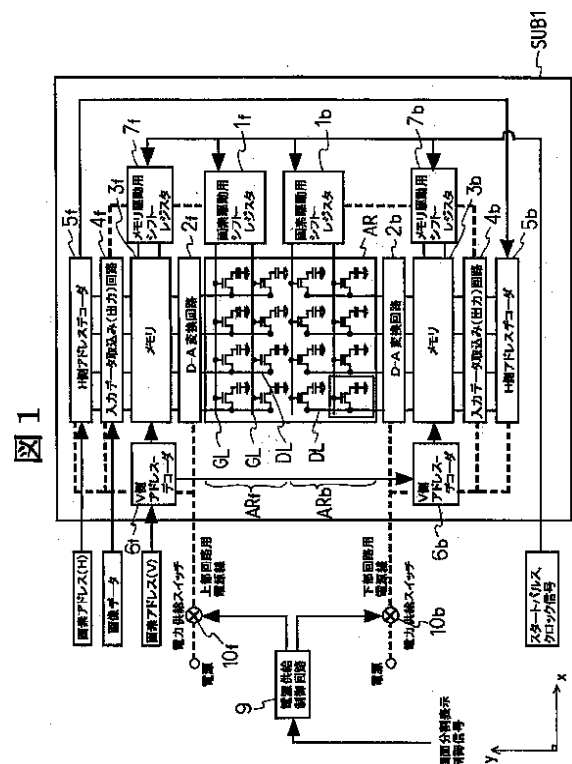
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 消費電力の小さなものを得る。

【解決手段】 前記画素領域の集合である表示領域を x 方向に沿った仮定の線を境にして一方の表示領域と他方の表示領域とに区別され、一方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路と他方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路とが別個に形成され、かつ、一方の表示領域側の各ドレイン信号線と他方の表示領域側の各ドレイン信号線とが分離されているとともに、一方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路と他方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路とが別個に形成されている。



【特許請求の範囲】

【請求項1】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y方向に延在しx方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備え、前記画素領域の集合である表示領域をx方向に沿った仮想の線を境にして一方の表示領域と他方の表示領域とに区分けられ、一方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路と他方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路とが別個に形成され、

かつ、一方の表示領域側の各ドレイン信号線と他方の表示領域側の各ドレイン信号線とが分離されているとともに、

一方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路と他方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路とが別個に形成されていることを特徴とする液晶表示装置。

【請求項2】 一方の表示領域側の走査信号駆動回路、映像信号駆動回路、および他方の表示領域側の走査信号駆動回路、映像信号駆動回路をとともに駆動させ、あるいは、いずれかの表示領域側の走査信号駆動回路、映像信号駆動回路を駆動させる電源供給の切替手段が備えられていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 一方の表示領域側の各ドレイン信号線と他方の表示領域側の各ドレイン信号線との分離箇所は、これらドレイン信号線と絶縁膜を介して配置されるゲート信号線上に位置づけられ、かつ、一方の表示領域側の各ドレイン信号線の分離された端部と他方の表示領域側の各ドレイン信号線の分離された端部はいずれも該ゲート信号線に重畳されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項4】 一方の表示領域と他方の表示領域の境界側に存在するそれぞれの各領域のゲート信号線から、それぞれそれぞれから遠ざかる方向へ沿って各ゲート信号線に走査信号を供給し、そのタイミングに併せて映像信号駆動回路から映像信号を供給することを特徴とする請求項1に記載の液晶表示装置の駆動方法。

【請求項5】 一方の表示領域と他方の表示領域の境界に遠く側に存在するそれぞれのゲート信号線から、それぞれそれぞれから前記境界の近づく方向へ沿って各ゲート信号線に走査信号を供給し、そのタイミングに併せて映

*像信号駆動回路から映像信号を供給することを特徴とする請求項1に記載の液晶表示装置の駆動方法。

【請求項6】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y方向に延在しx方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備えるとともに、

前記映像信号駆動回路は前記薄膜トランジスタと並行して形成される他の複数の薄膜トランジスタからなるダイナミックメモリを備え、該他の複数の薄膜トランジスタのうち少なくとも一つは絶縁膜を介して固定された電位を有する導電膜で覆われていることを特徴とする液晶表示装置。

【請求項7】 導電膜は画素電極と同一の材料で形成されていることを特徴とする請求項6に記載の液晶表示装置。

【請求項8】 液晶表示パネルと、この液晶表示パネルの背面に配置されるバックライトとから構成され、前記液晶表示パネルは、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y方向に延在しx方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、

前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備えるとともに、

前記映像信号駆動回路は前記薄膜トランジスタと並行して形成される他の複数の薄膜トランジスタからなるダイナミックメモリを備え、

前記バックライトと対向する側の基板に該バックライトからの光が前記ダイナミックメモリへ照射するのを回避する遮光膜が形成されていることを特徴とする液晶表示装置。

【請求項9】 ダイナミックメモリが形成されている基板はバックライトと対向する側の基板であり、前記遮光膜は前記基板を介してダイナミックメモリと対向する部分に形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係

り、特に、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に液晶表示駆動回路が形成されているアクティブ・マトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】アクティブ・マトリクス型の液晶表示装置は、液晶を介して対向配置される各透明基板のうち一方の透明基板の液晶側の面に、x方向に延在されy方向に並設されるゲート信号線とy方向に延在されx方向に並設されるドレイン信号線とで囲まれた各領域を画素領域としている。そして、この画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とが備えられている。この画素電極は他方の透明基板の液晶側の面に形成された対向電極との間に該映像信号に対応した強さの電界を発生せしめ、液晶の光透過率を制御するようになっている。また、このような構成の液晶表示装置において、各ゲート信号線および各ドレイン信号線にそれぞれ信号を供給するための走査信号駆動回路および映像信号駆動回路をも一方の透明基板の液晶側の面に形成したものが知られている。これら各回路は、画素領域内の前記薄膜トランジスタと同様の構成からなる多数のMIS (Metal-insulator-semiconductor) 型のトランジスタからなっており、画素の構成と同時に各回路を形成できるからである。この場合、薄膜トランジスタおよびMIS型トランジスタのそれぞれの半導体層として多結晶シリコン (Poly-Si) が用いられている。

【0003】

【発明が解決しようとする課題】しかしながら、このような構成からなる液晶表示装置は、たとえば携帯電話の表示装置として用いた場合には、その消費電力が比較的大きいという不都合が指摘されるに到った。また、映像信号駆動回路にダイナミックメモリを用いており、このダイナミックメモリを構成する薄膜トランジスタにリーク電流が流れるという不都合が指摘されるに到った。さらに、該ダイナミックメモリは外来光によってその半導体層にフォトンが発生した場合、これによる不都合がたとえば画素領域内に形成される薄膜トランジスタよりも悪影響を及ぼすことが指摘されるに到った。本発明は、このような事情に基づいてなされたものであり、その目的は、消費電力の小さな液晶表示装置を提供することにある。また、本発明の他の目的は、映像信号駆動回路内のダイナミックメモリを構成する薄膜トランジスタに発生するリーク電流を抑制できた液晶表示装置を提供することにある。さらに、本発明の他の目的は、映像信号駆動回路内のダイナミックメモリを正常に動作させる液晶表示装置を提供することにある。

【0004】

【課題を解決するための手段】本願において開示される

発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0005】手段1．液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y方向に延在しx方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備え、前記画素領域の集合である表示領域をx方向に沿った仮想の線を境にして一方の表示領域と他方の表示領域とに区分けられ、一方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路と他方の表示領域側の各ゲート信号線に走査信号を供給する走査信号駆動回路とが別個に形成され、かつ、一方の表示領域側の各ドレイン信号線と他方の表示領域側の各ドレイン信号線とが分離されているとともに、一方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路と他方の表示領域側の各ドレイン信号線に映像信号を供給する映像信号駆動回路とが別個に形成されていることを特徴とするものである。このように構成された液晶表示装置は、一方の表示領域と他方の表示領域を一つの表示領域として用いることもできるが、いずれか一の表示領域のみを表示させることができるようになる。このため、表示しない表示領域に走査信号を供給しなくても済むことから消費電力の低減が図れるようになる。

【0006】手段2．液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y方向に延在しx方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備えるとともに、前記映像信号駆動回路は前記薄膜トランジスタと並行して形成される他の複数の薄膜トランジスタからなるダイナミックメモリを備え、該他の複数の薄膜トランジスタのうち少なくとも一つは絶縁膜を介して固定された電位を有する導電膜で覆われていることを特徴とするものである。このように構成された液晶表示装置は、そのダイナミックメモリを構成する薄膜トランジスタにおいて、その容量を大きくすることができることから、リーク電流の発生を抑制することができる。

【0007】手段3．液晶表示パネルと、この液晶表示パネルの背面に配置されるバックライトとから構成さ

れ、前記液晶表示パネルは、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とこれら各ゲート信号線に走査信号を供給する走査信号駆動回路と、y方向に延在しx方向に並設されるドレイン信号線とこれら各ドレイン信号線に映像信号を供給する映像信号駆動回路と、前記各信号線によって囲まれる画素領域に、片側のゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備え、前記映像信号駆動回路は前記薄膜トランジスタと並行して形成される他の複数の薄膜トランジスタからなるダイナミックメモリを備え、前記バックライトと対向する側の基板に該バックライトからの光が前記ダイナミックメモリへ照射するのを回避する遮光膜が形成されていることを特徴とするものである。このように構成された液晶表示装置は、ダイナミックメモリを構成する薄膜トランジスタへの外来光の照射を遮蔽できることから、該ダイナミックメモリを正常に動作させる

【0008】

【発明の実施の形態】以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

《全体の構成》図1は、本発明による液晶表示装置の一実施例を示す等価回路図である。同図は回路図であるが、実際の幾何学的配置と対応づけて描いている。同図において、まず、透明基板SUB1がある。この透明基板SUB1は透明基板SUB2（図示せず）と液晶を介して対向配置され、この透明基板SUB2は少なくとも液晶表示部ARを被ってその周辺に形成されるシール剤SL（図9参照）によって透明基板SUB1に固定されている。

【0009】透明基板SUB1の液晶側の面には、図中x方向に延在しy方向に並設されるゲート信号線GLと、これらゲート信号線GLと絶縁されてy方向に延在しx方向に並設されるドレイン信号線DLとが形成されている。各ゲート信号線GLと各ドレイン信号線DLとで囲まれた矩形上の各領域は画素領域を構成するようになり、これによりマトリクス状に配置された各画素領域の集合によって液晶表示部ARが形成されるようになっている。

【0010】ここで、この実施例では、各ドレイン信号線DLは液晶表示部ARの中央において分割されて形成されている。すなわち、最上段である1段からi段までの各ゲート信号線GLとで形成される各画素領域（以下、前段表示部ARfと称する場合がある）と、(i-1)段から最下段であるn段までの各ゲート信号線GLとで形成される各画素領域（以下、前段表示部ARbと称する場合がある）とが観念上分割され、前段表示部ARfを担当するドレイン信号線DLと後段表示部ARbを担当するドレイン信号線DLとが電氣的に分離して形

成されている。この場合、iの値は液晶表示装置の用途によって異なり、液晶表示部ARの中央（図中y方向の中央）に対して上段側であってもよく、また、下段側であってもよい。

【0011】そして、前段表示部ARfにおける各ゲート信号線GLの一端側（図中右側）は、走査信号駆動回路である画素駆動用シフトレジスタ1fに接続され、この画素駆動用シフトレジスタ1fはこの液晶表示装置の外部から供給されるスタートパルスクロック信号によって駆動されるようになっている。また、後段表示部ARbにおける各ゲート信号線GLの一端側（図中右側）は、前記画素駆動用シフトレジスタ1fと別個の画素駆動用シフトレジスタ1bに接続され、この画素駆動用シフトレジスタ1bも前記スタートパルスクロック信号によって駆動されるようになっている。

【0012】さらに、前段表示部ARfにおける各ドレイン信号線DLの一端側（図中上側）は、映像信号駆動回路に接続され、この映像信号駆動回路は、ドレイン信号線DL側から順次並設されるD-A変換回路2f、メモリ3f、入力データ取り込み（出力）回路4f、H側アドレスデコーダ5fと、前記メモリ3fに接続されるV側アドレスデコーダ6f、メモリ駆動用シフトレジスタ7fとで構成されている。

【0013】H側アドレスデコーダ5f、入力データ取り込み（出力）回路4f、およびV側アドレスデコーダ6fには、それぞれこの液晶表示装置の外部から供給される画素アドレス（H）、画素データ、および画素アドレス（V）が入力されるようになっている。さらに、メモリ駆動用シフトレジスタ7fは前記スタートパルスクロック信号の入力によって駆動されるようになっている。なお、このような映像信号駆動回路のさらなる詳細な回路は図2に示されている。

【0014】また、後段表示部ARbにおける各ドレイン信号線DLの一端側（図中下側）は、前記映像信号駆動回路と別個の映像信号駆動回路に接続され、この映像信号駆動回路は、前記映像信号駆動回路と同様に、ドレイン信号線DL側から順次並設されるD-A変換回路2b、メモリ3b、入力データ取り込み（出力）回路4b、H側アドレスデコーダ5bと、前記メモリ3bに接続されるV側アドレスデコーダ6b、メモリ駆動用シフトレジスタ7bとから構成されている。

【0015】H側アドレスデコーダ5b、入力データ取り込み（出力）回路4b、V側アドレスデコーダ6bには、それぞれこの液晶表示装置の外部から供給される前記画素アドレス（H）、画素データ、画素アドレス（V）が入力されるようになっている。さらに、メモリ駆動用シフトレジスタ7bは前記スタートパルスクロック信号の入力によって駆動されるようになっている。

【0016】そして、走査信号駆動回路および映像信号駆動回路のそれぞれには、この液晶表示装置の外部から

電源供給制御回路9を介して電源が供給され、前段表示部ARf側の走査信号駆動回路および映像信号駆動回路には電力供給スイッチ10fを介して電源が供給され、後段表示部ARb側の走査信号駆動回路および映像信号駆動回路には電力供給スイッチ10bを介して電源が供給されるようになっている。

【0017】このように構成された液晶表示装置は、液晶表示部ARにおいて、その全域にわたって表示できることはもちろんのこと、前段表示部ARfのみに表示したり、また、後段表示部ARbのみに表示したりできるようになっている。

【0018】このことから、たとえば携帯電話における液晶表示装置として利用する場合に、前段表示部ARfに日時、時刻、アンテナ感度等の情報（パネル一部表示で十分な情報）を映像させ、後段表示部ARbを駆動させないようにすることができる。このため、後段表示部ARbの各ゲート信号線GLに電力を供給しない構成とでき、低消費電力化の向上に有効となる。

【0019】《画素の構成》図3は、画素の一実施例を示す平面図である。同図は特にドレイン信号線DLの分離個所における画素を示し、該ドレイン信号線DLと交差するゲート信号線GLに対して上側の画素の一部と下側の画素の一部を示している。なお、図3のIV-IV線における断面図を図4に示している。

【0020】図3において、まず、透明基板SUB1の上面に薄膜トランジスタTFTの形成領域にpoly-Siからなる半導体層ASが形成されている。そして、この半導体層ASをも被って透明基板SUB1の表面にたとえばSiO₂からなる第1の絶縁膜GIが形成されている。

【0021】この第1の絶縁膜GIは薄膜トランジスタTFTの形成領域にあってはそのゲート絶縁膜として、また、後述の容量素子Cstgの形成領域にあってはその誘電体膜として機能する。絶縁膜GIの表面には図中x方向に延在するようにしてゲート信号線GLが形成されている。このゲート信号線GLはその一部が画素領域内に延在されて前記半導体層ASを股がるようにして形成され、これにより薄膜トランジスタTFTのゲート電極GTが形成されている。

【0022】また、ゲート信号線GLの形成の際に同時にストレージ線SLが形成され、このストレージ線SLは該ゲート信号線GLとほぼ平行に配置されるとともに、該ゲート信号線GLとの間に比較的面積の大きな延在部が形成されている。ストレージ線SLの前記延在部は容量素子Cstgの電極の一つを構成するようになっている。そして、ゲート信号線GLおよびストレージ線SLをも被って透明基板SUB1の表面には、たとえばSiO₂からなる第2の絶縁膜INが形成されている。

【0023】この第2の絶縁膜INはゲート信号線GLに対する後述のドレイン信号線DLの層間絶縁膜として

の機能を、また、容量素子Cstgの形成領域にあってはその誘電体膜として機能する。また、この第2の絶縁膜INはその下層の第1の絶縁膜GIにまで貫通するコンタクト孔CH1、CH2が形成され、それぞれ薄膜トランジスタTFTのドレイン領域、ソース領域の一部が露出されるようになっている。そして、この第2の絶縁膜INの上面は、図中y方向に延在するドレイン信号線DLが形成され、また、このドレイン信号線DLと同時に形成されるソース電極SD2とが形成されている。

【0024】ドレイン信号線DLは前記コンタクト孔CH1上を走行するようにして形成され、これにより、このコンタクト孔CH1部のドレイン信号線DLは薄膜トランジスタTFTのドレイン電極SD1を兼ねた構成となっている。また、このドレイン信号線DLは、ゲート信号線GL上で分離され、一方の側のドレイン信号線DLの分離端部と他方の側のドレイン信号線DLの分離端部はいずれも該ゲート信号線GLに重畳されている。このようにした理由は、外来光（バックライト等の）による光漏れをゲート信号線GLによって防止した構成となっている。換言すれば、ドレイン信号線DLの切断部をゲート信号線GLで遮光した構成となっている。

【0025】さらに、ソース電極SD2は前記コンタクト孔CH2を被うようにして形成されているとともに、一部のストレージ線SLおよびその延在部と重ね合わされるようにして形成される延在部を備えている。このソース電極SD2の延在部は容量素子Cstgの一つの電極をするようになっている。

【0026】そして、ドレイン信号線DLおよびソース電極SD2をも被って透明基板SUBの表面にはたとえばSiO₂からなる第3の絶縁膜PSVが形成されている。この第3の絶縁膜PSVは薄膜トランジスタTFTへの液晶の直接の接触を回避する保護膜としての機能を有する。また、この第3の絶縁膜PSVには、ソース電極SD2の延在部の一部を露出させるためのコンタクト孔CH3が形成されている。そして、この第3の絶縁膜PSVの上面には、コンタクト孔CH3をも被ってたとえばITO（Indium-Tin-Oxide）からなる画素電極PXが形成されている。

【0027】《メモリの構成》図5は、図1に示す前記メモリの1bitに相当する部分の平面図である。また、図6は図5のVI-VI線における断面図である。また、この部分におけるメモリはいわゆるダイナミックメモリと称されるもので、その等価回路は図7に示している。図5に示す構成はその幾何学的配置において図7とほぼ対応している。図5に示すメモリの形成は前記画素の形成と並行してなされるようになっている。

【0028】図5に示すように、まず、透明基板SUB1の表面には、poly-Siからなる半導体層AS₁と半導体層AS₂が形成されている。このうち半導体層AS₁は薄膜トランジスタTFT₁を構成するための半導

体層となり、半導体層 AS_2 は薄膜トランジスタ TFT_2 および薄膜トランジスタ TFT_3 を構成するための半導体層となる。これら半導体層 AS_1 、 AS_2 は液晶表示部 AR における薄膜トランジスタ TFT の半導体層 AS の形成と同時に形成されるようになっている。

【0029】そして、この半導体層 AS_1 、 AS_2 をも被って透明基板 SUB の上面には SiO_2 からなる第1の絶縁膜 GI が形成されている。この第1の絶縁膜 GI は薄膜トランジスタ TFT_1 ないし TFT_3 のゲート絶縁膜としての機能を有する。

【0030】この第1の絶縁膜 GI の上面には、図中 x 方向に延在するゲート配線層 $G1$ とリフレッシュ配線層 $R1$ とが形成されている。これらゲート配線層 $G1$ 、リフレッシュ配線層 $R1$ は液晶表示部 AR におけるゲート信号線 GL の形成の際に同時に形成されるようになっている。

【0031】この場合、ゲート配線層 $G1$ は前記半導体層 AS_1 の一部を横切るようにして形成されて薄膜トランジスタ TFT_1 のゲート電極を構成し、リフレッシュ配線層 $R1$ は前記半導体層 AS_2 の一部を横切るようにして形成されて薄膜トランジスタ TFT_3 のゲート電極を構成するようになっている。これらゲート配線層 $G1$ およびリフレッシュ配線層 $R1$ をも被って透明基板 SUB の上面には SiO_2 からなる第2の絶縁膜 IN が形成されている。

【0032】この第2の絶縁膜 IN はゲート配線層 $G1$ およびリフレッシュ配線層 $R1$ の後述のドレイン配線層 $D1$ に対する層間絶縁膜としての機能を有する。また、第2の絶縁膜 IN は薄膜トランジスタ TFT_1 のドレイン領域およびソース領域、薄膜トランジスタ TFT_2 のソース領域、薄膜トランジスタ TFT_3 のドレイン領域およびソース領域、リフレッシュ配線層 $R1$ の一部さらにゲート電極 $GT3$ の一部を露出させるコンタクト孔 $CH4$ 、 $CH5$ 、 $CH6$ 、 $CH7$ 、 $CH8$ 、 $CH9$ が形成されている。

【0033】第2の絶縁膜 IN の上面には、図中 y 方向に延在するドレイン配線層 $D1$ が形成され、このドレイン配線層 $D1$ は薄膜トランジスタ TFT_1 のドレイン領域、薄膜トランジスタ TFT_3 のドレイン領域と接続されている。このドレイン配線層 $D1$ は液晶表示部 AR におけるドレイン信号線 DL の形成の際に同時に形成されるようになっている。

【0034】また、この際に、ゲート配線層 $G1$ と同時に形成されるゲート電極 $GT3$ が薄膜トランジスタ TFT_2 の半導体層 AS_2 を横切るようにして形成され、このゲート電極 $GT3$ は薄膜トランジスタ TFT_1 のソース領域と接続されている。また、やはり、ドレイン配線層 $D1$ と同時に形成される導電層 CL が薄膜トランジスタ TFT_2 のソース領域とリフレッシュ配線層 $R1$ との接続を図るようになっている。

【0035】ドレイン配線層 $D1$ 、ゲート電極 $GT3$ 、導電層 CL をも被って透明基板 SUB の上面は SiO_2 からなる第3の絶縁膜 PSV が形成されている。この第3の絶縁膜は薄膜トランジスタ TFT_1 ないし TFT_3 を保護するための保護膜としての機能を有する。

【0036】そして、この第3の絶縁膜 PSV の上面には、 ITO (Indium-Tin-Oxide) 膜からなる導電層 CL が形成されている。この導電層 CL は液晶表示部 AR における画素電極 PX の形成の際に同時に形成されるようになっている。

【0037】この導電層 CL は、この実施例では薄膜トランジスタ TFT_2 のゲート領域を被うようにして形成されている。しかし、これに限定されることはなく、他の薄膜トランジスタ TFT_1 、 TFT_3 の各ゲート領域を被うようにして形成されていてもよい。なお、この導電層 CL はグランド (ground) あるいは電源等のように固定された電位に保持されるようになっている。

【0038】このように、構成されたメモリは、その蓄積容量を増大させることができ、各薄膜トランジスタ TFT_1 ないし TFT_3 に生じるリーク電流に対し、メモリ保持の時間マージンがとれる効果を奏するようになる。

【0039】《メモリの動作説明》図8(a)は、上記ダイナミックメモリの動作を示す図で、(1)データ線(ドレイン配線層)をグランド(GND)にリセット、(2)データのリード動作、(3)データの再書込み、(4)新しいデータの書込みをそれぞれ電流の流れ等によって示している。また、図8(b)は、各信号のタイミングチャートを示している。

【0040】《液晶表示パネル》図9は、透明基板 $SUB1$ と液晶 LC を介して対向配置される透明基板 $SUB2$ を外囲器とする液晶表示パネル PNL と、この液晶表示パネルの背面(観察者に対して)に配置されるバックライト BL との配置関係を示した図である。透明基板 $SUB1$ の液晶側と反対側の面には偏光膜 $POL2$ が形成され、透明基板 $SUB2$ の液晶側と反対側の面には偏光膜 $POL1$ が形成され、透明基板 $SUB1$ に対する透明基板 $SUB2$ の固定は液晶を封止する機能を兼ね備えるシール剤 SL によってなされている。

【0041】バックライト BL からの光は、液晶表示パネル PNL の液晶表示部 AR における各画素の光透過率が制御された液晶 LC を通して観察者へ照射されるようになっている。そして、この場合、透明基板 $SUB1$ のバックライト BL 側の面において遮光膜 BT が形成され、この遮光膜 BT は少なくとも図1に示した H 側アドレスデコーダ、入力データ取り込み(出力)回路、メモリのそれぞれにバックライト BL からの光が照射されるのを防止している。しかし、この遮光膜 BT は液晶表示部 AR (画素の集合からなる領域)のみを開口させるようにして、その周辺の全域に形成するようにしてもよいことはいうまでもない。

【0042】このように構成した液晶表示パネルPNLは、ダイナミックメモリを構成する各薄膜トランジスタTFT₁ないしTFT₃にバックライトBLからの光の照射が防止されることから、その誤動作の発生を回避できる効果を奏するようになる。ダイナミックメモリの場合、光の照射による半導体中に発生するフォトンに起因する悪影響は極めて大きいからである。

【0043】なお、この実施例では、バックライトBLと対向する透明基板SUB1の液晶側の面においてダイナミックメモリ等の回路が形成されたものである。しかし、これらの回路は他方の透明基板SUB2側に形成されたものであってもよいことはいうまでもない。この場合にあっては、該ダイナミックメモリへの外来光の照射を防止できるからである。なお、遮光膜BTとしては、たとえば黒色のビニール等であってもよい。

【0044】《液晶表示パネルの駆動方法》図10は、液晶表示パネルPNLの駆動方法、特に、画素駆動用シフトレジスタ1f、1bの駆動方法およびそれともなう映像信号駆動回路からの映像信号の送出手法を示した図である。上述したように、本実施例による液晶表示装置は、その液晶表示部ARが前段表示部ARfと後段表示部ARbに区分けされ、それぞれ別個の画素駆動用シフトレジスタ1f、1bによってゲート信号線GLに走査信号を供給している。そして、その駆動の一実施例として、前段表示部ARfと後段表示部ARbの境界側に存在する前段表示部ARf側のゲート信号線GLと後段表示部ARb側のゲート信号線GLとから、それぞれそれから遠ざかる方向へ沿って各ゲート信号線GLに走査信号を供給している。

【0045】また、他の実施例として、これとは逆に、前段表示部ARfと後段表示部ARbの境界に遠のく側に存在する前段表示部ARf側のゲート信号線GLと後段表示部ARb側のゲート信号線GLとから、それぞれそれから前記境界の近づく方向へ沿って各ゲート信号線GLに走査信号を供給するようにしてもよい。このように構成した場合、前段表示部ARfと後段表示部ARbの境界における表示を極めて自然にすることができる効

*果を奏する。すなわち、前段表示部ARfの前記境界側の画素と後段表示部ARbの該境界側の画素とにおいて、それらの駆動の時間差が少なく、たとえば一方の画素においてリークが大きくなっているというような不都合が生じることがなくなるからである。

【0046】

【発明の効果】以上説明したことから明らかなように、本発明による液晶表示装置によれば、消費電力の小さなものを得ることができる。また、映像信号駆動回路内のダイナミックメモリを構成する薄膜トランジスタに発生するリーク電流を抑制できる。さらに、映像信号駆動回路内のダイナミックメモリを正常に動作させることができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の一実施例を示す全体等価回路図である。

【図2】本発明による液晶表示装置の映像信号駆動回路の一実施例を示す等価回路図である。

【図3】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図4】図3のIV-IV線における断面図である。

【図5】本発明による液晶表示装置のダイナミックメモリ(1bit)の一実施例を示す平面図である。

【図6】図5のVI-VI線における断面図である。

【図7】本発明による液晶表示装置のダイナミックメモリの一実施例を示す等価回路図である。

【図8】本発明による液晶表示装置のダイナミックメモリの動作説明図である。

【図9】本発明による液晶表示パネルの一実施例を示す断面図である。

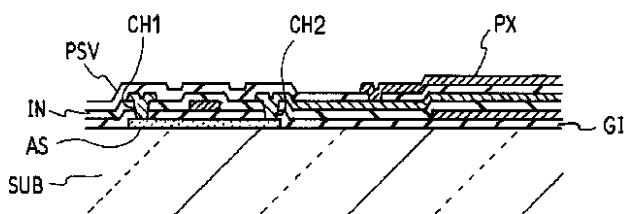
【図10】本発明による液晶表示駆動方法の一実施例を示す説明図である。

【符号の説明】

SUB...基板、GL...ゲート信号線、DL...ドレイン信号線、TFT...薄膜トランジスタ、PX...画素電極、AR...液晶表示部、ARf...前段表示部、ARb...後段表示部、CL...導電膜、BT...遮光膜。

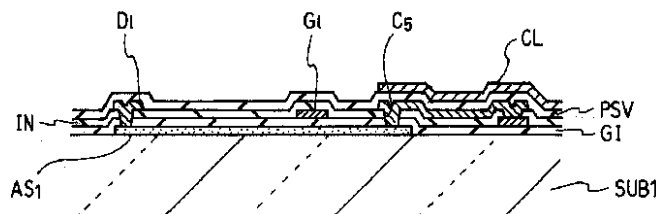
【図4】

図4



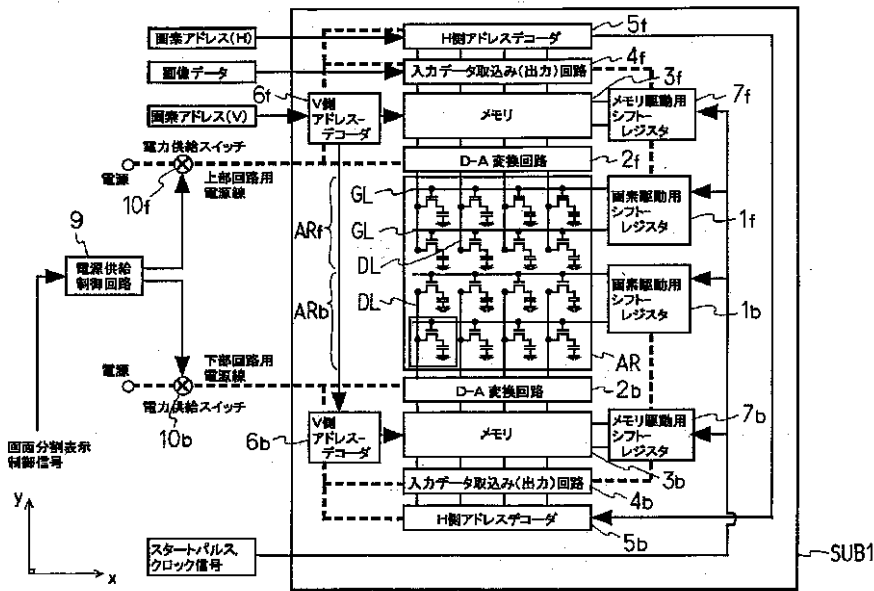
【図6】

図6



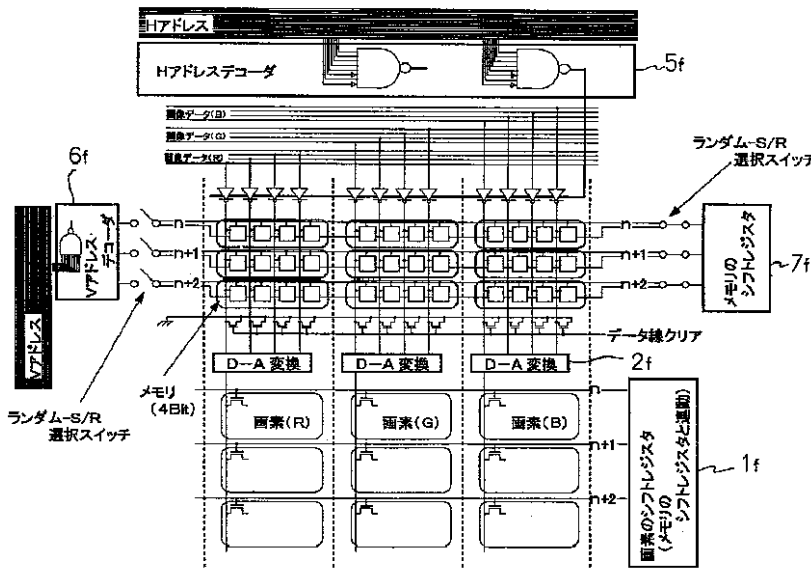
【図1】

図1



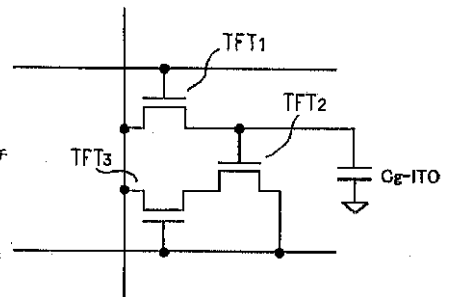
【図2】

図2



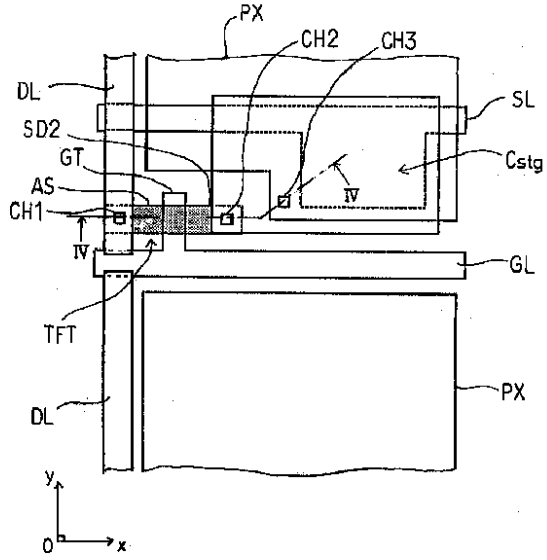
【図7】

図7



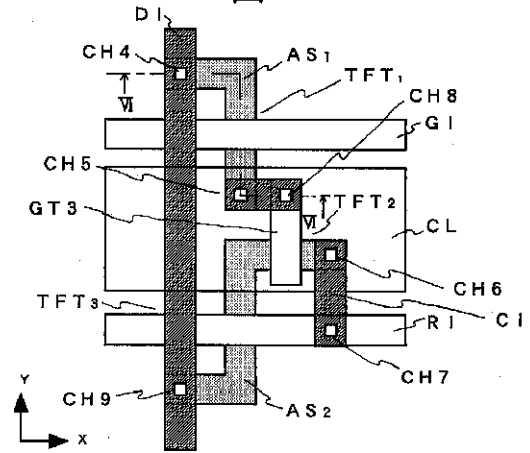
【図3】

図3



【図5】

図5



【図9】

図9

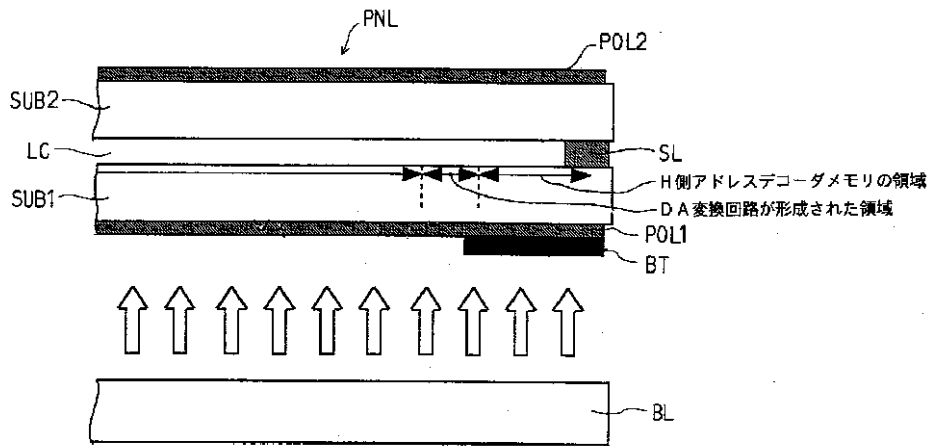


図9

PNL

POL2

SUB2

LC

SUB1

SL

H側アドレスデコーダメモリの領域

DA変換回路が形成された領域

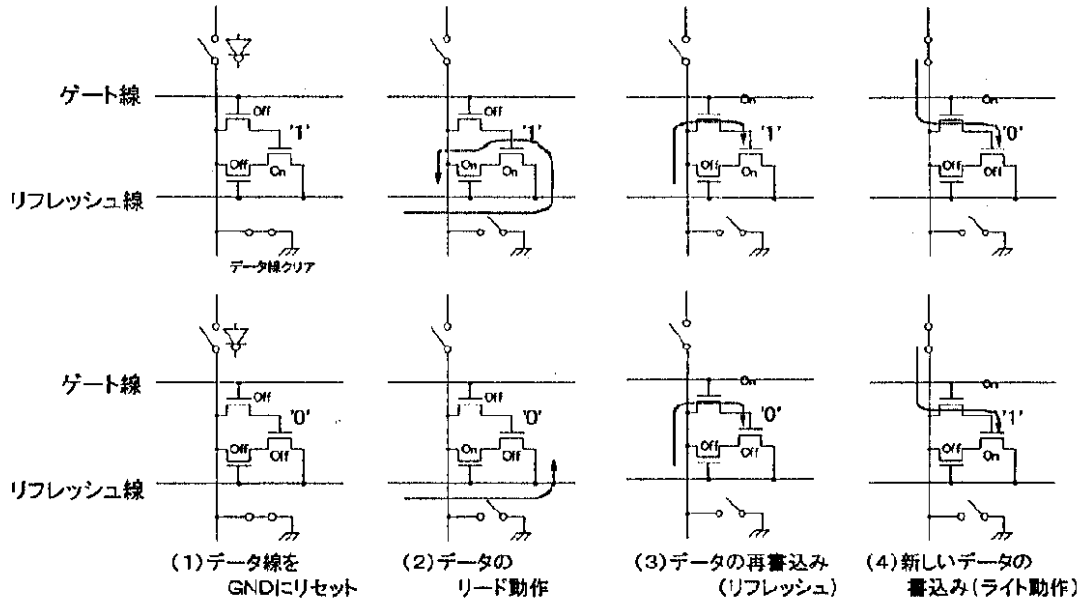
POL1

BT

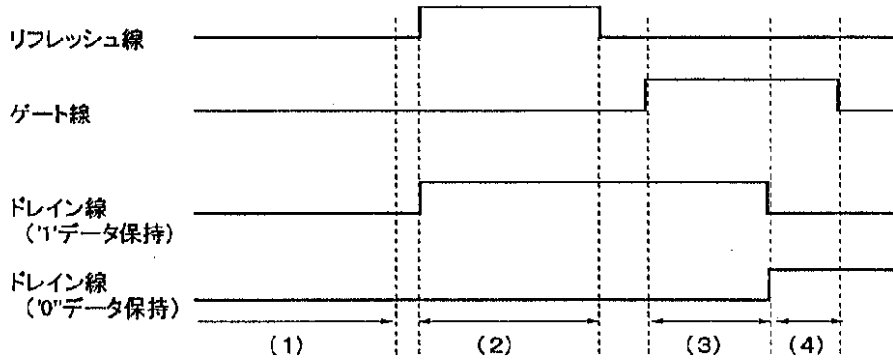
BL

【図8】

図8
(a)

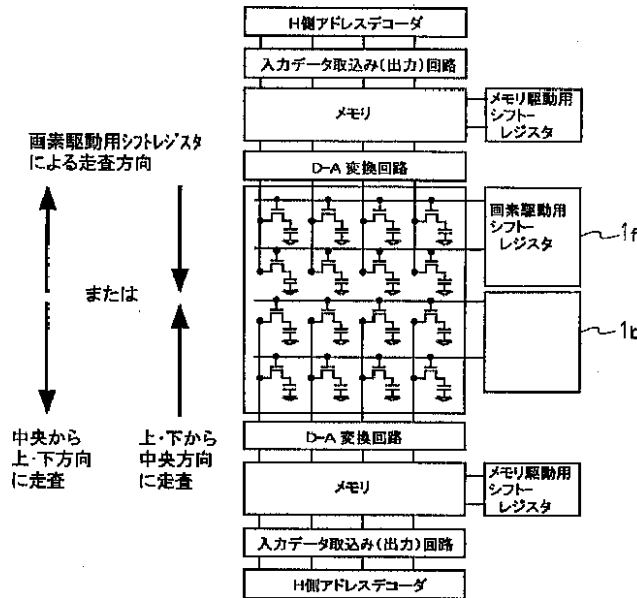


(b)



【図10】

図10



フロントページの続き

| | | | |
|--------------------------|-------|----------------|--------------------------|
| (51)Int.Cl. ⁷ | 識別記号 | F I | テ-マコ-ド [*] (参考) |
| G 0 9 G 3/20 | 6 2 2 | G 0 9 G 3/20 | 6 2 3 U |
| | 6 2 3 | | 6 8 0 G |
| | 6 8 0 | G 0 2 F 1/1335 | 5 3 0 |

- F タ-ム(参考) 2H091 FA41Z GA11 GA13 LA18
 LA30
 2H092 GA59 HA04 JB22 JB31 JB51
 JB61 KA04 NA26 PA06 PA13
 2H093 NC16 NC22 NC28 NC34 NC35
 ND39
 5C006 AC22 AF82 BB16 BC02 BC03
 BC11 BF03 FA36 FA47
 5C080 AA10 BB05 DD10 DD26 FF11
 JJ02 JJ03 JJ06 KK02 KK43

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | <无法获取翻译> | | |
| 公开(公告)号 | JP2002175056A5 | 公开(公告)日 | 2005-04-07 |
| 申请号 | JP2000373171 | 申请日 | 2000-12-07 |
| [标]申请(专利权)人(译) | 株式会社日立制作所 | | |
| 申请(专利权)人(译) | 株式会社日立制作所 | | |
| [标]发明人 | ASUMA HIROAKI HASEGAWA ATSUSHI 阿須間宏明 長谷川篤 | | |
| 发明人 | 阿須間 宏明 長谷川 篤 | | |
| IPC分类号 | G02F1/1335 G09G3/36 G02F1/1345 G02F1/13357 G02F1/133 G09G3/20 | | |
| CPC分类号 | G09G3/3659 G09G3/3666 G09G2310/0283 G09G3/3648 G09G2300/0842 | | |
| FI分类号 | G09G3/36 G02F1/133.550 G02F1/1345 G09G3/20.611.A G09G3/20.622.L G09G3/20.623.U G09G3/20.680.G G02F1/1335.530 | | |
| F-TERM分类号 | 2H093/NC34 2H092/KA04 2H093/NC16 5C006/FA36 5C080/DD26 5C080/JJ03 5C080/AA10 5C080/KK43 2H092/NA26 2H092/JB61 2H092/JB31 2H091/FA41Z 5C080/BB05 2H093/NC35 5C006/AC22 5C006/FA47 2H092/HA04 2H092/PA06 5C080/FF11 2H093/NC28 2H091/LA30 5C080/DD10 2H091/GA11 2H092/PA13 2H093/ND39 2H092/JB51 5C006/BF03 2H092/JB22 5C080/JJ06 2H091/LA18 5C006/BB16 5C006/BC03 5C080/JJ02 2H091/GA13 5C006/AF82 5C006/BC02 2H092/GA59 2H093/NC22 5C006/BC11 5C080/KK02 2H093/NC40 2H191/FA81Z 2H191/GA17 2H191/GA19 2H191/LA24 2H191/LA40 2H193/ZA04 2H193/ZA33 2H193/ZC30 2H193/ZF37 2H391/AA01 2H391/EA11 | | |
| 其他公开文献 | JP2002175056A | | |

摘要(译)

要解决的问题：要获得低功耗的设备。作为像素区域的集合的显示区域被划分为一个显示区域和另一个显示区域，该显示区域以沿着x方向的虚拟线为边界，并且每个栅极信号线在一个显示区域侧。并且，分别形成用于向另一显示区域侧的各栅极信号线提供扫描信号的扫描信号驱动电路，并形成一个显示区域侧的各漏极信号线。并且，另一显示区域侧上的漏极信号线被分离，并且视频信号驱动电路将视频信号提供给一个显示区域侧上的每个漏极信号线和另一显示区域侧上的每个漏极信号线。并且视频信号驱动电路用于向其提供视频信号。