

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 E 5 C 0 8 0
	622		622 B
			622 C
審査請求 有 請求項の数 10 O L (全 10数)			

(21)出願番号	特願2000 - 364002(P2000 - 364002)	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成12年11月30日(2000.11.30)	(72)発明者	榊原 努 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72)発明者	須山 透 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74)代理人	100077931 弁理士 前田 弘 (外 7 名)

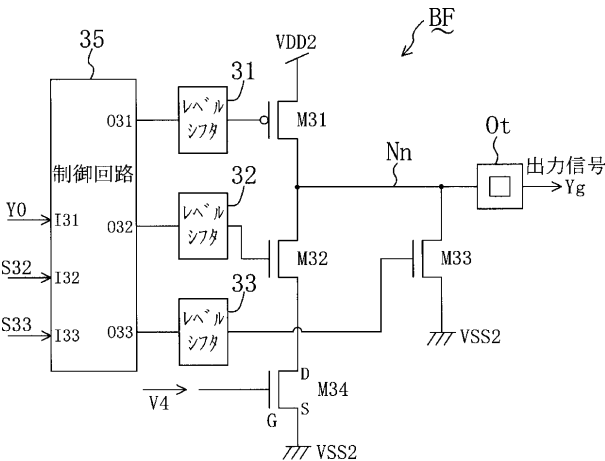
最終頁に続く

(54)【発明の名称】 液晶表示パネル走査線ドライバ

(57)【要約】

【課題】 表示電極電圧の変動の小さい、液晶表示装置の画面のフリッカを抑制しうる液晶表示パネル走査線ドライバを提供する。

【解決手段】 液晶表示パネル走査線ドライバの単位出力回路は、第1のスイッチング素子M31と第3のスイッチング素子M33とからなるインバータの出力ノードNnに、第2のスイッチング素子M32のドレインを接続し、さらに、第2のスイッチング素子32と接地との間に第4のスイッチング素子M34を介設している。第2，第3のスイッチング素子M32，M33のゲートには、外部からの入力信号S32，S33が入力され、第4のスイッチング素子M34には、外部からの入力電圧V4が入力される。出力信号Ygの立ち下がり波形が、第4のスイッチング素子M34の電流駆動能力に応じて緩やかに調整される。



【特許請求の範囲】

【請求項 1】 液晶表示パネルの走査線に電圧を供給する単位出力回路を備えた液晶表示パネル走査線ドライバにおいて、

上記単位出力回路は、

高電位側電圧を供給するノードと低電位側電圧を供給するノードとの間に設けられ、pチャネル型トランジスタとnチャネル型トランジスタとを直列に接続してなるインバータと、

上記インバータのpチャネル型トランジスタとnチャネル型トランジスタとの接続部につながる出力ノードと、ドレインが上記出力ノードに接続され、ソースが低電位側電圧を供給するノードに接続され、ゲートに外部信号を受けるトランジスタからなるスイッチング素子とを備えていることを特徴とする液晶表示パネル走査線ドライバ。

【請求項 2】 請求項 1 記載の液晶表示パネル走査線ドライバにおいて、

上記スイッチング素子は、常時オンになるように設定されていることを特徴とする液晶表示パネル走査線ドライバ。

【請求項 3】 請求項 1 又は 2 記載の液晶表示パネル走査線ドライバにおいて、

上記スイッチング素子と上記インバータの出力ノードとの間に介設され、単位出力回路の出力の立ち下りのタイミングを調整するためのもう 1 つのスイッチング素子をさらに備えていることを特徴とする液晶表示パネル走査線ドライバ。

【請求項 4】 請求項 3 記載の液晶表示パネル走査線ドライバにおいて、

上記もう 1 つのスイッチング素子は、上記インバータのNチャネル型トランジスタよりも電流駆動能力が小さいことを特徴とする液晶表示パネル走査線ドライバ。

【請求項 5】 請求項 1 ～ 4 のうちいずれか 1 つに記載の液晶表示パネル走査線ドライバにおいて、

上記スイッチング素子のゲートに供給される外部信号は、上記スイッチング素子のI-V特性における飽和領域の電圧値であることを特徴とする液晶表示パネル走査線ドライバ。

【請求項 6】 液晶表示パネルの走査線に電圧を供給する単位出力回路を備えた液晶表示パネル走査線ドライバにおいて、

上記各単位出力回路ごとに設けられ、上記単位出力回路の出力信号の立下り波形を制御する制御回路を備えていることを特徴とする液晶表示パネル走査線ドライバ。

【請求項 7】 請求項 6 記載の液晶表示パネル走査線ドライバにおいて、

上記単位出力回路は、

高電位側電圧を供給するノードと低電位側電圧を供給するノードとの間に設けられ、pチャネル型トランジスタ*

*とnチャネル型トランジスタとを直列に接続してなるインバータと、

ドレインが上記インバータの出力ノードに接続され、ソースが低電位側電圧を供給するノードに接続され、ゲートに外部信号を受けるトランジスタからなるスイッチング素子とを備えていることを特徴とする液晶表示パネル走査線ドライバ。

【請求項 8】 請求項 7 記載の液晶表示パネル走査線ドライバにおいて、

上記スイッチング素子は、常時オンになるように設定されていることを特徴とする液晶表示パネル走査線ドライバ。

【請求項 9】 請求項 7 又は 8 記載の液晶表示パネル走査線ドライバにおいて、

上記スイッチング素子と上記インバータの出力ノードとの間に介設され、単位出力回路の出力の立ち下りのタイミングを調整するためのもう 1 つのスイッチング素子をさらに備えていることを特徴とする液晶表示パネル走査線ドライバ。

【請求項 10】 請求項 7 ～ 9 のうちいずれか 1 つに記載の液晶表示パネル走査線ドライバにおいて、

上記スイッチング素子のゲートに供給される外部信号は、上記スイッチング素子のI-V特性における飽和領域の電圧値であることを特徴とする液晶表示パネル走査線ドライバ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶を駆動するための液晶表示パネル走査線ドライバに係り、特に液晶表示パネルの表示電極電位の変動の低減対策に関する。

【0002】

【従来の技術】従来より、液晶表示パネル走査線ドライバは、通常、複数の走査電極ラインに対応して設けられた複数のフリップフロップからなるシフトレジスタと、出力回路と、最終段のシフトレジスタのデータを次段のLSIに伝える為の入出力制御回路とにより構成されている。そして、液晶表示パネル走査線ドライバの動作時には、シフトレジスタの出力シフト動作により、複数の走査電極ラインを順次にアクティブにして、液晶表示パネルの表示画面を垂直方向にスキャンしていき、最終段のシフトレジスタのシフトデータを次段のLSIのドライブ信号入力端子に入力して、次段のLSIを動作させている。

【0003】図7は、従来の液晶表示パネル走査線ドライバの出力回路中の1つのユニットの構成を概略的に示す回路図である。同図に示すように、従来の液晶表示パネル走査線ドライバの出力回路は、制御回路100と、Pチャネル型トランジスタM101及びNチャネル型トランジスタM102からなる出力バッファ（インバータ）と、出力端子105とを備えている。この構成によ

り、入力信号 S_1 が "H" のときに、制御回路 100 から出力バッファに信号 "H" が供給され、出力バッファ（インバータ）からの出力信号 Y_g は "L" となる。そして、出力信号 Y_g により液晶表示パネルの薄膜トランジスタ（図示せず）がスイッチング動作を行なう。

【0004】ここで、液晶表示パネル走査線ドライバにおいては、液晶表示パネルの薄膜トランジスタ（図示せず）をスイッチングさせる駆動能力をできるだけ大きくするため、一般には、出力バッファの P チャネルトランジスタ M101 と N チャネルトランジスタ M102 との能力をほぼ同じとして、より電流駆動能力が高くなるように構成されている。

【0005】図 2 は、液晶表示パネル中の液晶素子部の一部を示す電気回路図（等価回路図）である。同図に示すように、液晶素子は、液晶容量 C_L を有する容量素子として表される。そして、1つの液晶素子に対して表示電極電圧を与えるための薄膜トランジスタ TFT が配置され、各液晶素子及び薄膜トランジスタ TFT は、マトリクス状に配置されている。各薄膜トランジスタ TFT のゲート電極 G はゲート電圧 V_g を供給するゲート配線に接続され、薄膜トランジスタ TFT のソース電極 S はソース電圧 V_S を供給するソース配線に接続されている。また、液晶素子の表示電極 A には薄膜トランジスタ TFT のドレイン電極 D が接続され、液晶素子の共通電極 B は共通電圧 V_{co} を供給するための共通電極配線に接続されている。このとき、薄膜トランジスタ TFT のドレイン電極 D - ソース電極 S 間には寄生容量 C_{ds} が存在し、薄膜トランジスタ TFT のゲート電極 G - ドレイン電極 D 間には寄生容量 C_{gd} が存在している。

【0006】液晶表示パネル走査線ドライバの出力信号 Y_g は、薄膜トランジスタ TFT のゲート配線からゲート電圧 V_g として供給され、薄膜トランジスタ TFT のソース電極 S には、液晶データドライバの出力が入力される。そして、薄膜トランジスタ TFT のゲート電圧 V_g が H レベルの時に薄膜トランジスタ TFT がオンになり、そのソース電極 S の電圧が液晶素子の表示電極 A に伝達され、共通電極 B の共通電圧 V_{co} との電位差に応じて液晶素子中の液晶の状態が制御される。

【0007】

【発明が解決しようとする課題】ここで、上記従来の液晶表示パネル走査線ドライバにおいては、以下のような不具合があった。

【0008】図 8 は、従来の薄膜トランジスタ TFT に関する信号の時間変化を示すタイミングチャートである。同図に示すように、時刻 t_{101} で第 1 フレーム目に入り、ゲート電極 G にレベル "H"（オン電圧 V_{DD} ）が入力されると、薄膜トランジスタ TFT 1 がオンし、液晶容量 C_L と寄生容量 C_{ds} 、 C_{gd} とにソース電圧 V_S - 供給電圧 V_{co} の電位差に応じた電荷が蓄積され、表示電極 A の電位（表示電極電圧）はソース電圧 V_S に

近づく。続いて、時刻 t_{102} でゲート電極 G の電圧がレベル "L"（オフ電圧 V_{SS} ）に立ち下ると、薄膜トランジスタ TFT 1 がオフし、液晶容量 C_L と寄生容量 C_{ds} 、 C_{gd} とは蓄積された電荷を保持し、表示電極 A の電位（表示電極電圧）はソース電圧 V_S にほぼ等しく保持される。

【0009】続いて、時刻 t_{103} で第 2 フレーム目に入り、再びゲート電極 G にレベル "H" が入力されると、薄膜トランジスタ TFT 1 がオンし、反転されたソース電圧 V_S と共通電圧 V_{co} との電位差に応じて液晶容量 C_L と寄生容量 C_{ds} 、 C_{gd} とに電荷が蓄積され、表示電極 A の電位（表示電極電圧）は反転されたソース電圧 V_S に近づく。続いて、時刻 t_{104} でゲート電極 G の電圧がレベル "L"（オフ電圧 V_{SS} ）に立ち下ると、薄膜トランジスタ TFT 1 がオフし、液晶容量 C_L と寄生容量 C_{ds} 、 C_{gd} とは蓄積された電荷を保持し、表示電極 A の電位（表示電極電圧）はソース電圧 V_S にほぼ等しく保持される。

【0010】このとき、時刻 t_{102} 及び時刻 t_{104} において、液晶表示パネル走査線ドライバの出力信号 Y_g （＝ゲート電圧 V_g ）が "H" から "L" になる際に、液晶容量 C_L と寄生容量 C_{ds} 、 C_{gd} とに蓄積された電荷が液晶データドライバの電位（ソース電圧 V_S ）に引っ張られると、表示電極 A の電位（表示電極電圧）の変動 ΔV が生じるおそれがあった。そして、この表示電極の電位（表示電極電圧）の変動 ΔV は、各フレームごとに異なる値になる（バラツキがある）ので、この液晶電極電圧の変動 ΔV の変動が液晶表示装置の画面のちらつき（フリッカ）となって表れるという不具合があった。

【0011】本発明の目的は、表示電極電圧の変動 ΔV を低減しうる手段を講ずることにより、液晶表示装置の画面のちらつき（フリッカ）の抑制を図ることにある。

【0012】

【課題を解決するための手段】本発明の第 1 の液晶表示パネル走査線ドライバは、液晶表示パネルの走査線に電圧を供給する単位出力回路を備えた液晶表示パネル走査線ドライバであって、上記単位出力回路は、高電位側電圧を供給するノードと低電位側電圧を供給するノードとの間に設けられ、p チャネル型トランジスタと n チャネル型トランジスタとを直列に接続してなるインバータと、ドレインが上記インバータの出力ノードに接続され、ソースが低電位側電圧を供給するノードに接続され、ゲートに外部信号を受けるトランジスタからなるスイッチング素子とを備えている。

【0013】これにより、インバータの出力ノードから出力される出力信号を走査線駆動用電圧として用いた時に、出力信号が急激に立ち下ることなく、スイッチング素子の電流駆動能力に応じた緩やかな立ち下がり波形を示すようになる。したがって、走査線を経て出力信号

によって駆動される液晶素子において、走査線における電圧の急激な低下に起因する液晶素子の表示電極電圧の変動が抑制され、表示電極電圧のバラツキも低減される。よって、液晶表示装置の画面のちらつき（フリッカ）を有効に抑制することができる。

【0014】その場合、スイッチング素子はトランジスタによって構成されているので、スイッチング素子のゲートに与えられる外部信号の値によって電流駆動能力が定まる。つまり、外部信号の電圧値によって、出力信号の立ち下がり波形を調整することが可能になる。よって、液晶表示パネルの仕様などに応じた適正な出力信号の立ち下がり波形を得ることができる。

【0015】上記スイッチング素子は、常時オンになるように設定されていることにより、制御の簡素化を図ることができる。

【0016】上記スイッチング素子と上記インバータの出力ノードとの間に介設され、単位出力回路の出力の立ち下がりのタイミングを調整するためのもう一つのスイッチング素子をさらに備えることにより、立ち下がり状態を緩やかにしながら、ある時間が経過した後は、出力信号を速やかにオフ電圧まで低下させることが可能になる。例えば、一般に液晶表示パネルには、液晶素子の表示電極への電圧の供給を制御する薄膜トランジスタが配置されているので、薄膜トランジスタがオフしてから出力信号をオン電圧に立ち下げることが可能となる。

【0017】上記もう一つのスイッチング素子は、上記インバータのNチャネル型トランジスタよりも電流駆動能力が小さいことが好ましい。

【0018】上記スイッチング素子のゲートに供給される外部信号は、上記スイッチング素子のI-V特性における飽和領域の電圧値であることにより、立ち下がり波形を安定して調整することが可能になる。

【0019】本発明の第2の液晶表示パネル走査線ドライバは、液晶表示パネルの走査線に電圧を供給する単位出力回路を備えた液晶表示パネル走査線ドライバであって、上記各単位出力回路ごとに設けられ、上記単位出力回路の出力信号の立下り波形を制御する制御回路を備えている。

【0020】これにより、出力信号が急激に立ち下がることなく緩やかな立ち下がり波形を示すように調整することが可能になる。したがって、走査線を経て出力信号によって駆動される液晶素子において、走査線における電圧の急激な低下に起因する液晶素子の表示電極電圧の変動が抑制され、表示電極電圧のバラツキも低減される。よって、液晶表示装置の画面のちらつき（フリッカ）を有効に抑制することができる。

【0021】上記単位出力回路は、高電位側電圧を供給するノードと低電位側電圧を供給するノードとの間に設けられ、pチャネル型トランジスタとnチャネル型トランジスタとを直列に接続してなるインバータと、ドレイ

ンが上記インバータの出力ノードに接続され、ソースが低電位側電圧を供給するノードに接続され、ゲートに外部信号を受けるトランジスタからなるスイッチング素子とを備えていることにより、スイッチング素子の電流駆動能力を利用して、出力信号の立ち下がり波形の調整が容易になる。

【0022】上記スイッチング素子は、常時オンになるように設定されていることにより、制御の簡素化を図ることができる。

【0023】上記スイッチング素子と上記インバータの出力ノードとの間に介設され、単位出力回路の出力の立ち下がりのタイミングを調整するためのもう一つのスイッチング素子をさらに備えることにより、立ち下がり状態を緩やかにしながら、ある時間が経過した後は、出力信号を速やかにオフ電圧まで低下させることが可能になる。

【0024】上記スイッチング素子のゲートに供給される外部信号は、上記スイッチング素子のI-V特性における飽和領域の電圧値であることにより、立ち下がり波形を安定して調整することが可能になる。

【0025】

【発明の実施形態】本発明にかかわる液晶表示パネル走査線ドライバは、複数の液晶表示パネル走査線ドライバ出力全ての立ち下がり波形をなめらかに立ち下げるとともに、その立ち下がり波形を搭載される薄膜トランジスタや液晶素子などの特性に応じて可変できるように構成したものである。

【0026】以下、本発明にかかわる液晶表示パネル走査線ドライバの出力回路の具体的な実施形態について図面を参照しながら説明する。

【0027】図1は、本実施形態における液晶表示パネル走査線ドライバの回路構成を示す図である。同図に示すように、本実施形態の液晶表示パネル走査線ドライバ1は、多数のDフリップフロップFF0-FFnにより構成されるシフトレジスタ10と、多数の単位出力回路BF0-BFnにより構成される出力回路30とを備えている。シフトレジスタ10の外部には、各フリップフロップFF0-FFnのデータ端子Dにデータを供給するためのドライブ信号入力端子11と、各フリップフロップFF0-FFnのクロック端子CKにクロックを供給するためのクロック信号入力端子12とが設けられている。出力回路30の外部には、各単位出力回路BF0-BFnに制御信号V4を供給するための制御信号端子21と、各単位出力回路BF0-BFnに入力信号S32を供給するための入力信号端子22と、各単位出力回路BF0-BFnに入力信号S33を供給するための入力信号端子23と、薄膜トランジスタのゲート電極に供給される出力信号Yg0-Ygnを出力するための出力端子Ot1-Otnとが設けられている。さらに、出力回路30の各単位出力回路BF0-BFnには、薄膜トランジ

タのオン電圧 V_{DD2} と、薄膜トランジスタのオフ電圧 V_{SS2} とが供給される。

【0028】ここで、本実施形態の液晶表示パネル走査線ドライバ1において使用する電圧値の1例をあげると、ロジック用電源電圧 V_{DD1} は $2.7V \sim 5.5V$ 、ロジック用接地電圧 V_{SS} は $0V$ (グランド GND)、薄膜トランジスタ TFT のオン電圧 V_{DD2} は $8V \sim 10V$ 、薄膜トランジスタのオフ電圧 V_{SS2} は $-5V \sim -3V$ である。

【0029】シフトレジスタ10においては、初段のDフリップフロップ $FF0$ のデータ入力端子Dがドライブ信号入力端子11に接続され、各段について、前段のDフリップフロップ FFj のQ出力の出力端子Qが次段のDフリップフロップ $FFj+1$ のデータ入力端子Dに接続されている。また、各Dフリップフロップ $FF0 \sim FF_n$ の出力端子Yからの出力がそれぞれ対応する単位出力回路 $BF0 \sim BF_n$ に入力される。全てのDフリップフロップ $FF0 \sim FF_n$ のアクティブロウ型のクロック入力端子CKは、1つのクロック信号入力端子12に共通に接続され、同じクロック信号が各Dフリップフロップ $FF0 \sim FF_n$ に供給されている。

【0030】出力回路30は、それぞれ図示しない液晶表示パネルの走査電極ラインに出力信号 $Y_{g0} \sim Y_{gn}$ を供給する。すなわち、後述する図3に示すように、出力回路30において、シフトレジスタ10の各フリップフロップ $FF0 \sim FF_n$ からの出力信号に応じて、高電位側の液晶駆動用電源電圧であるオン電圧 V_{DD2} と、低電位側の液晶駆動用電源電圧であるオフ電圧 V_{SS2} の振幅にレベルシフトして出力する。

【0031】図3は、本実施形態における液晶表示パネル走査線ドライバの出力回路30中の1つの単位出力回路BFの構成を示す回路図である。単位出力回路BFは、シフトレジスタ10の出力を受ける制御回路35と、制御回路35の出力を受ける第1、第2、第3のレベルシフタ31-33と、直列に配置された第1、第2、第4のスイッチング素子 $M31, M32, M34$ と、レベルシフタ33の出力を受ける第3のスイッチング素子 $M33$ とを備えている。

【0032】第1のスイッチング素子 $M31$ はエンハンスメント型のPチャネル型MOSFETからなる。第2のスイッチング素子 $M32$ はエンハンスメント型のNチャネル型MOSFETからなり電流能力が低く設定されている。第3のスイッチング素子 $M33$ はエンハンスメント型のNチャネル型MOSFETからなり電流能力が、第2のスイッチング素子 $M32$ よりも高く設定されている。第4のスイッチング素子 $M34$ の第4のスイッチング素子 $M34$ はエンハンスメント型のNチャネル型MOSFETからなる。そして、第1のスイッチング素子 $M31$ のドレインは高電位側の液晶駆動用電源電圧(オン電圧) V_{DD2} を供給するノードに接続され、第2

のスイッチング素子 $M32$ のドレインは第1のスイッチング素子 $M31$ のソースに接続され、第2のスイッチング素子 $M32$ のソースは第4のスイッチング素子 $M34$ のドレインに接続され、第4のスイッチング素子 $M34$ のソースは低電位側の液晶駆動用電源電圧(オフ電圧) V_{SS2} を供給するノードに接続されている。

【0033】また、第1のスイッチング素子 $M31$ のゲートは第1のレベルシフタ回路31の出力に接続され、第2のスイッチング素子 $M32$ のゲートは第2のレベルシフタ回路32の出力に接続され、第1のスイッチング素子 $M31$ のソースと第2のスイッチング素子 $M32$ のドレインにつながる出力ノード N_n は第3のスイッチング素子 $M33$ のドレインに接続され、第3、第4のスイッチング素子 $M33, M34$ のソースはそれぞれ低電位側の液晶駆動用電源 V_{SS2} に接続され、第3のスイッチング素子 $M33$ のゲートは第3のレベルシフタ回路33の出力に接続され、出力端子 O_t は出力ノード N_n に接続されている。

【0034】つまり、第1のスイッチング素子 $M31$ と第3のスイッチング素子 $M33$ とからなるインバータ(図7に示す従来の単位出力回路と同じ構造)の出力ノード N_n に、第2のスイッチング素子 $M32$ のドレインを接続し、さらに、第2のスイッチング素子 $M32$ と接地との間に第4のスイッチング素子 $M34$ を介設したものに相当する。

【0035】また、第1のレベルシフタ回路31、第2のレベルシフタ回路32、第3のレベルシフタ回路33の入力側は、それぞれ制御回路35の出力信号端子 $O31, O32, O33$ に接続され、制御回路35の入力信号端子 $I31$ にはシフトレジスタ10の出力端子Yの出力信号 Y_o が入力され、入力信号端子 $I32, I33$ には外部からの入力信号 $S32, S33$ が入力され、第4のスイッチング素子 $M34$ には、外部からの入力電圧 $V4$ が入力される。なお、入力信号 $S32$ が直接、第2のスイッチング素子 $M32$ のオン・オフを制御しているわけでもなく、入力信号 $S33$ が第3のスイッチング素子 $M33$ のオン・オフを直接制御しているわけでもない。

【0036】本実施形態においても、液晶表示パネル中の液晶素子部の構成は、図2に示すとおりである。すなわち、同図に示すように、液晶素子は、液晶容量 CL を有する容量素子として表される。そして、1つの液晶素子に対して表示電極電圧を与えるための薄膜トランジスタ TFT が配置され、各液晶素子及び薄膜トランジスタ TFT は、マトリクス状に配置されている。各薄膜トランジスタ TFT のゲート電極Gはゲート電圧 V_g を供給するゲート配線に接続され、薄膜トランジスタ TFT のソース電極Sはソース電圧 V_s を供給するソース配線に接続されている。また、液晶素子の表示電極Aには薄膜トランジスタ TFT のドレイン電極Dが接続され、液晶素子の共通電極Bは共通電圧 V_{co} を供給するための共通

電極配線に接続されている。このとき、薄膜トランジスタ T F T のドレイン電極 D - ソース電極 S 間には寄生容量 C_{ds} が存在し、薄膜トランジスタ T F T のゲート電極 G - ドレイン電極 D 間には寄生容量 C_{gd} が存在している。

【0037】図4は、上記単位出力回路 B F 及び液晶素子部における各信号の時間変化を示すタイミングチャートである。

【0038】以下、以上のように構成された液晶表示パネル走査線ドライバの出力回路 30 や液晶素子部の動作 10 について、図2 - 図4を参照しながら説明する。

【0039】ここで、外部の入力電圧 V_4 は、第4のスイッチング素子 M 3 4 を常時オン状態に保持するように設定されている。

【0040】時刻 t_1 で、第1フレーム目に入り、シフトレジスタ 10 からの出力信号 Y_o がレベル "H" で出力される。初期状態においては、外部からの入力信号 S_{32} のレベルは "H" であり、入力信号 S_{33} のレベルは "L" である。この状態においては、制御回路 35 の出力信号端子 O 3 1 の出力レベルは "H" であり、出力信号端子 O 3 2 の出力レベルは "L" であり、出力信号端子 O 3 3 の出力レベルは "L" である。そして、第1のレベルシフト回路 31、第2のレベルシフト回路 32、第3のレベルシフト回路 33 により、信号の振幅が $V_{DD2} - V_{SS2}$ にレベルシフトされ、第1のスイッチング素子 M 3 1 がオンに、第2のスイッチング素子 M 3 2 及び第3のスイッチング素子 M 3 3 がオフになって、出力端子 O t からオン電圧 V_{DD2} が出力される。出力端子 O t は、図2の液晶素子部の等価回路における薄膜トランジスタ T F T 1 のゲート電極 G に接続されているので、薄膜トランジスタ T F T 1 はオンになり、液晶容量 C_L と寄生容量 C_{ds} 、 C_{gd} とにソース電圧 V_S - 供給電圧 V_{co} の電位差に応じた電荷が蓄積され、表示電極 A の電位 (表示電極電圧) はソース電圧 V_S に近づく。

【0041】次に、時刻 t_2 において、外部からの入力信号 S_{32} がレベル "L" に、入力信号 S_{33} がレベル "L" になると、第1のスイッチング素子 M 3 1 がオフになり、第2のスイッチング素子 M 3 2 がオンになり、第3のスイッチング素子 M 3 3 がオフになり、出力端子 O t はオン電圧 V_{DD2} からオフ電圧 V_{SS2} に向かって徐々に変化する。このとき、特に、第2のスイッチング素子 M 3 2 は第3のスイッチング素子 M 3 3 よりも電流能力が低く設けられているので、図4の時刻 T_2 から t_3 に示すように、出力端子 O t の立ち下がり波形は滑らかなになる。そして、出力端子 O t の滑らかな立ち下がりに従って、薄膜トランジスタ T F T 1 はゆっくりとオン状態からオフ状態に変化する。このように、薄膜トランジスタ T F T 1 をゆっくりとオフ状態に切り替えることにより、液晶容量 C_L および寄生容量 C_{ds} と C_{gd} はソース電圧 V_S を充電させ続けることができることから、

表示電極 A の電位 (表示電極電圧) はソース電圧 V_S にほぼ等しく保持される。つまり、従来の液晶表示パネル走査線ドライバに比べて、表示電極電圧の変動 ΔV を小さくすることができる。

【0042】続いて、時刻 t_3 において、外部からの入力信号 S_{32} がレベル "H" に、入力信号 S_{33} がレベル "H" になると、クロックに同期してシフトレジスタ 10 からの出力信号 Y_o がレベル "L" で出力されるので、第1のスイッチング素子 M 3 1 がオフになり、第2のスイッチング素子 M 3 2 がオフになり、第3のスイッチング素子 M 3 3 がオンになり、出力端子 O t からオフ電圧 V_{SS2} が出力される。第3のスイッチング素子 M 3 3 は第2のスイッチング素子 M 3 2 に比べて十分に電流能力が大きいので、出力端子 O t からの出力の立ち下がり波形は非常に鋭くなる。このとき、時刻 t_3 のタイミング、すなわち入力信号 S_{33} がレベル "L" からレベル "H" に変化するタイミングは、薄膜トランジスタ T F T 1 がオフするタイミングよりも遅いときに設定しておく。薄膜トランジスタ T F T 1 がオフした後は、薄膜トランジスタ T F T 1 のゲート電圧 V_g を早く立ち下げても、液晶容量 C_L と寄生容量 C_{ds} 、 C_{gd} とに充電された電荷に対応するソース電位 V_S は、リーク電流がない限り変動しないので、表示電極 A はソース電位 V_S に保持される。

【0043】そして、時刻 t_4 で入力信号 S_{32} を立ち上げ、その後、時刻 t_5 で入力信号 S_{33} を立ち下げることににより、初期の状態に戻す。

【0044】説明は省略するが、第2フレーム目においても、第1フレーム目と同じシーケンスで入力信号 S_{31} 、 S_{32} を入力することにより、時刻 $t_6 - t_{11}$ において、第1フレーム目の時刻 $t_1 - t_5$ とそれぞれ基本的に同じ変化 (表示電極電圧は反転する) を示すので、表示電極電圧の変動 ΔV を小さくすることができる。

【0045】本実施形態の液晶表示パネル走査線ドライバによると、外部信号 V_4 に応じて常時オンとなっている第4のスイッチング素子 M 3 4 を、インバータの出力ノード N_n と低電位側電位であるオフ電位 V_{SS2} との間に介設することにより、薄膜トランジスタ T F T のゲート電極 G に供給される電圧の立ち下がりを緩やかにすることができる。つまり、液晶表示パネル走査線ドライバの出力 Y_g (=ゲート電圧 V_g) が "H" から "L" になる変化が緩やかになる (図4に示す時刻 t_2 から t_3 の間) ので、液晶容量 C_L と寄生容量 C_{ds} 、 C_{gd} とに蓄積された電荷が液晶データドライバの電位 (ソース電圧 V_S) に引っ張られる作用が抑制され、表示電極 A の電位 (表示電極電圧) の変動 ΔV が低減される。その結果、各フレームにおける表示電極の電位 (表示電極電圧) の変動 ΔV のバラツキも低減されるので、液晶表示装置の画面のちらつき (フリッカ) を有効に抑制するこ

とができる。特に、MOSFETにより構成される第4のスイッチング素子M34を配置しているため、出力回路30や液晶素子部の構造に応じたゲート電圧Vgの適正な立ち下がり波形を得ることができる。

【0046】具体的には、時刻t2のシーケンスにおいて、第4のスイッチング素子M34のゲート電圧を、外部からの入力電圧V4の電圧値によって調整することにより、時刻t2から時刻t3までの出力端子Otの出力の立ち下がり波形を液晶表示パネルの仕様に依拠して自由に調整することができる。

【0047】図5は、第4のスイッチング素子M34のI-V特性を示す図である。MOSFETによって構成される第4のスイッチング素子M34は、図5に示すように、ソース・ドレイン電圧Vdsがある値以上になると電流値Idsの飽和特性を示し、その飽和値はゲート・ソース間電圧Vgsが大きいほど大きい。よって、このMOSFETの飽和特性を利用して、外部電圧V4を高くすると、図4に示す出力信号Ygの立ち下がりが急になる一方、外部電圧V4を低くすると、図4に示す出力信号Ygの立ち下がりが緩やかになる。つまり、I-V特性の飽和領域を用いて立ち下がり波形を調整することができる。また、第2のスイッチング素子M32がオンになるタイミングの設定によって、出力信号Ygがオフ電圧VSS2になるタイミングを調整することができる。

【0048】なお、図3に示す単位出力回路BFにおいて、第2のスイッチング素子M32がなくても、本発明の基本的な効果を得ることは可能である。

【0049】図6は、第2のスイッチング素子M32が配置されていない本実施形態の変形例における単位出力回路BF'の回路図である。つまり、第1のスイッチング素子M31と第3のスイッチング素子M33とからなるインバータ(図7に示す従来の単位出力回路と同じ構造)の出力ノードNnに第4のスイッチング素子M34のドレインを接続したものに相当する。

【0050】同図に示す構造を採用した場合には、図4に示すタイミングチャートにおいて、出力信号Ygがオフ電圧VSS2になるタイミングは、第4のスイッチング素子M34の電流駆動能力によって調整されることになる。すなわち、第4のスイッチング素子M34の電流駆動能力を十分大きく設定すれば、出力信号Ygがオフ電圧VSS2になるタイミングが早くなり、第4のスイッチング素子M34の電流駆動能力を小さめに設定すれば、出力信号Ygがオフ電圧VSS2になるタイミングを遅くすることができる。この変形例では、従来の構造に比べて入力信号を外部から供給するラインを1つ追加するだけで済むので、コストの増大を抑制しつつフリッカの発生を抑制することができる。

【0051】また、図6に示す構造を採用する場合、第4のスイッチング素子M34のゲートに入力される外部電圧V4により、第4のスイッチング素子M34のオン

・オフを切り替えるようにしてもよい。

【0052】

【発明の効果】本発明の液晶表示パネル走査線ドライバによれば、液晶表示パネルの走査線に供給する電圧を生成するための出力回路において、出力信号の立ち下がり波形を緩やかにするためのトランジスタをインバータの出力ノードと低電位供給ノードとの間に設けたので、液晶表示パネルの仕様に依拠して、液晶表示電圧変動によるフリッカの減少の条件を自由に調整することができる。

10 【図面の簡単な説明】

【図1】本発明の実施形態における液晶表示パネル走査線ドライバの回路構成を示す図である。

【図2】一般的な液晶表示パネルにおける液晶素子部の一部を示す電気回路図(等価回路図)である。

【図3】本発明の実施形態における液晶表示パネル走査線ドライバの出力回路中の1つの単位出力回路の構成を示す回路図である。

【図4】本発明の実施形態の単位出力回路及び液晶素子部における信号の時間変化を示すタイミングチャートである。

【図5】本発明の実施形態における第4のスイッチング素子のI-V特性を示す図である。

【図6】本発明の実施形態の変形例における単位出力回路の回路図である。

【図7】従来の液晶表示パネル走査線ドライバの出力回路中の1つのユニットの構成を概略的に示す回路図である。

【図8】従来の制御電圧の時間変化を示すタイミングチャートである。

【符号の説明】

10 シフトレジスタ

11 ドライブ信号入力端子

12 クロック信号入力端子

BF 単位出力回路

FF フリップフロップ

S31 入力信号

S32 入力信号

21 第1のレベルシフト回路

22 第2のレベルシフト回路

23 第3のレベルシフト回路

24 出力端子

30 出力回路

35 制御回路

100 液晶表示パネル走査線ドライバ

TFT 薄膜トランジスタ

M31 第1のスイッチング素子

M32 第2のスイッチング素子

M32 第3のスイッチング素子

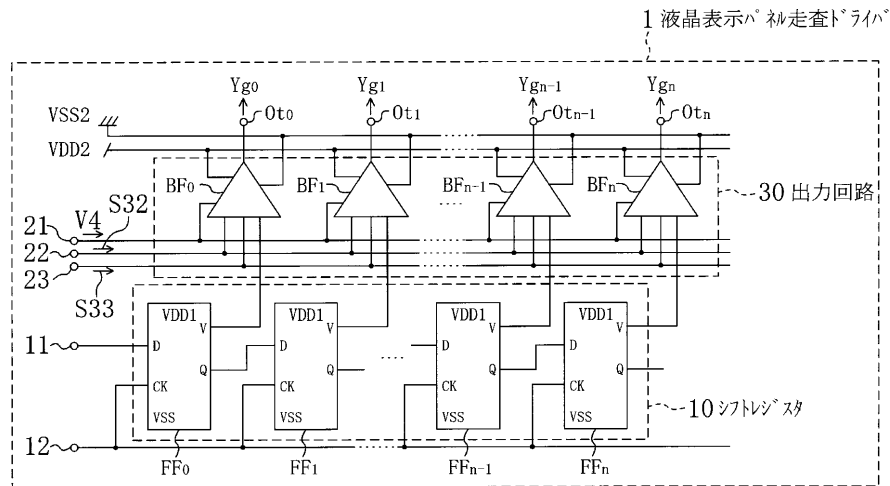
M34 第4のスイッチング素子

FF0 Dフリップフロップ

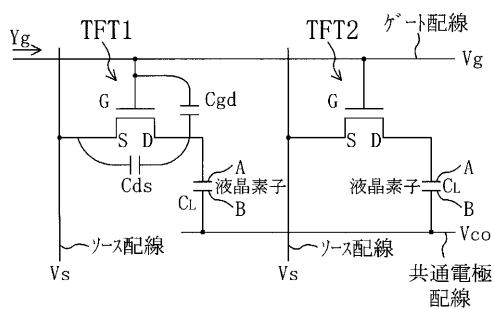
Yg0, Yg1... Ygn 出力信号
 VDD1 ロジック用電源
 VSS1 ロジック用グラウンド

*VDD2 オン電圧
 VSS2 オフ電圧
 * V4 外部電圧

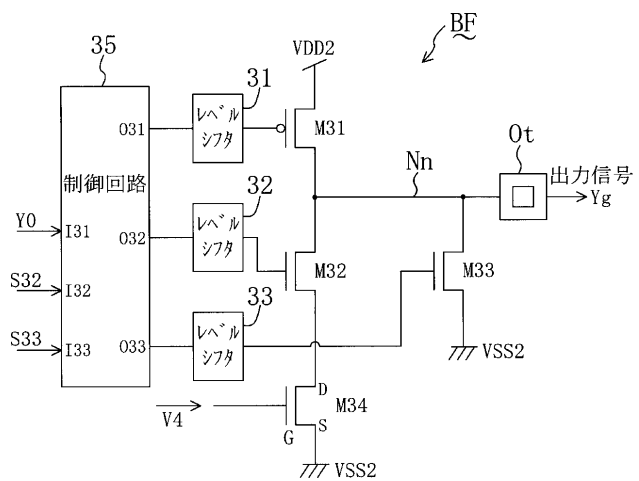
【図1】



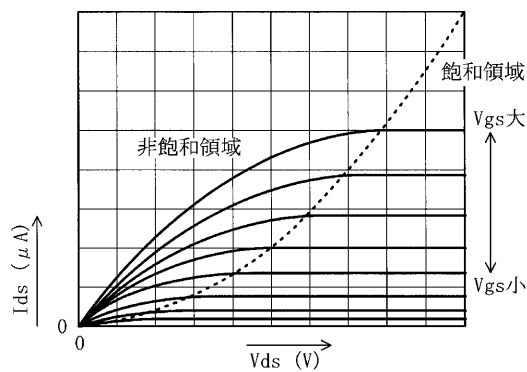
【図2】



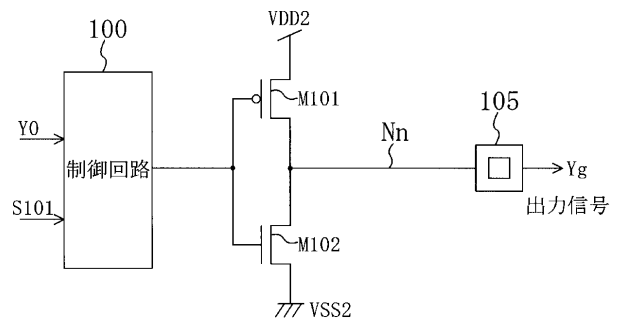
【図3】



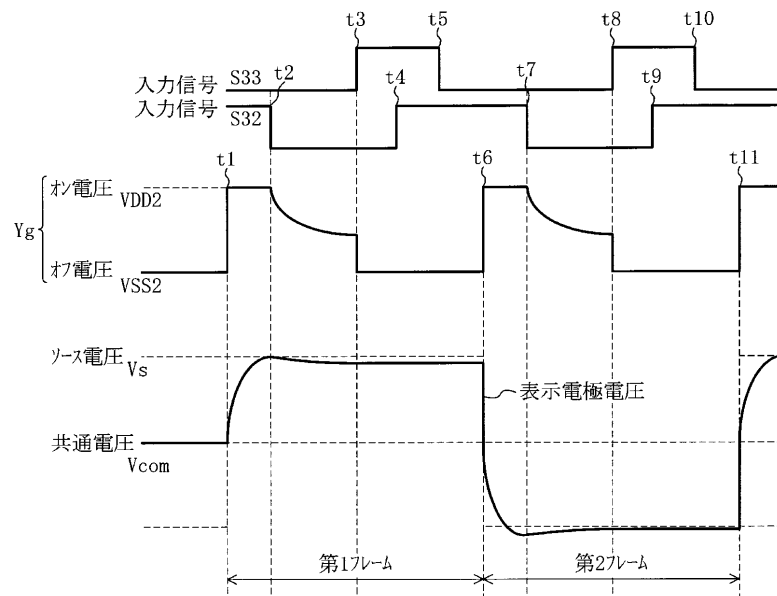
【図5】



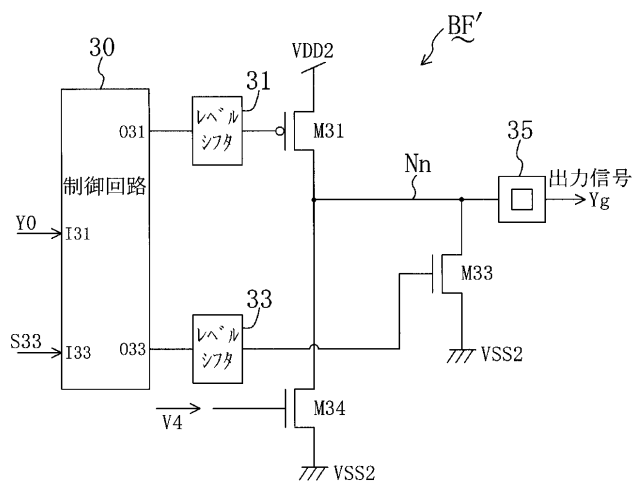
【図7】



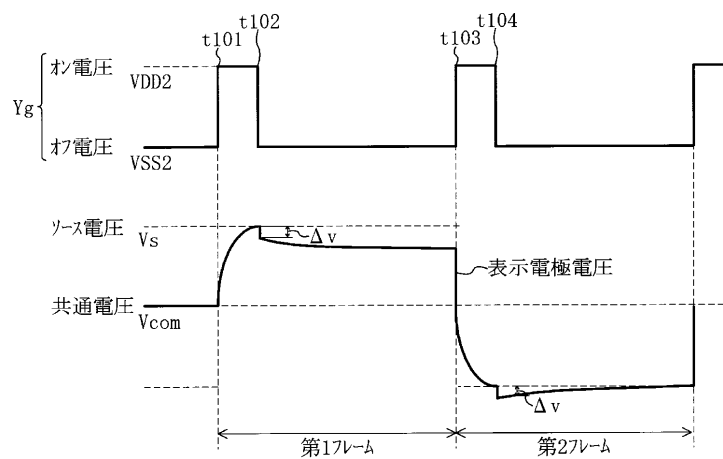
【図4】



【図6】



【図8】



フロントページの続き

F ターム(参考) 2H093 NA16 NC09 NC21 ND10 ND33
ND36
5C006 AC22 AF46 BB16 BC03 BF03
BF06 BF25 BF32 BF34 BF46
FA18 FA23 FA26
5C080 AA10 BB05 DD06 FF11 JJ02
JJ03 JJ04

专利名称(译)	液晶显示面板扫描线驱动器		
公开(公告)号	JP2002169513A	公开(公告)日	2002-06-14
申请号	JP2000364002	申请日	2000-11-30
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	榊原 努 須山 透		
发明人	榊原 努 須山 透		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.E G09G3/20.622.B G09G3/20.622.C		
F-TERM分类号	2H093/NA16 2H093/NC09 2H093/NC21 2H093/ND10 2H093/ND33 2H093/ND36 5C006/AC22 5C006/AF46 5C006/BB16 5C006/BC03 5C006/BF03 5C006/BF06 5C006/BF25 5C006/BF32 5C006/BF34 5C006/BF46 5C006/FA18 5C006/FA23 5C006/FA26 5C080/AA10 5C080/BB05 5C080/DD06 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
其他公开文献	JP3611518B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示面板扫描线驱动器，其能够抑制显示电极电压的变化少的液晶显示装置的画面的闪烁。液晶显示面板扫描线驱动器的单位输出电路将第二开关元件M32的漏极连接到由第一开关元件M31和第三开关元件M33构成的逆变器的输出节点Nn。此外，在第二开关元件32与接地之间设置有第四开关元件M34。来自外部的输入信号S32，S33被输入到第二和第三开关元件M32，M33的栅极，并且来自外部的输入电压V4被输入到第四开关元件M34。根据第四开关元件M34的电流驱动能力来缓慢地调节输出信号Yg的下降波形。

