

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 2 F 1/1343		G 0 2 F 1/1343	2 H 0 9 2
	1/133 550		1/133 550 2 H 0 9 3
G 0 9 F 9/30	338	G 0 9 F 9/30	338 5 C 0 0 6
G 0 9 G 3/20	624	G 0 9 G 3/20	624 C 5 C 0 8 0
	670		670 J 5 C 0 9 4
審査請求 未請求 請求項の数 3 O L (全 6 数) 最終頁に続く			

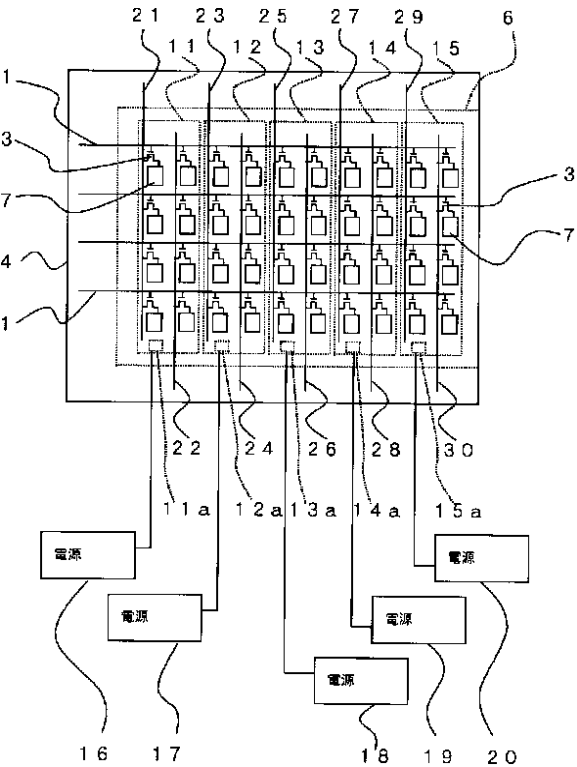
(21)出願番号	特願2000 - 143410(P2000 - 143410)	(71)出願人	000010098 アルプス電気株式会社 東京都大田区雪谷大塚町1番7号
(22)出願日	平成12年5月11日(2000.5.11)	(72)発明者	菊地 孝二 東京都大田区雪谷大塚町1番7号 アルプス 電気株式会社内
		最終頁に続く	

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【課題】 アクティブマトリクス型液晶表示装置において、ゲート配線の信号遅延により、ゲート配線の信号源に近い部分と遠い部分で画素に印加される電圧が異なる場合においても、フリッカーや焼き付きが現れないようにすること。

【解決手段】 TFTアレイ基板4の液晶層側表面には複数のゲート配線1と複数のデータ配線2 1乃至3 0とがマトリクス状に交差して形成され、ゲート配線1とデータ配線2 1乃至3 0とが形成する交差部の近傍に、ゲート配線1に接続されたゲート電極とデータ配線2 1乃至3 0に接続されたソース電極を有する薄膜トランジスタ3と、薄膜トランジスタ3のドレイン電極に接続された画素電極7とがそれぞれ形成されている。対向電極基板6の液晶層側表面には、TFTアレイ基板4のゲート配線1と直交する方向に分割された複数の対向電極1 1乃至1 5が形成されており、対向電極1 1乃至1 5のそれぞれが画素電極7の少なくとも1列と対向配置されている。



【特許請求の範囲】

【請求項 1】 対向配置された一対の基板の間に液晶層が挟持された液晶表示装置であって、前記一方の基板の液晶層側表面には複数のゲート配線と複数のデータ配線とがマトリクス状に交差して形成され、前記ゲート配線と前記データ配線とが形成する交差部の近傍に、前記ゲート配線に接続されたゲート電極と前記データ配線に接続されたソース電極を有する薄膜トランジスタと、該薄膜トランジスタのドレイン電極に接続された画素電極とがそれぞれ形成されており、前記他方の基板の液晶層側表面には、前記一方の基板の前記ゲート配線と直交する方向に分割された複数の対向電極が形成されており、該対向電極のそれぞれが前記画素電極の少なくとも 1 列と対向配置されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】 前記複数の対向電極が、互いに異なる電圧を発生する電源にそれぞれ接続されていることを特徴とする請求項 1 記載のアクティブマトリクス型液晶表示装置。

【請求項 3】 前記複数の対向電極が、一つの電源に接続された電圧調整部であって、複数の互いに異なる大きさの電圧を発生する前記電圧調整部の出力端子にそれぞれ接続されていることを特徴とする請求項 1 記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の所属する技術分野】本発明は、アクティブマトリクス型液晶表示装置に関わるのものである。より詳細には、液晶層を挟んで画素電極と対向する対向電極の構成に関する。

【0002】

【従来の技術】従来の液晶表示装置は、図 5 に示す薄膜トランジスタ及び画素電極等を有する TFT アレイ基板 54 と、図 6 に示す画素電極と対向する対向電極を有する対向電極基板 56 とが液晶層（図示を省略する）を挟んで対向配置して構成されている。TFT アレイ基板 54 は、複数のゲート配線 51 と、複数のデータ配線 52 と、ゲート配線 51 とデータ配線 52 の交差部近傍に形成された複数の薄膜トランジスタ 53 と、複数の薄膜トランジスタ 53 に各々接続された画素電極 57 を有する。一方、TFT アレイ基板 54 と対向する対向電極基板 56 には、全ての画素電極 57 に対して共通な一つの対向電極 55 が設けられているだけである。

【0003】TFT アレイ基板 54 上に形成された画素電極 57 には、薄膜トランジスタ 53 を介してデータ配線 52 からの信号電圧が供給され、対向電極基板 56 に形成された対向電極 55 には、複数の接続端子 58 を介して一つの電源 59 が接続されている。図 5 では、2 つの接続端子 58 を示したが、接続端子 58 の数は少なくとも 1 つあればよく、配置する位置も任意である。この

ようにして液晶層（図示を省略する）は、画素電極 57 の電圧と共通電極 55 の電圧との電圧差により駆動される。上述のような液晶表示装置において、駆動時にフリッカーや焼き付きによる表示不良が現れないようにするため、対向電極 55 に印加される電圧は、図 7 に示すように、液晶層に正極性と負極性の電圧が対称に印加されるよう V_0 に選択されている。

【0004】

【発明が解決しようとする課題】近年、このような液晶表示装置において、表示の高精細化が急激に進み、それに伴ってゲート配線 51 とデータ配線 52 の交差部とゲート配線 51 に接続される薄膜トランジスタ 53 の数が急激に増大しつつある。ところで、ゲート配線 51 は、データ配線 52 との交差部の容量及び交差部近くに接続される薄膜トランジスタ 53 のゲート電極部等に寄生容量を各々形成している。従って、表示の高精細化が進むと、ゲート配線 51 におけるこれらの容量が増大することになり、ゲート配線 51 の信号遅延が増大する。ゲート配線 51 に信号遅延が発生するとゲート電極の信号波形がなまり、薄膜トランジスタ 53 は、オフに切りかわるタイミングで、電荷のリークにさらされる。薄膜トランジスタ 53 における電荷のリークは、ゲート配線 51 における信号遅延がゲート配線 51 のゲート信号源から遠い部分ほど大きくなるので、ゲート信号源から遠いものほど大きくなる。従って、薄膜トランジスタ 53 における電荷のリークによる画素 57 に印加される電圧の変動量も、ゲート配線 51 のゲート信号源から遠いものほど大きくなる。図 5 のゲート配線 51 において、ゲート信号源から遠くなる部分に順番に符号 51a、51b、51c、51d、51e を付す。

【0005】画素 57 に印加される電圧の変動量がゲート配線 51 のゲート信号源からの距離に応じて異なると、液晶層に印加される電圧は、図 8 の B1～B5 に示すように、ゲート配線 51 のゲート信号源から遠いものほど（|B1a| - |B1b|）乃至（|B5a| - |B5b|）が増大し、正極性と負極性の対称性が失われる。正極性と負極性の対称性が失われることにより、フリッカーや焼き付きによる表示不良が現れるといった問題を生じていた。

【0006】本発明は、ゲート配線における信号遅延により、ゲート配線の信号源に近い部分と遠い部分で画素に印加される電圧が異なる場合においても、表示上フリッカーや焼き付きが現れない、アクティブマトリクス型液晶表示装置を提供することを目的とするのである。

【0007】

【発明を解決するための手段】前記目的を達成するために、本発明のアクティブマトリクス型液晶表示装置は、対向配置された一対の基板の間に液晶層が挟持された液晶表示装置であって、前記一方の基板の液晶層側表面には複数のゲート配線と複数のデータ配線とがマトリクス

状に交差して形成され、前記ゲート配線と前記データ配線とが形成する交差部の近傍に、前記ゲート配線に接続されたゲート電極を有する薄膜トランジスタと、該薄膜トランジスタに接続された画素電極とがそれぞれ形成されており、前記他方の基板の液晶層側表面には、前記一方の基板の前記ゲート配線と直交する方向に分割された複数の対向電極が形成されており、該対向電極のそれぞれが前記画素電極の少なくとも 1 列と対向配置されていることを特徴とするものである。この構成により、複数の対向電極にゲート配線の信号源からの距離に応じて異なる電圧を印加することができようになり、ゲート配線の信号源に近い部分と遠い部分で、画素電極に印加される電圧変動が異なる場合においても、表示上フリッカーや焼き付きが現れないようにできる。

【0008】複数の対向電極は、互いに異なる電圧を発生する電源にそれぞれ接続されていることが、対向電極に印加する電圧をおおの独立して設定するうえで望ましい。

【0009】複数の対向電極は、一つの電源に接続された電圧調整部であって、複数の互いに異なる大きさの電圧を発生する電圧調整部の出力端子にそれぞれ接続されていることが、電源の数を削減する上で望ましい。

【0010】

【発明の実施の形態】以下、本発明のアクティブマトリクス型液晶表示装置の実施形態を図面参照にて説明する。図 1 及び図 2 は、本発明のアクティブマトリクス型液晶表示装置の第一の実施の形態の要部を示す展開図であり、図 1 及び図 2 において液晶表示装置は、複数のゲート配線 1、複数のデータ配線 2 1、2 2、2 3、2 4、2 5、2 6、2 7、2 8、2 9、3 0、ゲート配線 1 とデータ配線 2 1 乃至 3 0 の交差部の近傍に形成された複数の薄膜トランジスタ 3 及び薄膜トランジスタ 3 に各々接続された画素電極 7 を有する TFT アレイ基板 4 と、データ配線 2 1、2 2、データ配線 2 3、2 4、データ配線 2 5、2 6、データ配線 2 7、2 8、データ配線 2 9、3 0 が形成する画素電極 7 の各列と対向する対向電極 1 1、1 2、1 3、1 4、1 5 を有する対向電極基板 6 とを互に対向させて液晶層（図示を省略する）を挟持し構成されている。

【0011】TFT アレイ基板 4 上に形成された画素電極 7 の各々には薄膜トランジスタ 3 を介し対応するデータ配線 2 1 乃至 3 0 から信号電圧が供給される。対向電極基板 6 に形成された複数の対向電極 1 1、1 2、1 3、1 4、1 5 には、接続端子 1 1 a、1 2 a、1 3 a、1 4 a、1 5 a を介して電源 1 6、1 7、1 8、1 9、2 0 よりそれぞれに異なった電圧が供給される。

【0012】対向電極 1 1、1 2、1 3、1 4、1 5 に印加されるこれら電圧は、図 3 に示すように、 $(|A1a| = |A1b|)$ 乃至 $(|A5a| = |A5b|)$ と、液晶層に正極性と負極性の電圧が対称に印加される

よう、V 1、V 2、V 3、V 4、V 5 が画素電極 7 の各列に対して、ゲート配線 1 の信号源からの距離に応じて選択されている。以上のような構成により、ゲート配線 1 における信号遅延により、ゲート配線 1 の信号源に近い部分と遠い部分で画素 7 に印加される電圧が異なる場合においても、液晶層には正極性と負極性の電圧が対称に印加される。従って、駆動時にフリッカーや焼き付きによる表示不良が現れることがなくなる。

【0014】第一の実施形態において、図 1 及び図 2 に示した対向電極 1 1、1 2、1 3、1 4、1 5 は、5 つに分割されているが、対向電極の分割数はこの数に限られるものではない。分割の数は多ければ多いほど液晶層に正極性と負極性の電圧を対称に印加することができる。なお、表示の高精細化が SVGA クラス以上になると、この効果が顕著となる。

【0015】次に、本発明の液晶表示装置の第二実施の形態を図 4 にて説明する。この実施の形態の液晶表示装置の第一の実施形態と異なる点は、対向電極 1 1、1 2、1 3、1 4、1 5 のそれぞれに、一つの電源 4 9 に接続され、異なる電圧を発生する電圧降下部 5 0 の出力端子 5 0 a、5 0 b、5 0 c、5 0 d、5 0 e を介して異なる大きさの電圧を印加するようにしたものである。図 4 に示した第二の実施形態の液晶表示装置において、第一の実施形態の液晶表示装置と同一の構成については同一の符号を付し、その説明を省略する。図 4 に示した液晶表示装置の対向電極基板 6 に形成された複数の対向電極 1 1、1 2、1 3、1 4、1 5 は、それぞれ接続端子 1 1 a、1 2 a、1 3 a、1 4 a、1 5 a を介して電圧降下部 5 0 の出力端子 5 0 a、5 0 b、5 0 c、5 0 d、5 0 e に電気的に接続されている。電圧降下部 5 0 は、一端が電源 4 9 に接続されるとともに他端が接地接続されており、両端間に抵抗器 R 1、R 2、R 3、R 4、R 5 が直列接続された構成となっている。図 4 では、電圧降下部 5 0 の他端は接地接続されいるが、別の電圧に接続されていてもよい。

【0016】なお、電源 4 9 より複数の対向電極 1 1、1 2、1 3、1 4、1 5 に供給される電圧は、電圧降下部 5 0 を介し異なる大きさに設定されている。図 4 に示すように複数の抵抗器 R 1、R 2、R 3、R 4、R 5 で異なる大きさの電圧降下を発生させる。そのときの抵抗器 R 1、R 2、R 3、R 4、R 5 の抵抗値は、図 3 に示すものと同様に、一つの電源 4 9 により液晶層に正極性と負極性の電圧が対称に印加されるよう、V 1、V 2、V 3、V 4、V 5 と画素電極 7 の各列に対して、ゲート配線 1 の信号源からの距離に応じて選択されている。以上のような構成により、複数の対向電極 1 1、1 2、1 3、1 4、1 5 には、駆動時にフリッカーや焼き付きによる表示不良が現れないよう、所望の電圧が印加され、液晶は、画素電極 7 の電圧と複数の対向電極 1 1、1 2、1 3、1 4、1 5 の電圧差で駆動される。

【0017】

【発明の効果】以上説明してきたように、本発明のアクティブマトリクス型液晶表示装置によれば、ゲート配線における信号遅延により、表示部のゲート配線の信号源に近い部分と遠い部分で画素電極に印加される電圧が異なる場合においても、液晶層に正極性と負極性の電圧が対称に印加されるよう、複数の対向電極におおの異なる電圧を印加することが可能になり、表示上フリッカーや焼き付きが発生しないといった効果が得られる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス型液晶表示装置の第一の実施形態の要部展開図である。

【図2】図1に示したアクティブマトリクス型液晶表示装置の他の要部展開図である。

【図3】図1に示したアクティブマトリクス型液晶表示装置の動作を説明するための説明図である。

【図4】本発明のアクティブマトリクス型液晶表示装置の第二の実施形態の要部展開図である。

【図5】従来の液晶表示装置を示す要部展開図である。

【図6】図5に示した液晶表示装置の他の要部展開図である。

*【図7】図5に示した液晶表示装置の動作を説明するための説明図である。

【図8】図5に示した液晶表示装置の他の動作を説明するための説明図である。

【符号の説明】

1 ゲート配線

21, 22, 23, 24, 25, 26, 27, 28, 29, 30 データ配線

3 薄膜トランジスタ

10 4 TFTアレイ基板

11, 12, 13, 14, 15 対向電極

6 対向電極基板

7 画素電極

11a, 12a, 13a, 14a, 15a 接続端子

16, 17, 18, 19, 20, 49 電源

50 電圧降下部

R1, R2, R3, R4, R5 抵抗器

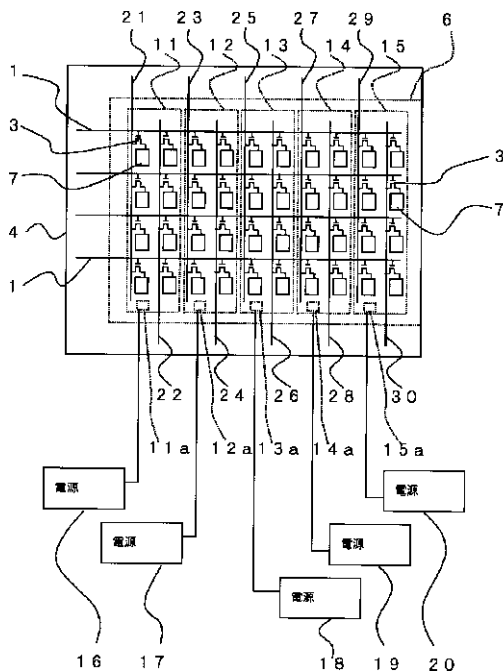
50a, 50b, 50c, 50d, 50e 出力端子

V1, V2, V3, V4, V5 対向電極電圧

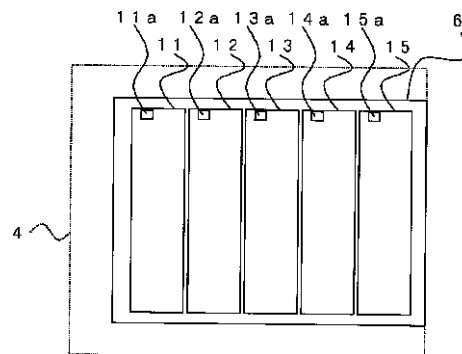
A1, A2, A3, A4, A5 液晶印加電圧

*

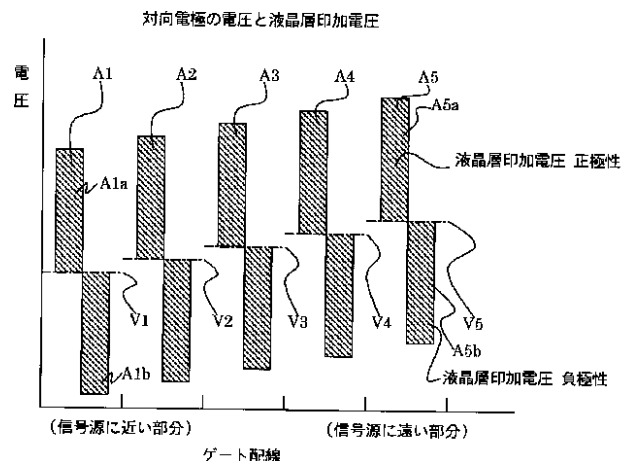
【図1】



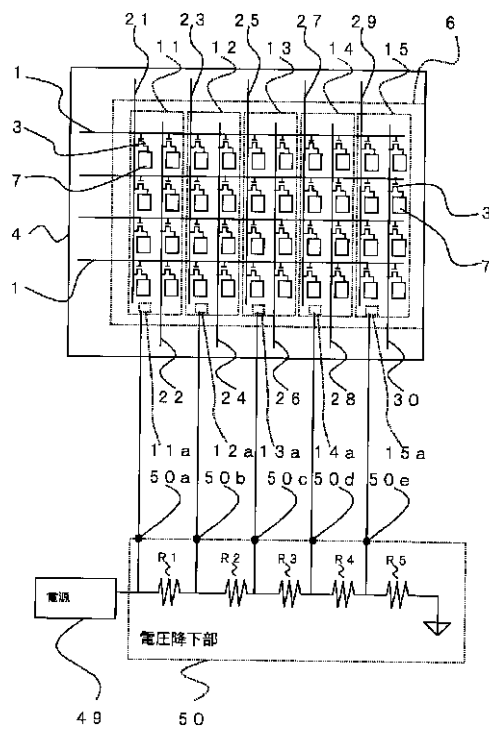
【図2】



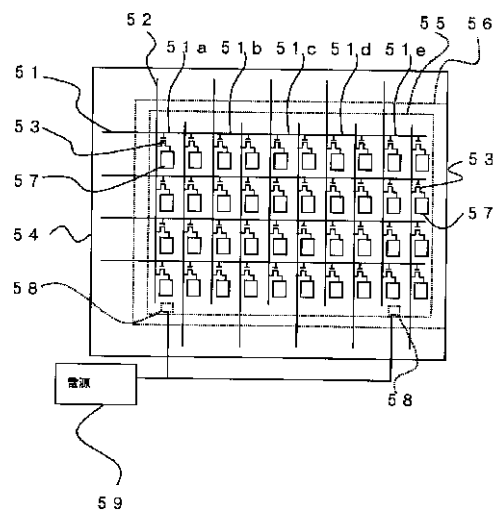
【図3】



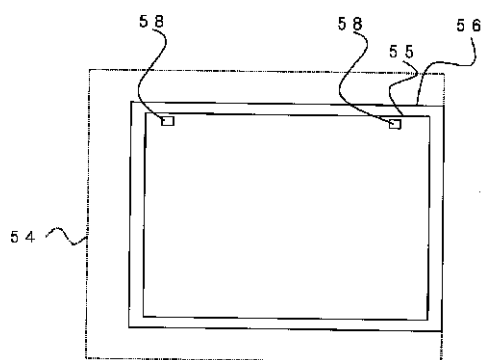
【図4】



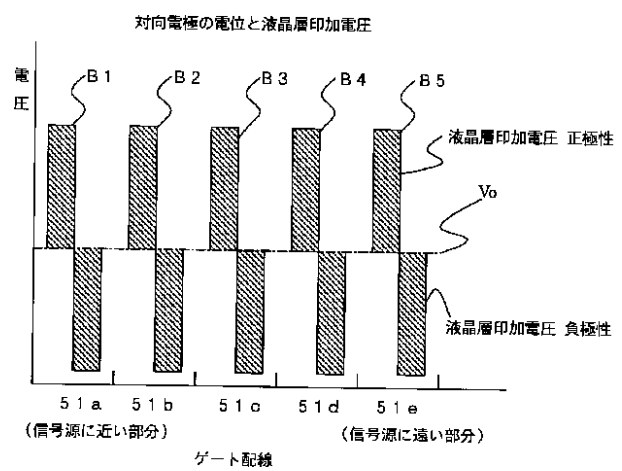
【図5】



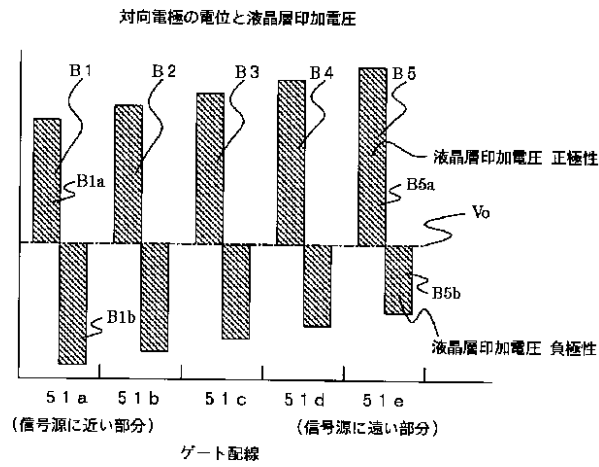
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/36

識別記号

F I

G 0 9 G 3/36

テーム(参考)

F ターム(参考) 2H092 JB14 NA01 NA25 PA06
 2H093 NA16 NC03 NC18 NC34 ND10
 ND12 ND35 ND36 NE03
 5C006 AA01 AC25 BB16 BF43 FA23
 FA34 FA37 FA38
 5C080 AA10 BB05 DD06 DD29 FF11
 JJ02 JJ04
 5C094 AA03 AA31 AA53 BA03 BA43
 CA19 EA04 EA07 GA10

专利名称(译)	有源矩阵型液晶显示装置		
公开(公告)号	JP2001318391A	公开(公告)日	2001-11-16
申请号	JP2000143410	申请日	2000-05-11
[标]申请(专利权)人(译)	阿尔卑斯电气株式会社		
申请(专利权)人(译)	阿尔卑斯电气有限公司		
[标]发明人	菊地孝二		
发明人	菊地 孝二		
IPC分类号	G02F1/1343 G02F1/133 G09F9/30 G09G3/20 G09G3/36		
CPC分类号	G09G3/3655 G09G2320/0204 G09G2320/0223 G09G2320/0247 G09G2320/0257		
FI分类号	G02F1/1343 G02F1/133.550 G09F9/30.338 G09G3/20.624.C G09G3/20.670.J G09G3/36		
F-TERM分类号	2H092/JB14 2H092/NA01 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NC03 2H093/NC18 2H093/NC34 2H093/ND10 2H093/ND12 2H093/ND35 2H093/ND36 2H093/NE03 5C006/AA01 5C006/AC25 5C006/BB16 5C006/BF43 5C006/FA23 5C006/FA34 5C006/FA37 5C006/FA38 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C094/AA03 5C094/AA31 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5C094/GA10 2H092/JA24 2H193/ZA04 2H193/ZA09 2H193/ZF03 2H193/ZF59 2H193/ZP03		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使由于栅极布线的信号延迟而在栅极布线的信号源附近的部分和远离栅极布线的信号源的部分之间施加给像素的电压不同时，也为了防止在有源矩阵型液晶显示装置中发生闪烁和烙印。 要做。在TFT阵列基板（4）的液晶层侧面上以矩阵状交叉形成有多个栅极布线（1）和多个数据布线（21至30），并且形成了栅极布线（1）和数据布线（21至30）。在要形成的交叉点附近，分别提供具有连接至栅极布线1的栅极和连接至数据布线21至30的源极的薄膜晶体管3以及连接至薄膜晶体管3的漏极的像素电极7。已经形成。在对置电极基板6的液晶层侧面上，形成有在与TFT阵列基板4的栅极布线1正交的方向上划分的多个对置电极11～15，各对置电极11～15是像素。它被布置成面对至少一排电极7。

