

(19)日本国特許庁 ( J P )

(12) **公開特許公報** ( A ) (11)特許出願公開番号

特開2001 - 272694

(P2001 - 272694A)

(43)公開日 平成13年10月5日(2001.10.5)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* ( 参考 )	
G 0 2 F 1/1368		G 0 9 F 9/30	338	2 H 0 9 2
G 0 9 F 9/30	338	G 0 2 F 1/136	500	5 C 0 9 4

審査請求 未請求 請求項の数 4 O L ( 全 5 数 )

(21)出願番号 特願2000 - 84390(P2000 - 84390)

(22)出願日 平成12年3月24日(2000.3.24)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 河西 正礼

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 山元 英嗣

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 ( 外 1 名 )

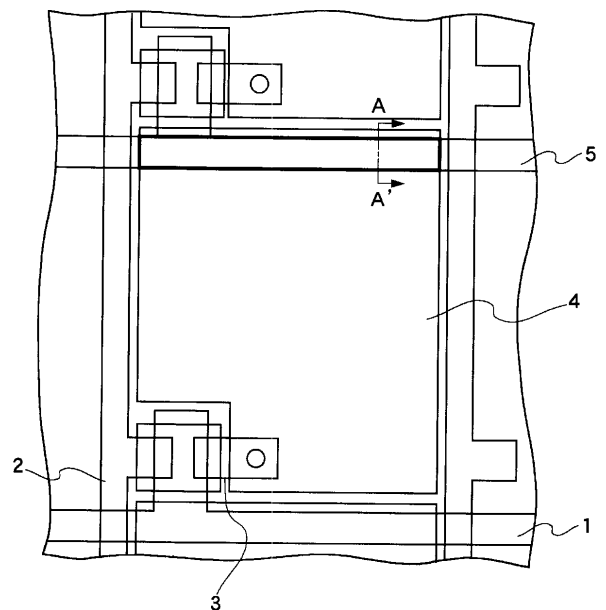
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 画素電極側の蓄積容量電極の局所的な寸法シフトを小さくし、表示品質の劣化を最小限にとどめるアクティブマトリクス型液晶表示装置を提供する。

【解決手段】 マトリクス状に配置された複数の走査線信号配線及び映像信号配線と、複数の走査線信号配線と映像信号配線との交差点に対応する少なくとも1つ以上のスイッチング素子と、スイッチング素子に接続された画素電極と、画素電位を保持するために画素電極と走査線信号配線とで構成される蓄積容量とを含み、画素電極のうち蓄積容量を形成する部分が走査線信号配線の幅方向を完全に被うように配置する。



## 【特許請求の範囲】

【請求項1】マトリクス状に配置された複数の走査線信号配線及び映像信号配線と、複数の前記走査線信号配線と前記映像信号配線との交差点に対応する少なくとも1つのスイッチング素子と、前記スイッチング素子に接続された画素電極と、画素電位を保持するために前記画素電極と前記走査線信号配線とで構成される蓄積容量とを含むアクティブマトリクス型液晶表示装置であって、前記画素電極のうち前記蓄積容量を形成する部分が前記走査線信号配線の幅方向を完全に被うように配置されることを特徴とする液晶表示装置。

【請求項2】マトリクス状に配置された複数の走査線信号配線及び映像信号配線と、複数の前記走査線信号配線と前記映像信号配線との交差点に対応する少なくとも1つ以上のスイッチング素子と、前記スイッチング素子に接続された画素電極と、画素電位を保持するために、前記画素電極と、複数の前記走査線信号配線と同一層であり、かつ平行に配置されている共通容量配線とで構成される蓄積容量とを含むアクティブマトリクス型液晶表示装置であって、前記画素電極が前記共通容量配線の幅方向を完全に被うように配置されることを特徴とした液晶表示装置。

【請求項3】前記スイッチング素子が薄膜トランジスタである請求項1記載の液晶表示装置。

【請求項4】前記画素電極と前記走査線信号配線又は前記共通容量配線との蓄積容量が、ゲート絶縁膜と薄膜トランジスタ上の保護絶縁膜を挟持して構成されている請求項1から3のいずれか一項に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置の画素電位保持のため蓄積容量を構成する液晶表示装置に関する。

## 【0002】

【従来の技術】近年、アクティブマトリクス型液晶表示装置の表示品位向上を図るべく、様々な画素構成が提案されている。以下に、従来のアクティブマトリクス型液晶表示装置について図面を参照しながら説明する。図5は、従来の前段容量型アクティブマトリクス型液晶表示装置における画素の構成図である。また、図6は蓄積容量部A-A'間の断面図である。

【0003】まず図5において、複数の走査信号配線と映像信号配線のうち任意の走査信号配線1と任意の映像信号配線2の交差点にスイッチング素子として薄膜トランジスタを構成する。当該薄膜トランジスタは、ドレイン電極3を通じて画素電極4に接続されている。

【0004】また、図6に示すように、画素電位を保持するべく、任意走査信号配線1の前段部に相当する走査

信号配線5の上にゲート絶縁膜6を、ゲート絶縁膜6の上に保護絶縁膜7を、保護絶縁膜7の上に容量絶縁膜として画素電極4を設けることによって蓄積容量を形成している。

## 【0005】

【発明が解決しようとする課題】しかしながら、上述した従来のアクティブマトリクス型液晶表示装置の画素構成では、画素電極4のうち蓄積容量電極としての役割を果たしている部分が、前段走査線信号配線5に対して、その3辺が前段走査線信号配線5の内側となるように構成されている。そのため、画素電極4のうち蓄積容量電極としての役割を果たしている部分の周辺長が長くなってしまふことから、画素電極4におけるエッチング処理によって、表示画面全体に対し局所的に画素電極パターン幅が太くなったり、あるいは細くなったりする寸法シフトが発生した場合には、蓄積容量値も大きく変動してしまう。そのため、寸法シフトを発生した箇所について正常な画素に比べて明るく表示される、あるいは暗く表示される等、表示品質が劣化してしまうという問題点があった。

【0006】本発明は、上記問題点を解消すべく、画素電極側の蓄積容量電極の局所的な寸法シフトを小さくし、表示品質の劣化を最小限にとどめるアクティブマトリクス型液晶表示装置を提供することを目的とする。

## 【0007】

【課題を解決するための手段】上記目的を達成するために本発明にかかる液晶表示装置は、マトリクス状に配置された複数の走査線信号配線及び映像信号配線と、複数の走査線信号配線と映像信号配線との交差点に対応する少なくとも1つ以上のスイッチング素子と、スイッチング素子に接続された画素電極と、画素電位を保持するために画素電極と走査線信号配線とで構成される蓄積容量とを含むアクティブマトリクス型液晶表示装置であって、画素電極のうち蓄積容量を形成する部分が走査線信号配線の幅方向を完全に被うように配置されることを特徴とする。

【0008】かかる構成により、蓄積容量電極として機能する画素電極が局所的に寸法シフトを起こした場合であっても、蓄積容量電極の周辺長を小さくすることができることから、蓄積容量値の変動に与える影響が小さくすることが可能となる。

【0009】次に、上記目的を達成するために本発明にかかる液晶表示装置は、マトリクス状に配置された複数の走査線信号配線及び映像信号配線と、複数の走査線信号配線と映像信号配線との交差点に対応する少なくとも1つ以上のスイッチング素子と、スイッチング素子に接続された画素電極と、画素電位を保持するために、画素電極と、走査線信号配線と同一層であり、かつ平行に配置されている共通容量配線とで構成される蓄積容量とを含むアクティブマトリクス型液晶表示装置であって、画

素電極が共通容量配線の幅方向を完全に被うように配置されることを特徴とする。

【0010】かかる構成により、共通容量配線と画素電極についても同様の配置とすることで蓄積容量電極の周辺長を小さくすることができることから、蓄積容量値の変動に与える影響が小さくすることが可能となる。

【0011】また、本発明にかかる液晶表示装置は、スイッチング素子が薄膜トランジスタであることが好ましい。薄膜トランジスタを用いる場合でも同様の効果が期待できるからである。

【0012】さらに、本発明にかかる液晶表示装置は、画素電極と走査線信号配線又は共通容量配線との蓄積容量が、ゲート絶縁膜と薄膜トランジスタ上の保護絶縁膜を挟持して構成されていることが好ましい。かかる積層構造とすることで、容量間の電流リークを減少させることができ、表示品質の劣化を防ぐことができるからである。

【0013】

【発明の実施の形態】（実施の形態1）以下、本発明の実施の形態1にかかる液晶表示装置について、図1及び図2を参照しながら説明する。図1は、本発明の実施の形態1にかかるアクティブマトリクス型液晶表示装置における画素部の構成図である。

【0014】図1においては、任意の走査線信号配線1と任意の映像信号配線2の交差点にスイッチング素子として薄膜トランジスタを形成し、ドレイン電極3を通じて画素電極4に接続している。また、画素電位を保持するべく、図2に示すように、前段走査線信号配線5の上にゲート絶縁膜6を、ゲート絶縁膜6の上に保護絶縁膜7を、保護絶縁膜7の上に容量絶縁膜として画素電極4を設ける点においては、従来のアクティブマトリクス型液晶表示装置における画素部の構成と同等である。しかし、容量電極として配置する前段走査線信号配線5が画素電極4と交差するように、すなわち前段走査線信号配線5の幅方向を完全に被うように画素電極4を配置することで蓄積容量を形成している点に相異がある。

【0015】かかる構成とすることによって、画素電極4のうち蓄積容量電極としての役割を果たしている部分が、前段走査線信号配線5に対して、その2辺のみが前段走査線信号配線5の内側となるように構成されることになる。そのため、画素電極4のうち蓄積容量電極としての役割を果たしている部分の周辺長は、従来の構成の場合よりも短くなることから、画素電極4におけるエッチング処理によって、表示画面全体に対し局所的に画素電極パターン幅が太くなったり、あるいは細くなったりする寸法シフトが発生した場合であっても、その蓄積容量値の変動量は小さくなる。したがって、寸法シフトによる表示品質の劣化の度合も小さく抑制することが可能となる。

【0016】例えば、画素電極4が局所的に片側0.2

μmシフトした場合、本実施の形態1においては容量変動率が0.6%であるのに対して、従来例においては容量変動率が1.5%となる。その結果、画素の印加電圧に換算すると、本実施の形態1では10mV変化することに該当するのに対して、従来例においては25mV変化することに該当し、本実施の形態1では従来例の半分以下に画素の印加電圧変動を抑制できていることがわかる。

【0017】なお、本実施の形態1においては、ゲート絶縁膜6及び保護絶縁膜7をそれぞれ単層としているが、ゲート絶縁膜6及び保護絶縁膜7の双方が2層以上の積層膜であっても同様の効果が得られることは言うまでもない。

【0018】また、ゲート絶縁膜6と保護膜7で形成される積層構造を有していることから、容量間の電流リークを減少させることができ、走査線信号配線エッジでの容量間ショート不良が低減されることで、黒点不良が減少することも期待される。

【0019】さらに、交差部の構成上、交差部の縦横比が著しく大きかったり、著しく小さかったりした場合においても、エッジ長が長くなることから局所的な寸法シフトに伴う黒ムラ・白ムラが発生するおそれがある。よって、当該交差部の縦横比は1/10から10の間に設定することが望ましい。

【0020】（実施の形態2）以下、本発明の実施の形態2にかかる液晶表示装置について図3及び図4を参照しながら説明する。図3はアクティブマトリクス型液晶表示装置における画素部の構成図である。

【0021】図3においては、任意の走査線信号配線1と任意の映像信号配線2の交差点にスイッチング素子として薄膜トランジスタを形成し、ドレイン電極3を通じて画素電極4に接続している。また、画素電位を保持するべく、図4に示すように、前段走査線信号配線5の上にゲート絶縁膜6を、ゲート絶縁膜6の上に保護絶縁膜7を、保護絶縁膜7の上に容量絶縁膜として画素電極4を設ける点においては、従来のアクティブマトリクス型液晶表示装置における画素部の構成及び本実施の形態1における構成と同等である。

【0022】しかし、蓄積容量を前段走査線信号配線5と画素電極4で構成するのではなく、走査線信号配線1と同一層に存在し、かつ平行に配置され、全画素に接続されている共通容量配線8と画素電極4で構成されている点に相異がある。

【0023】かかる構成とすることによっても、画素電極4のうち蓄積容量電極としての役割を果たしている部分が、共通容量配線8に対して、その2辺のみが共通容量配線8の内側となるように構成されることになる。そのため、画素電極4のうち蓄積容量電極としての役割を果たしている部分の周辺長は、従来の構成の場合よりも短くなることから、画素電極4におけるエッチング処理

によって、表示画面全体に対し局所的に画素電極パターン幅が太くなったり、あるいは細くなったりする寸法シフトが発生した場合であっても、その蓄積容量値の変動量は小さくなる。したがって、寸法シフトによる表示品質の劣化の度合も小さく抑制することが可能となる。

【0024】

【発明の効果】以上のように、本発明にかかる液晶表示装置によれば、蓄積容量を前段走査線信号配線又は共通容量配線と画素電極とで構成し、かつ容量電極として配置する前段走査線信号配線又は共通容量配線が画素電極と交差するように、すなわち前段走査線信号配線又は共通容量配線を被うように画素電極を配置することにより、加工工程による寸法シフトの影響を小さくすることで表示品位の劣化のない液晶表示装置を提供することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかる液晶表示装置における画素構成図

\*【図2】 本発明の実施の形態1にかかる液晶表示装置における蓄積容量断面図

【図3】 本発明の実施の形態2にかかる液晶表示装置における画素構成図

【図4】 本発明の実施の形態2にかかる液晶表示装置における蓄積容量断面図

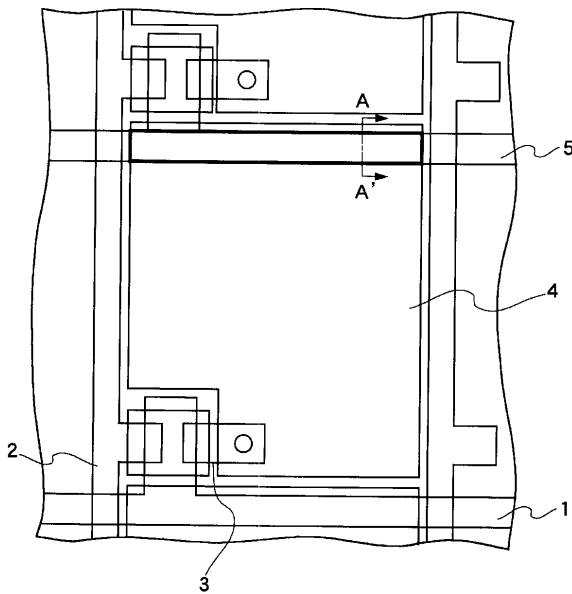
【図5】 従来の液晶表示装置における画素構成図

【図6】 従来の液晶表示装置における蓄積容量断面図

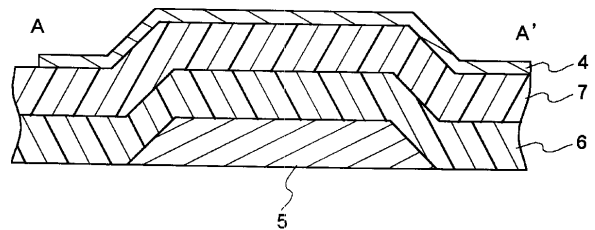
【符号の説明】

- 1 走査線信号配線
- 2 映像信号配線
- 3 ドレイン電極
- 4 画素電極
- 5 前段走査線信号配線
- 6 ゲート絶縁膜
- 7 保護絶縁膜
- 8 共通容量配線

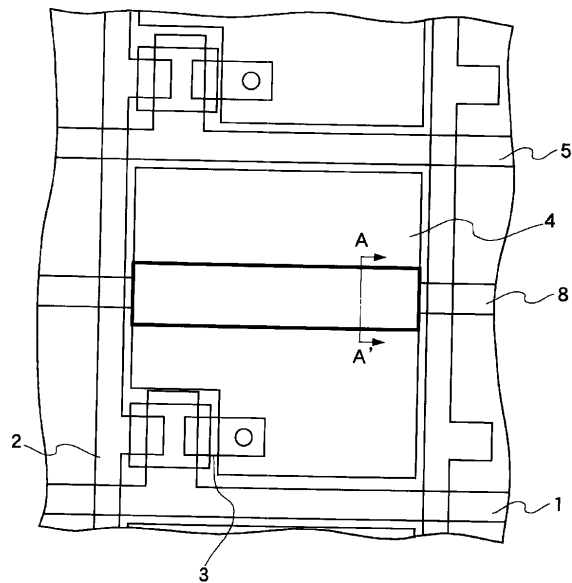
【図1】



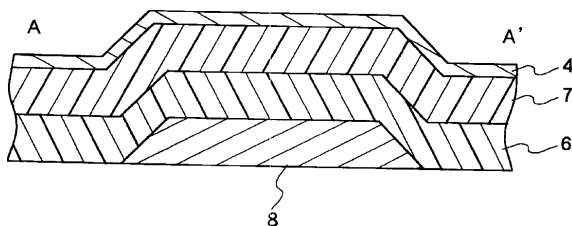
【図2】



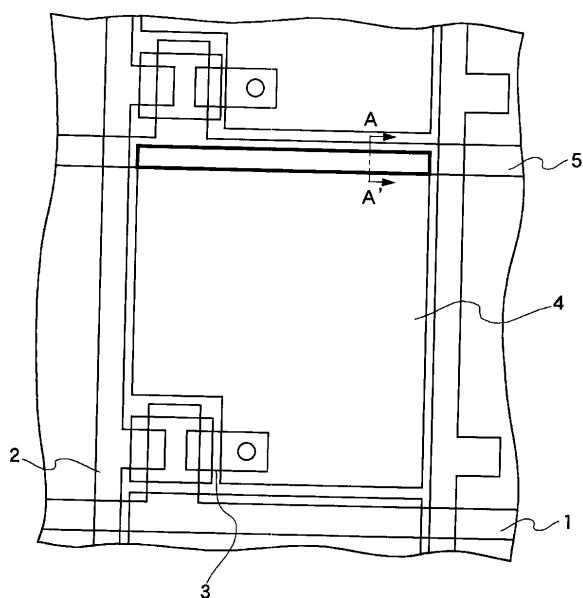
【図3】



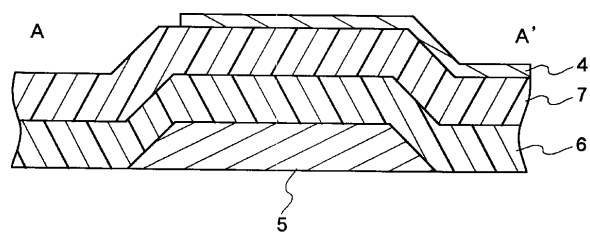
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 米倉 広顕  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72)発明者 宇野 光宏  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 2H092 JA26 JB22 JB57 JB64 JB69  
MA17 NA22 NA24  
5C094 AA02 BA03 BA43 CA19 DA14  
DA15 EA04 EA07 EA10 EB02  
FB12 FB15

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2001272694A</a>	公开(公告)日	2001-10-05
申请号	JP2000084390	申请日	2000-03-24
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	河西正礼 山元英嗣 米倉広顕 宇野光宏		
发明人	河西 正礼 山元 英嗣 米倉 広顕 宇野 光宏		
IPC分类号	G02F1/136 G02F1/1368 G09F9/30		
FI分类号	G09F9/30.338 G02F1/136.500 G02F1/1368		
F-TERM分类号	2H092/JA26 2H092/JB22 2H092/JB57 2H092/JB64 2H092/JB69 2H092/MA17 2H092/NA22 2H092/NA24 5C094/AA02 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA14 5C094/DA15 5C094/EA04 5C094/EA07 5C094/EA10 5C094/EB02 5C094/FB12 5C094/FB15 2H192/AA24 2H192/BC31 2H192/CC26 2H192/DA02 2H192/DA62 2H192/EA66		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供了一种有源矩阵液晶显示装置，其中，减小了像素电极侧上的存储电容器电极的局部尺寸偏移并且将显示质量的劣化最小化。提供了以矩阵状排列的多个扫描线信号配线和视频信号配线，与多个扫描线信号配线和视频信号配线的交叉点对应的至少一个开关元件以及开关元件。包括连接至像素电极的像素电极以及由像素电极和用于保持像素电势的扫描线信号布线构成的存储电容器，并且形成存储电容器的像素电极的一部分在扫描线信号布线的宽度方向上。这样就完全覆盖了。

