

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001 - 235725

(P2001 - 235725A)

(43)公開日 平成13年8月31日(2001.8.31)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト* (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133	550
1/1368		G 0 9 G 3/20	670 Q
G 0 9 G 3/20	670	3/36	5 C 0 0 6
3/36		G 0 2 F 1/136	500
H 0 1 L 29/786		H 0 1 L 29/78	624
			5 F 1 1 0
		審査請求 未請求	請求項の数 10 L (全 7 数)

(21)出願番号 特願2000 - 47243(P2000 - 47243)

(22)出願日 平成12年2月24日(2000.2.24)

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72)発明者 今野 秀一

神奈川県横浜市神奈川区守屋町3丁目12番地

日本ビクター株式会社内

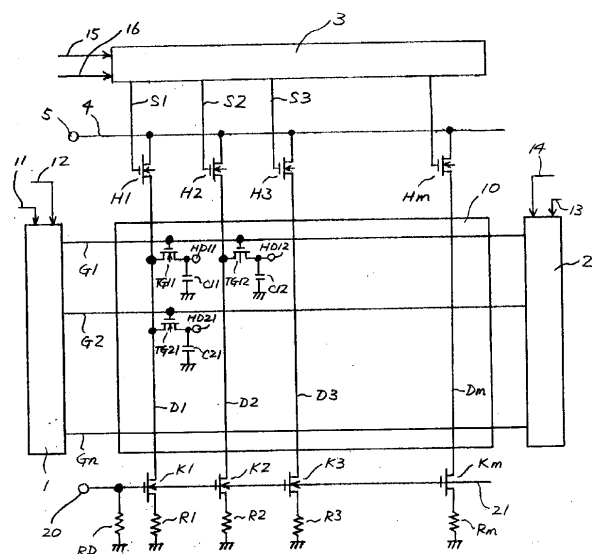
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 少ないパッド数で画素の欠陥を検査できる検査用トランジスタを含む液晶表示装置を提供する。

【解決手段】 基板と、この基板上に形成された画素トランジスタと映像信号を蓄積する容量とを有するマトリクス状に配置された複数の画素からなる画素部と、前記画素トランジスタに接続された複数の走査線と、前記画素トランジスタに接続された複数のデータ線と、ビデオ入力端子よりビデオ信号を供給するビデオ線と、前記データ線にそれぞれ接続されたスイッチ用トランジスタとを有する液晶表示装置において、前記基板の前記画素部の外側に形成された前記データ線にそれぞれ接続する検査用トランジスタと、この検査用トランジスタに接続される負荷抵抗および検査用端子を有する前記検査用トランジスタをオンオフする共通トリガー線とを有する。



【特許請求の範囲】

【請求項 1】 基板と、この基板上に形成された画素トランジスタとこの画素トランジスタのソースに接続された映像信号を蓄積する容量とを有するマトリクス状に配置された複数の画素からなる画素部と、前記画素トランジスタのゲートに接続された前記基板上に配置された複数の走査線と、前記画素トランジスタのドレインに接続された前記基板上に形成された複数のデータ線と、ビデオ入力端子よりビデオ信号を供給するビデオ線と、前記データ線にそれぞれ接続されたスイッチ用トランジスタとを有し、前記スイッチ用トランジスタのソースは前記データ線の一端に接続され、前記スイッチ用トランジスタのドレインは前記ビデオ線に接続され、かつ前記スイッチ用トランジスタのゲートには所定のスイッチ信号が供給される液晶表示装置において、前記基板の前記画素部の外側に形成された前記データ線にそれぞれ接続する検査用トランジスタと、この検査用トランジスタに接続される負荷抵抗および検査用端子を有するトリガー線とを有し、前記検査用トランジスタのドレインは対応する前記データ線他端に接続され、前記検査用トランジスタのソースは前記負荷抵抗を介して接地されており、前記検査用トランジスタのゲートはトリガー線に共通に接続されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に係わり、特にアクティブマトリクス基板に検査用トランジスタを搭載した液晶表示装置に関するものである。

【0002】

【従来の技術】 従来、アクティブマトリクス基板を有する液晶表示装置においては、アクティブマトリクス基板上に多数マトリクス状に画素が形成されている。画素には、画素に供給された信号電圧をスイッチするトランジスタと、その信号電圧を保持する容量とが形成されている。この画素のトランジスタまたは容量の欠陥検査用として、種々の方法が提案されているが、例えば、特公平 5-40319 号公報には、アクティブマトリクス基板上に検査用のトランジスタを設ける方法が、開示されている。

【0003】 以下、添付図面を参照して、従来例の液晶表示装置を説明する。図 5 は、従来例の液晶表示装置におけるアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。画素部 10 には、例えば縦に n 個、横に m 個の画素がマトリクス状に配置されており、例えば第 1 行第 1 列にある画素はスイッチ用 MOS トランジスタ $TG11$ (以下、単に $TG11$ と申す) と容量 $C11$ (以下、単に $C11$ と申す) を有しており、 $TG11$ のソースと容量 $C11$ の一端は液晶駆動電極 $HD11$ に接続されており、容量 $C11$ の他端は接地されている。以下同様に他の画素も構成されてい

る。

【0004】 第 1 列に配置されている画素の MOS トランジスタのドレインは、各々、データ線 $D1$ (以下単に、 $D1$ と申す) に接続されており、 $D1$ の一端はスイッチ用トランジスタ $H1$ (以下、単に $H1$ と申す) のソースに接続され、他端はスイッチ用 (検査用) トランジスタ $K1$ (以下、単に $K1$ と申す) のドレインに接続されている。以下、他の列の画素についても同様であり、第 m 列の画素は、データ線 Dm に接続され、 Dm には Hm 、 Km が接続されている。第 1 行に配置されている画素の MOS トランジスタのゲートは、各々、走査線 $G1$ (以下、単に $G1$ と申す) に接続されている。以下、他の行の画素についても同様であり、第 n 行の画素は走査線 Gn に接続されている。

【0005】 各 $G1$ 、 $G2$ 、...、 Gn は左端を垂直シフトレジスタ 1 に、右端を垂直シフトレジスタ 2 に接続されている。垂直シフトレジスタ 1 には、接続された垂直クロック線 11 を通して垂直クロックが、垂直スタートパルス線 12 を通して垂直スタートパルスが供給される。水平シフトレジスタ 3 1 には、接続された水平スタートパルス線 15 を通して水平スタートパルスが、水平クロック線 16 を通して水平クロックが供給され、各列のスイッチ用トランジスタ $H1$ 、 $H2$ 、...、 Hm の各ゲートに接続されたスイッチ線 $S11$ 、 $S21$ 、...、(以下、単に $S11$ 、 $S21$ 、...、と申す) にスイッチ信号を供給する。

【0006】 各スイッチ用トランジスタ $H1$ 、 $H2$ 、...、 Hm の各ドレインはビデオ線 4 に接続され、ビデオ端子 5 よりビデオ信号が供給される。検査用として、スイッチ用 (検査用) トランジスタ $K1$ 、 $K2$ 、 $K3$ 、...、 Km があり、奇数番号の $K1$ 、 $K3$ 、... は、その各ソースは出力端子 $SO1$ に接続する検査出力線 6 に接続され、その各ゲートはテスト端子 $T1$ に接続するテスト線 8 に接続されている。偶数番号の $K2$ 、 $K4$ 、...、 Km は、その各ソースは出力端子 $SO2$ に接続する検査出力線 7 に接続され、その各ゲートはテスト端子 $T2$ に接続するテスト線 9 に接続されている。テスト線 8、9 には、それぞれ負荷抵抗 $RP1$ 、 $RP2$ が接続されている。

【0007】 この液晶表示装置の表示動作の概略は、以下のとおりである。表示動作時には、 $K1$ 、...、 Km はオフ状態である。ビデオ入力端子 5 よりビデオ線に出力されたビデオ信号は、水平シフトレジスタ 3 1 より順次スイッチ線に信号が供給されて、 $H1$ 、 $H2$ 、... が順次オンし、 $D1$ 、 $D2$ 、... が順次駆動される (水平走査)。垂直シフトレジスタ 1 より順次 $G1$ 、 $G2$ 、... に信号が供給され、各行の画素の $TG11$ 、... を順次オンにする (垂直走査)。

【0008】 入力されたビデオ信号は、水平走査と垂直走査により、各画素の各 $TG11$ 、... がオン/オフさ

れ、ビデオ信号が対応する各容量 C11、...、に電荷として、充/放電され、この電荷を保持することにより、図示しない各画素の液晶を駆動している。

【0009】このようなアクティブマトリクス of the LSI においては、基本的にビデオ入力はあるが、電気的な出力はないので、LSI の良否の判定を行うため、検査用の検査用トランジスタを各列に対して設け、ビデオ入力端子 5 より一定電圧の信号を入力して、データ線 D1、...、が順次駆動されるのに合わせて、検査用トランジスタ K1、...、を順次オンし、その出力を出力端子で SO1、SO2 でモニタすることにより断線等の故障を検出していた。

【0010】なお、図 5 に示す例では、奇数と偶数のデータ線を別々にモニタしているが、これは、水平シフトレジスタ 31 からのスイッチ線 S11、...、に出力されるスイッチ信号が時間的に一部重複する形態になっているためであり、スイッチ信号が時間的に重複しない形態の場合は、奇数と偶数の区別は不要である。このときは、K1、K2、...、Km のゲートはテスト線 8 にすべて接続され、K1、K2、...、Km のソースは検査出力線 6 にすべて接続される。

【0011】

【発明が解決しようとする課題】ところで、液晶表示装置の高画質化のために、多画素化、およびそれに対応する高速化が求められている。図 6 は、従来例の液晶表示装置において複数のビデオ入力がある場合のアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。図 6 においては、図 5 のビデオ線 4 の代わりに 3 本のビデオ線 41、42、43 が、水平シフトレジスタ 31 の代わりに時間的に重ならない隣接するスイッチ信号を出力する水平シフトレジスタ 3 が、用いられている。

【0012】図 6 に示されるように、多画素化、高速化に対応するために、複数のビデオ入力端子 51、52、53 を設けそれぞれに接続されたビデオ線 41、42、43、に同時にビデオ信号を出力するようにしている。ビデオ線 41 は、2 つおきのスイッチ用トランジスタ H1、H4、... (以下、単に H1、H4、...ともいう) のドレインに接続され、ビデオ線 42 は、2 つおきの H2、H5、... のドレインに接続され、ビデオ線 43 は、2 つおきの H3、H6、... のドレインに接続されている。

【0013】H1、H2、...、のソースは D1、D2、...、に接続されている。水平シフトレジスタ 3 から出ている各スイッチ線 S1、S2、...、(以下、単に S1、S2、...ともいう) は、それぞれ 3 個のスイッチ用トランジスタのゲートに接続されている。例えば、S1 は、H1、H2、H3 に接続されている。この方式の液晶表示装置では、水平シフトレジスタ 3 のスイッチ速度が同じでも、複数倍の画素数に対応できる。

【0014】この方式に対して、検査用トランジスタを設ける場合次のようになる。各データ線 D1、D2、...、Dm' は各検査用トランジスタ K1、K2、...、Km' のドレインに接続されている。テスト端子 T1 はテスト線 8 に接続され、テスト線 8 は、全検査用トランジスタ K1、K2、...、Km' のゲートに接続されている。例えば 3 本のデータ線 D1、D2、D3 はスイッチ線 S1 からのスイッチ信号で同時に駆動されるので、これらを区別するため、検査用トランジスタ K1、K2、K3 のソースはそれぞれ出力端子 SO1'、SO2'、SO3' を有する検査出力線 61、62、63 に接続されている。以下、他の検査用トランジスタについても同様になっている。

【0015】ここでは、3 本のビデオ線に対応して 3 本の検査出力線が設けられている。検査を行う場合は、ビデオ入力端子 51、52、53 より所定の信号を入力し水平シフトレジスタにより、スイッチ線 S1、S2、...、を通して順次スイッチ信号を出力し、テスト端子 T1 に所定の電圧を与えて、全検査用トランジスタ K1、K2、...、Km' を駆動して、3 個の出力端子 SO1'、SO2'、SO3' の出力をモニターすることにより各データ線の断線の有無を検出できる。

【0016】しかし、一層の高画質化を求めて、ビデオ入力数をさらに 8 本、12 本、24 本などと増加させて行くと、それに応じて検査出力線及び出力端子数を増加させる必要があり、これによりチップサイズの増加、出力端子部となるパッド数の増加が必要となり、さらに、このアクティブマトリクス基板 (LSI) に液晶組み込み後の検査において、LSI のパッドを介して外部に信号を取り出す必要があるが、パッド数の増加はボンディングや FPC 接着等での信頼性の低下を招くという課題の解決を求められていた。また、検査する信号数が多くなると、LSI テスタ等のチャンネル数も増加し、検査プログラムも複雑になるという課題の解決を求められていた。さらに、欠陥として、断線とショートも同時に検出検査できることが求められていた。

【0017】そこで本発明は、上記課題を解決し、液晶表示装置において、少ないパッド数で画素の欠陥を検査できる検査用トランジスタを含む液晶表示装置を提供することを目的とする。

【0018】

【課題を解決するための手段】上記目的を達成するための手段として、本発明の液晶表示装置は、基板と、この基板上に形成された画素トランジスタとこの画素トランジスタのソースに接続された映像信号を蓄積する容量とを有するマトリクス状に配置された複数の画素からなる画素部と、前記画素トランジスタのゲートに接続された前記基板上に配置された複数の走査線と、前記画素トランジスタのドレインに接続された前記基板上に形成された複数のデータ線と、ビデオ入力端子よりビデオ信号を

供給するビデオ線と、前記データ線にそれぞれ接続されたスイッチ用トランジスタとを有し、前記スイッチ用トランジスタのソースは前記データ線の一端に接続され、前記スイッチ用トランジスタのドレインは前記ビデオ線に接続され、かつ前記スイッチ用トランジスタのゲートには所定のスイッチ信号が供給される液晶表示装置において、前記基板の前記画素部の外側に形成された前記データ線にそれぞれ接続する検査用トランジスタと、この検査用トランジスタに接続される負荷抵抗および検査用端子を有するトリガー線とを有し、前記検査用トランジスタのドレインは対応する前記データ線の他端に接続され、前記検査用トランジスタのソースは前記負荷抵抗を介して接地されており、前記検査用トランジスタのゲートはトリガー線に共通に接続されていることを特徴とする液晶表示装置を提供しようとするものである。

【0019】

【発明の実施の形態】以下、本発明の実施の態様について、添付図面を参照して詳細に説明する。なお、従来例と同一の構成については、同一の参照符号をつけて、その説明を省略する。

【0020】図1は、本発明による液晶表示装置の実施例を示すアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。本実施例においては、各データ線D1、D2、...、Dmに対応する検査用トランジスタK1、K2、...、Kmの各ソースは、片側接地された負荷抵抗R1、R2、...、Rmにそれぞれ接続されている。検査用トランジスタK1、K2、...、Kmの各ゲートは、検査用端子20を有するトリガー線21に接続されており、トリガー線21は負荷抵抗RDを介して接地されている。

【0021】次に、ビデオ信号を各画素に書きこむ動作について説明する。図2は、本発明による液晶表示装置の実施例におけるアクティブマトリクス基板上の各ノードの信号波形を示すタイミングチャートグラフである。横軸は時間を示す。縦軸は信号レベルを示す。水平（単に、Hともいう）スタートパルス線15よりスタートパルスが水平シフトレジスタ3に入力されて、水平の走査が開始される。水平（単に、Hともいう）クロックは周期Tを有し、図2(a)に示される。

【0022】まず水平シフトレジスタ3よりスイッチ線S1を介してスイッチ信号（図2(b)）がトランジスタH1のゲートに供給されH1がオンする。このとき、垂直シフトレジスタの走査線G1は、ハイになっている。図2(e)に示されるビデオ信号はH1がオフの時には電圧V1を示し、これが容量C11に蓄積される。図2(f)には、容量C11の電圧変化を示す。

【0023】続いて、スイッチ線S2を介してスイッチ信号（図2(c)）がH2のゲートに供給されH2がオンする。図2(e)に示されるビデオ信号はH2がオフの時には電圧V2を示し、これが容量C12に蓄積され

る。図2(g)には、容量C12の電圧変化を示す。同様に、図2(d)にはスイッチ線S3のスイッチ信号が示され、図2(h)には、容量C13の電圧変化が示される。

【0024】このように第1行の画素の容量が充電され、G1をローにし、次に走査線G2をハイにして第2行目の画素の容量を充電して行く。なお、以上の動作のときは、検査用トランジスタK1、K2、...、Kmはオフである。このように、アクティブマトリクス型LSIを用いる液晶表示装置においては、その表示動作は、各画素の容量C11、...、に対する充放電動作が基本となる。

【0025】次に、本実施例における、故障検出の方法を説明する。上述のように、H1、H2、...、のオン/オフに合わせて、充/放電電流は流れるが、DC電流は流れない。すなわち、ビデオ入力端子5に定電圧を印加すると、H1、H2、...、がオンした瞬間には充放電電流が流れるが安定すると電流は流れない。一方、欠陥があつてデータ線D1、...、などが他の信号ラインとショートしていたりすると、H1、H2、...、がオンの間、常時電流が流れたり、あるいは通常よりも大きな充/放電電流が流れることになる。このようにショートの故障は、ビデオ信号の電流を検出すれば比較的容易に検出できる。

【0026】他方、データ線D1、...等の断線による故障の場合、異常電流（DC電流）が流れないので、単に、ビデオ入力端子の電流をモニタしただけでは検出困難である。K1、R1、等を用いて、断線時には電流が流れないことを積極的に検出してやる必要がある。本実施例では、検査時には、ビデオ入力端子5に、電圧V0で駆動される定電流源I1（定電流I1を出力する）を接続する。以下、データ線D1を例に説明する。検査用端子20よりトリガー線21をハイにし、K1をオンにする。H1もオンにする。

【0027】データ線D1が正常なときは、ビデオ入力端子5に接続された定電流源I1より、H1、K1、負荷抵抗R1を通して電流I1が流れる。ここで、簡単化のため、H1、K1のオン時の抵抗を0オームとすると、ビデオ入力端子5の電圧Vx1は $Vx1 = I1 \times R1$ となり、I1、R1に依存するがV0とは異なる値である。データ線D1に断線があつた場合には、負荷抵抗R1には電流が流れないから、ビデオ入力端子の電圧は、V0のままであり、検出できる。

【0028】データ線D1が他の例えばアルミ配線などとショートしている場合には、定電流源からの電流I1の一部がそちらに流れ込むか、または流れ込んで、負荷抵抗R1に流れる電流はいずれにしてもI1とは異なる値となり、V0、Vx1のいずれとも異なるVx2となり、検出できる。以上、データ線D1について説明したが、全データラインに対しては、水平シフトレジ

タ 3 により順次 H 1 , H 2 , ...、を切り替えて、それぞれのタイミングでビデオ端子 5 の電圧をモニターすることで検査ができる。

【0029】図 3 は、本発明による液晶表示装置の実施例におけるアクティブマトリクス基板上にある画素の故障検出時の各ノードにおける信号波形を示すタイミングチャートである。横軸は時間を示す。縦軸は信号レベルを示す。但し図 3 (g) は状態を示す。図 3 に、上述の故障検査の例を示す。図 3 (a) は周期 T の水平シフトレジスタのクロックを示す。図 3 (b)、(c)、

(d)、(e) は、それぞれ、スイッチ線 S 1 , S 2 , S 3 , S 4 からのスイッチ信号である。図 3 (f) は検出されたビデオ入力端子 5 の電圧変化を示し、V 0 は断線があることを、V x 1 は正常であることを、V x 2 はショートがあることをそれぞれ示している (図 3 (g)) には、検出されたデータ線の状態を示してある。

【0030】本発明の構成を、ビデオ入力が複数になった場合について、以下に示す。図 4 は、本発明による液晶表示装置の実施例において複数のビデオ入力がある場合のアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。

【0031】ビデオ入力が 3 本ある場合であり、ビデオ入力端子 5 1 , 5 2 , 5 3 にそれぞれビデオ線 4 1 , 4 2 , 4 3 が接続されている。各スイッチ線 S 1 , S 2 , ...、は、3 個のスイッチ用トランジスタのゲートに接続され、このトランジスタのソースに接続されるデータ線を 3 本同時に駆動する。3 個のトランジスタ毎にそれらのドレインは、ビデオ線 4 1 , 4 2 , 4 3 に接続されている。データ線 D 1 , D 2 , ...、の他端はそれぞれ検査用トランジスタ K 1 , K 2 , ...、のドレインに接続されており、これらの検査用トランジスタ K 1 , K 2 , ...、のソースはそれぞれ負荷抵抗 R 1 , R 2 , ...、を介して接地されており、各ゲートは、テスト端子 2 0 に接続するトリガー線 2 1 に接続されている。

【0032】検査時には、各ビデオ入力端子 5 1 , 5 2 , 5 3 にそれぞれ定電流源を接続して、それぞれの端子電圧をモニターすれば良い。このように、ビデオ入力が複数増加しても、新たな検査回路や検査用の端子の増設が不要であり、多画素化、高速化に対応できる。以上、検査用の検査用トランジスタ K 1 , K 2 、...に負荷抵抗 R 1 , R 2 , ...を接続した場合を説明したが、これら負荷抵抗の代わりにダイオードやトランジスタ等を用いても良く、さらに複数個のダイオードの直列接続や MOS ダイオード等も用いることができる。また、ここでは NMOS の例で説明しているが、PMOS あるいは CMOS であっても同様の効果が得られる。

【0033】

【発明の効果】以上説明したように、本発明の液晶表示装置は、基板と、この基板上に形成された画素トランジスタとこの画素トランジスタのソースに接続された映像*

*信号を蓄積する容量とを有するマトリクス状に配置された複数の画素からなる画素部と、前記画素トランジスタのゲートに接続された前記基板上に配置された複数の走査線と、前記画素トランジスタのドレインに接続された前記基板上に形成された複数のデータ線と、ビデオ入力端子よりビデオ信号を供給するビデオ線と、前記データ線にそれぞれ接続されたスイッチ用トランジスタとを有し、前記スイッチ用トランジスタのソースは前記データ線の一端に接続され、前記スイッチ用トランジスタのドレインは前記ビデオ線に接続され、かつ前記スイッチ用トランジスタのゲートには所定のスイッチ信号が供給される液晶表示装置において、前記基板の前記画素部の外側に形成された前記データ線にそれぞれ接続する検査用トランジスタと、この検査用トランジスタに接続される負荷抵抗および検査用端子を有するトリガー線とを有し、前記検査用トランジスタのドレインは対応する前記データ線の他端に接続され、前記検査用トランジスタのソースは前記負荷抵抗を介して接地されていることにより、少ないパッド数で画素の欠陥を検査できる検査用トランジスタを含む液晶表示装置を提供することができるという効果がある。

【図面の簡単な説明】

【図 1】本発明による液晶表示装置の実施例を示すアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。

【図 2】本発明による液晶表示装置の実施例におけるアクティブマトリクス基板上の各ノードの信号波形を示すタイミングチャートグラフである。

【図 3】本発明による液晶表示装置の実施例におけるアクティブマトリクス基板上にある画素の故障検出時の各ノードにおける信号波形を示すタイミングチャートである。

【図 4】本発明による液晶表示装置の実施例において複数のビデオ入力がある場合のアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。

【図 5】従来例の液晶表示装置におけるアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。

【図 6】従来例の液晶表示装置において複数のビデオ入力がある場合のアクティブマトリクス基板上の画素駆動部と画素部の概略構成ブロック図である。

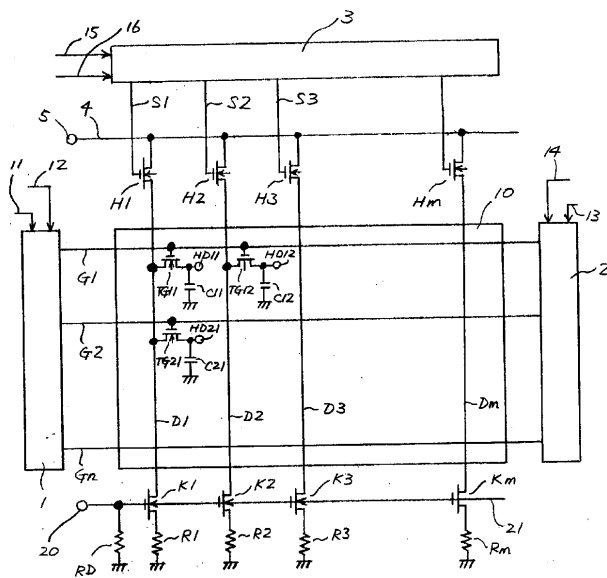
【符号の説明】

1 ... 垂直シフトレジスタ、2 ... 垂直シフトレジスタ、3 ... 水平シフトレジスタ、4 ... ビデオ線、5 ... ビデオ入力端子、6 ... 検査出力線、7 ... 検査出力線、8 ... テスト線、9 ... テスト線、10 ... 画素部、11 ... V クロック線、12 ... V スタートパルス線、13 ... V クロック線、14 ... V スタートパルス線、15 ... H スタートパルス線、16 ... H クロック線、20 ... 検査用端子、21 ... トリガー線、41 ... ビデオ線、42 ... ビデオ線、43 ... ビ

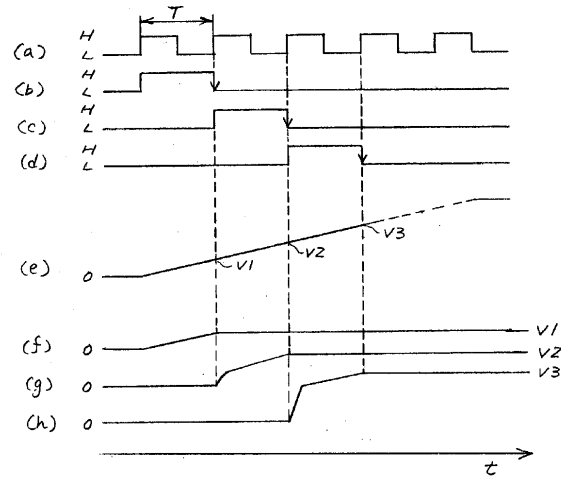
デオ線、5 1...入力端子、5 2...入力端子、5 3...入力端子、6 1...検査出力線、6 2...検査出力線、6 3...検*

*査出力線、7 1...検査出力線、7 2...検査出力線、7 3...検査出力線。

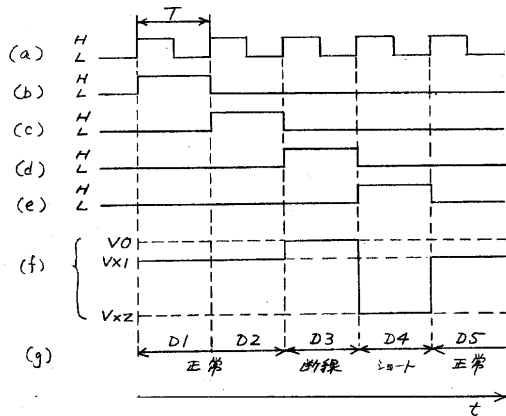
【図1】



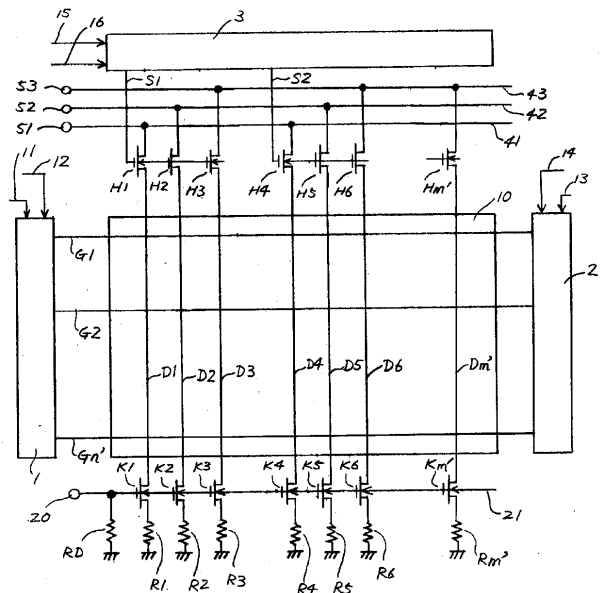
【図2】



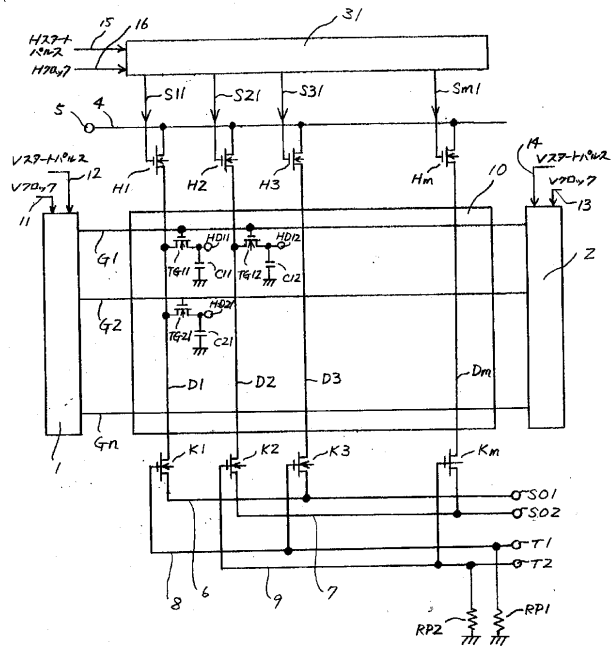
【図3】



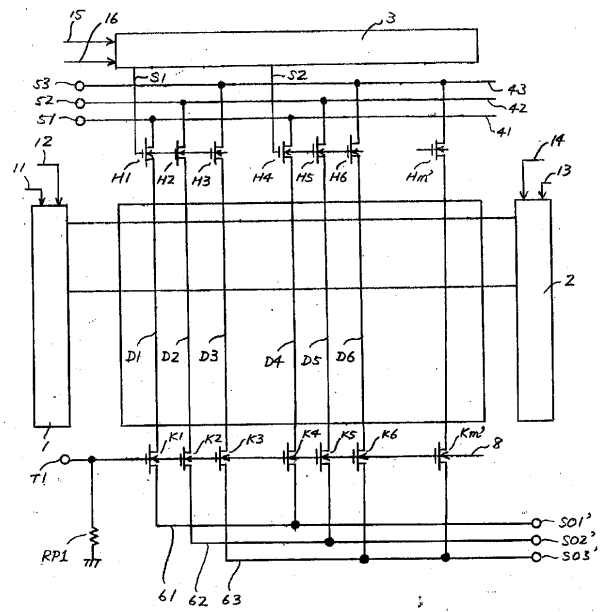
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 2H092 JA24 JB77 MA58 NA25 NA29
 NA30 PA06
 2H093 NA16 NA42 NA80 NC22 NC23
 NC26 NC34 NC59 ND05 ND09
 ND56 NE10
 5C006 BB16 EB01 EB05 FA42
 5C080 AA10 BB05 DD15 DD23 DD25
 FF11 JJ02 JJ03 JJ04
 5F110 AA24 BB02

专利名称(译)	液晶表示装置		
公开(公告)号	JP2001235725A	公开(公告)日	2001-08-31
申请号	JP2000047243	申请日	2000-02-24
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	今野秀一		
发明人	今野 秀一		
IPC分类号	G02F1/136 G02F1/133 G02F1/1368 G09G3/20 G09G3/36 H01L29/786		
FI分类号	G02F1/133.550 G09G3/20.670.Q G09G3/36 G02F1/136.500 H01L29/78.624 G02F1/1368		
F-TERM分类号	2H092/JA24 2H092/JB77 2H092/MA58 2H092/NA25 2H092/NA29 2H092/NA30 2H092/PA06 2H093/NA16 2H093/NA42 2H093/NA80 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC34 2H093/NC59 2H093/ND05 2H093/ND09 2H093/ND56 2H093/NE10 5C006/BB16 5C006/EB01 5C006/EB05 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD15 5C080/DD23 5C080/DD25 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5F110/AA24 5F110/BB02 2H192/AA24 2H192/DA01 2H192/FA44 2H192/HB04 2H192/HB13 2H192/HB14 2H192/HB23 2H193/ZA04 2H193/ZC22 2H193/ZD32 2H193/ZD34 2H193/ZE31 2H193/ZF24 2H193/ZK01 2H193/ZK03 2H193/ZK14 2H193/ZP20		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，该液晶显示装置包括能够用少量的焊盘检查像素缺陷的检查晶体管。 解决方案：基板，由以矩阵形式排列的多个像素组成的像素部分，该像素部分具有形成在基板上的像素晶体管和用于存储视频信号的电容，以及多个与像素晶体管相连的像素部分。 一种液晶显示装置，包括扫描线，连接至像素晶体管的多条数据线，用于从视频输入端子提供视频信号的视频线以及连接至每条数据线的开关晶体管，连接到形成在基板的像素部分外部的每条数据线的检查晶体管，以及用于导通/截止具有负载电阻的检查晶体管的公共触发线，以及连接到检查晶体管的检查端子。 有。

