

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2001 - 209070

(P2001 - 209070A)

(43)公開日 平成13年8月3日(2001.8.3)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード* (参考)
G 0 2 F 1/1368		G 0 9 F 9/30 338	2 H 0 9 2
G 0 9 F 9/30	338	G 0 2 F 1/136 500	5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78 616 T	5 F 1 1 0

審査請求 未請求 請求項の数 4 O L (全 9 数)

(21)出願番号 特願2000 - 18805(P2000 - 18805)

(22)出願日 平成12年1月27日(2000.1.27)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 神谷 建史

東京都八王子市石川町2951番地の5 カシオ

計算機株式会社八王子研究所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外 5 名)

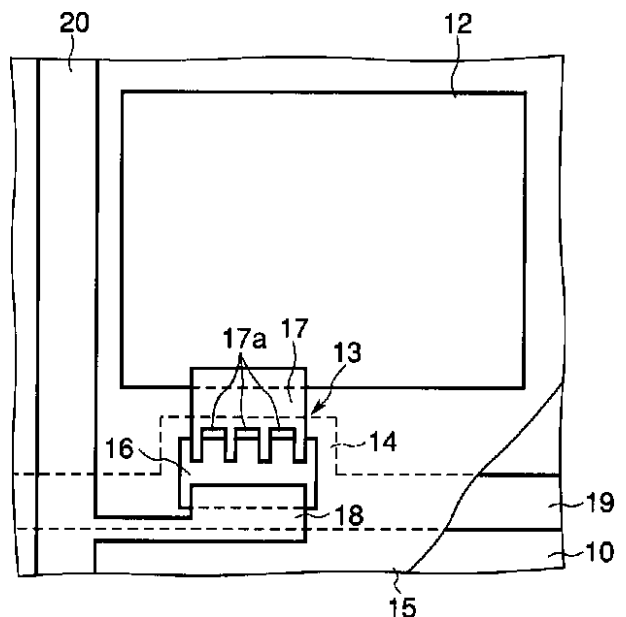
最終頁に続く

(54)【発明の名称】 液晶表示素子

(57)【要約】

【課題】 T F T のゲート・ソース電極間容量を大きくすることなく、そのチャンネル幅を実質的に大きくして、前記 T F T に大きな電流を流せるようにし、駆動デューティを高くして高画素密度化をはかるとともに、ゲート配線の配線幅を広くする必要を無くして開口率を十分高くし、さらに、前記ゲート・ソース電極間容量の影響による画素領域の書込み状態の変動を少なくして良好な表示を行なうことができるアクティブマトリックス液晶表示素子を提供する。

【解決手段】 T F T 1 3 を、そのソース電極 1 7 とドレイン電極 1 7 のうち、少なくとも前記ソース電極 1 7 が、前記 T F T 1 3 のチャンネル領域側の端縁に、その端縁から電極内方向に凹入する切欠部 1 7 a が設けられた形状に形成された構成とした。



【特許請求の範囲】

【請求項 1】対向配置された一対の基板のうち、一方の基板の内面に、行方向および列方向にマトリクス状に配列する複数の画素電極と、これらの画素電極にそれぞれ対応させて配置され、対応する前記画素電極にソース電極が接続された複数の薄膜トランジスタと、各行の薄膜トランジスタのゲート電極にそれぞれゲート信号を供給する複数のゲート配線と、各列の薄膜トランジスタのドレイン電極にそれぞれデータ信号を供給する複数のデータ配線とが設けられ、他方の基板の内面に、前記複数の画素電極に対向する対向電極が設けられ、前記一対の基板間に液晶が封入されたアクティブマトリクス方式の液晶表示素子において、前記薄膜トランジスタのソース電極とドレイン電極とのうち、少なくとも前記ソース電極が、前記薄膜トランジスタのチャンネル領域側の端縁に、その端縁から電極内方向に凹入する少なくとも 1 つの切欠部が設けられた形状に形成されていることを特徴とする液晶表示素子。

【請求項 2】薄膜トランジスタのソース電極とドレイン電極とのうち、少なくとも前記ソース電極が、前記薄膜トランジスタのチャンネル領域側の端縁に、その端縁から電極内方向に凹入する複数の切欠部が所定の間隔で設けられた形状に形成されていることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 3】薄膜トランジスタのドレイン電極が、前記薄膜トランジスタのチャンネル領域側の端縁に、その端縁から電極内方向に凹入する少なくとも 1 つの切欠部が設けられた形状に形成されており、このドレイン電極の前記切欠部が、前記ソース電極のチャンネル領域側の端縁に設けられた少なくとも 1 つの切欠部に向き合っていることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 4】一対の基板間に、強誘電性液晶または反強誘電性液晶が封入されていることを特徴とする請求項 1 ～ 3 のいずれかに記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、スイッチング素子に薄膜トランジスタ（以下、TFT と記す）を用いたアクティブマトリクス方式の液晶表示素子に関するものである。

【0002】

【従来の技術】アクティブマトリクス方式の液晶表示素子としては、能動素子に TFT を用いたものが広く利用されている。

【0003】このアクティブマトリクス液晶表示素子は、対向配置された一対の基板のうち、一方の基板（以下、TFT 基板という）の内面に、マトリクス状に配列する複数の画素電極と、複数の TFT と、複数のゲート配線およびデータ配線とが設けられ、他方の基板（以下、対向基板という）の内面に、前記複数の画素電極に

対向する対向電極が設けられ、前記一対の基板間に液晶が封入された構成となっている。

【0004】図 5 は従来のアクティブマトリクス液晶表示素子の TFT 基板の一部分の平面図であり、この TFT 基板 1 の内面に、行方向および列方向にマトリクス状に配列する複数の透明な画素電極 2 と、これらの画素電極 2 にそれぞれ対応させて配置され、対応する画素電極 2 にソース電極 7 が接続された複数の TFT 3 と、各行の TFT 3 のゲート電極 4 にそれぞれゲート信号を供給する複数のゲート配線 9 と、各列の TFT 3 のドレイン電極 8 にそれぞれデータ信号を供給する複数のデータ配線 10 とが設けられている。

【0005】前記 TFT 3 は、基板 1 上に形成されたゲート電極 4 と、このゲート電極 4 を覆うゲート絶縁膜 5 と、前記ゲート絶縁膜 5 の上に前記ゲート電極 4 と対向させて設けられた i 型半導体膜 6 と、この i 型半導体膜 6 の両側部の上に設けられたソース電極 7 およびドレイン電極 8 とからなっており、前記ソース電極 7 とドレイン電極 8 はそれぞれ、前記 i 型半導体膜 6 の上に形成されたソース領域およびドレイン領域を形成するための n 型半導体膜と、この n 型半導体膜の上に形成された導電性金属膜とからなっている。

【0006】この TFT 3 の i 型半導体膜 6 および前記ソース電極 7 とドレイン電極 8 の下層膜である n 型半導体膜には、アモルファスシリコンまたはポリシリコンが用いられており、このアモルファスシリコンまたはポリシリコンは、単結晶シリコンに比べて電子の移動度が低い、ガラス等からなる基板 1 上に比較的簡単に形成できるため、液晶表示素子のスイッチング用 TFT に適している。

【0007】また、前記ゲート配線 9 は、基板 1 上に前記 TFT 3 のゲート電極 4 と一体に形成されており、前記データ配線 10 は前記ゲート絶縁膜 5 の上に形成されて前記 TFT 3 のドレイン電極 8 につながっている。

【0008】そして、前記画素電極 2 は、前記ゲート絶縁膜 5 の上に形成されており、この画素電極 2 の側縁部に、その画素電極 2 に対応する TFT 3 のソース電極 8 が接続されている。

【0009】このアクティブマトリクス液晶表示素子は、前記複数のゲート配線 9 に、TFT 3 をオンさせる電位になる期間を順次ずらした波形のゲート信号を供給し、前記複数のデータ配線 10 に、前記複数のゲート配線 9 の選択期間ごとに画像データに応じて電位が変化する波形のデータ信号を供給することにより表示駆動されるものであり、各ゲート配線 9 の選択期間ごとに、そのゲート配線 9 が対応する行の画素電極 2 に前記データ配線 10 から TFT 3 を介してデータ信号が印加され、そのデータ信号の電位に応じた書込み電荷が、前記画素電極 3 と図示しない対向基板に設けられた対向電極とその間の液晶層とからなる画素容量にチャージされて、前記

複数の画素電極 2 と対向電極とが対向する複数の画素領域への書込みが行なわれる。

【0010】

【発明が解決しようとする課題】ところで、アクティブマトリックス液晶表示素子は、ますます高画素密度化される傾向にあり、そのために、より高いデューティで時分割駆動することが要求されている。

【0011】一方、前記アクティブマトリックス液晶表示素子は、そのスイッチング用 TFT 3 の i 型半導体膜 6 およびソース電極 7 とドレイン電極 8 の下層膜である n 型半導体膜が、単結晶シリコンに比べて電子の移動度が低いアモルファスシリコンまたはポリシリコンからなっているため、限られた選択期間 (TFT 3 のオン期間) 内に前記データ配線 10 から供給されるデータ信号の電位に応じた書込み電荷を画素容量に十分にチャージするには、前記 TFT 3 のチャンネル長 (ソース電極 7 とドレイン電極 8 の互いに向き合う端縁間の距離) L をできるだけ小さくし、チャンネル幅 (ソース電極 7 およびドレイン電極 8 の幅) W をできるだけ大きくして、TFT 3 に大きな電流を流せるようにする必要がある。

【0012】しかし、選択期間に画素容量にチャージされた書込み電荷を、次の選択期間まで保持するためには、前記 TFT 3 のソース電極 7 とドレイン電極 8 とを、その間に漏れ電流が生じないように十分離間させる必要があり、したがって、チャンネル長 L を小さくするのは限界がある。

【0013】また、前記 TFT 3 のソース電極 7 とドレイン電極 8 の幅を大きくし、そのチャンネル幅 W を大きくして TFT 3 に大きな電流を流せるようにした場合、チャンネル幅 W が大きい TFT 3 は、ゲート電極 4 とソース電極 7 との間の浮遊容量 (以下、ゲート・ソース電極間容量という) と、ゲート電極 4 とドレイン電極 8 との間の浮遊容量 (以下、ゲート・ドレイン電極間容量という) が大きいので、このゲート・ソース電極間容量およびゲート・ドレイン電極間容量の影響、特にゲート・ソース電極間容量の影響により、ゲート配線 9 からゲート電極 4 に供給されるゲート信号の波形に鈍りが生じ、TFT 3 を動作性良くオン/オフさせることができなくなって、前記画素領域への書込み特性が悪くなる。

【0014】このゲート信号の波形の鈍りは、前記ゲート配線 9 の電気抵抗を低くすることによりある程度補償することができるが、ゲート配線 9 を低抵抗にするには、その配線幅を広くしなければならないため、液晶表示素子の開口率が低くなってしまふ。

【0015】しかも、前記 TFT 3 のゲート・ソース電極間容量は、画素電極 3 と図示しない対向基板に設けられた対向電極とその間の液晶層とからなる画素容量にチャージされる書込み電荷にも影響を及ぼすため、前記ゲート・ソース電極間容量が大きいと、前記画素領域の書込み状態が変動してしまう。

【0016】このような理由から、従来は、TFT 3 のチャンネル幅 W を大きくして大きな電流を流せるようにすることは難しいとされており、したがって、アクティブマトリックス液晶表示素子の駆動デューティを高くして高画素密度化をはかることが困難であった。

【0017】この発明は、TFT のゲート・ソース電極間容量を大きくすることなく、そのチャンネル幅を実質的に大きくして、前記 TFT に大きな電流を流せるようにし、駆動デューティを高くして高画素密度化をはかるとともに、ゲート配線の配線幅を広くする必要を無くして開口率を十分高くし、さらに、前記ゲート・ソース電極間容量の影響による画素領域の書込み状態の変動を少なくして良好な表示を行なうことができる、アクティブマトリックス方式の液晶表示素子を提供することを目的としたものである。

【0018】

【課題を解決するための手段】この発明は、対向配置された一対の基板のうち、一方の基板の内面に、行方向および列方向にマトリックス状に配列する複数の画素電極と、これらの画素電極にそれぞれ対応させて配置され、対応する前記画素電極にソース電極が接続された複数の TFT と、各行の TFT のゲート電極にそれぞれゲート信号を供給する複数のゲート配線と、各列の TFT のドレイン電極にそれぞれデータ信号を供給する複数のデータ配線とが設けられ、他方の基板の内面に、前記複数の画素電極に対向する対向電極が設けられ、前記一対の基板間に液晶が封入されたアクティブマトリックス方式の液晶表示素子において、前記 TFT のソース電極とドレイン電極のうち、少なくとも前記ソース電極が、前記 TFT のチャンネル領域側の端縁に、その端縁から電極内方向に凹入する切欠部が設けられた形状に形成されていることを特徴とするものである。

【0019】この発明の液晶表示素子は、前記 TFT を、そのソース電極とドレイン電極のうち、少なくとも前記ソース電極が、前記 TFT のチャンネル領域側の端縁に、その端縁から電極内方向に凹入する切欠部が設けられた形状に形成された構成としているため、前記 TFT をオンさせたときの前記ソース電極とドレイン電極との間の電流経路が、前記ソース電極の前記切欠部が無い部分の端縁と前記ドレイン電極との間だけでなく、前記ソース電極の前記切欠部の側縁と前記ドレイン電極との間にも形成される。

【0020】そのため、この TFT は、実質的に、前記ソース電極の前記切欠部が無い部分の端縁と前記ドレイン電極の端縁とが互いに向き合っている見掛け上のチャンネル幅よりも大きいチャンネル幅をもっている。

【0021】そして、この TFT は、そのソース電極が、前記チャンネル領域側の端縁に前記切欠部が設けられた形状に形成されているため、実質的なチャンネル幅が、ソース電極およびドレイン電極のチャンネル領域側

端縁がそれぞれ前記切欠部の無い直線縁である一般的な TFT のチャンネル幅と同じでも、前記一般的な TFT に比べてソース電極とゲート電極との対向面積が小さく、ゲート・ソース電極間容量が小さい。

【0022】したがって、この液晶表示素子によれば、TFT のゲート・ソース電極間容量を大きくすることなく、そのチャンネル幅を実質的に大きくして、この TFT に大きな電流を流せるようにし、駆動デューティを高くして高画素密度化をはかることができる。

【0023】しかも、前記 TFT は、そのゲート・ドレイン電極間容量が小さいため、このゲート・ソース電極間容量の影響により、前記ゲート配線から前記ゲート電極に供給されるゲート信号の波形に鈍りが生じることが少なく、したがって、ゲート信号の波形の鈍りを補償するためにゲート配線の配線幅を広くしてその電気抵抗を低くする必要はないため、開口率を十分高くすることができる。

【0024】さらに、この液晶表示素子は、前記 TFT のゲート・ソース電極間容量が小さいため、このゲート・ソース電極間容量が、前記画素電極と対向電極とその間の液晶層とからなる画素容量にチャージされる書込み電荷に影響を及ぼすことが少なく、したがって、前記ゲート・ソース電極間容量の影響による画素領域の書込み状態の変動を少なくし、良好な表示を行なうことができる。

【0025】

【発明の実施の形態】この発明の液晶表示素子は、上記のように、TFT を、そのソース電極とドレイン電極のうち、少なくとも前記ソース電極が、前記 TFT のチャンネル領域側の端縁に、その端縁から電極内方向に凹入する切欠部が設けられた形状に形成された構成とすることにより、前記 TFT のゲート・ソース電極間容量を大きくすることなく、そのチャンネル幅を実質的に大きくして、この TFT に大きな電流を流せるようにし、駆動デューティを高くして高画素密度化をはかるとともに、ゲート配線の配線幅を広くする必要を無くして開口率を十分高くし、さらに、前記ゲート・ソース電極間容量の影響による画素領域の書込み状態の変動を少なくして良好な表示を行なうことができるようにしたものである。

【0026】この発明の液晶表示素子において、前記 TFT のソース電極とドレイン電極とのうち、少なくとも前記ソース電極は、前記チャンネル領域側の端縁に、その端縁から電極内方向に凹入する複数の切欠部が所定の間隔で設けられた形状に形成するのが好ましく、このようにすることにより、前記 TFT のゲート・ソース電極間容量をより小さくするとともに、その実質的なチャンネル幅をさらに大きくすることができる。

【0027】また、前記 TFT は、そのドレイン電極も、前記チャンネル領域側の端縁に、その端縁から電極内方向に凹入する少なくとも 1 つの切欠部が設けられた

形状に形成し、このドレイン電極の前記切欠部を、前記ソース電極のチャンネル領域側の端縁に設けられた少なくとも 1 つの切欠部に向き合わせた構成とするのがより好ましく、このようにすることにより、前記 TFT のゲート・ドレイン電極間容量だけでなく、ゲート・ドレイン電極間容量も小さくし、これらの電極間容量の影響による前記ゲート信号の波形の鈍りをさらに少なくすることができる。

【0028】この発明は、TN (ツイステッドネマティック) 型、STN 型 (スーパーツイステッドネマティック) 型、散乱効果型、強誘電性または反強誘電性液晶表示素子などの種々のアクティブマトリックス液晶表示素子に適用できる。

【0029】特に、一对の基板間に強誘電性液晶または反強誘電性液晶が封入された強誘電性または反強誘電性液晶表示素子は、その画素容量が大きいいため、TFT により大きな電流を流せるようにする必要があるが、この発明によれば、前記 TFT のゲート・ソース電極間容量を大きくすることなく、そのチャンネル幅を実質的に大きくして、この TFT に大きな電流を流せるようにすることができるため、駆動デューティを高くして高画素密度化をはかるとともに、ゲート配線の配線幅を広くする必要を無くして開口率を十分高くし、さらに、前記ゲート・ソース電極間容量の影響による画素領域の書込み状態の変動を少なくして良好な表示を行なうことができる。

【0030】

【実施例】図 1 および図 2 はこの発明の第 1 の実施例を示しており、図 1 はアクティブマトリックス液晶表示素子の TFT 基板の一部分の平面図、図 2 は図 1 の TFT 部分の拡大図である。

【0031】この TFT 基板 11 は、ガラス等からなる透明基板であり、その内面、つまり図示しない対向基板との対向面に、行方向および列方向にマトリックス状に配列する複数の透明な画素電極 12 と、これらの画素電極 12 にそれぞれ対応させて配置され、対応する画素電極 12 にソース電極 17 が接続された複数の TFT 13 と、各行の TFT 13 のゲート電極 14 にそれぞれゲート信号を供給する複数のゲート配線 19 と、各列の TFT 13 のドレイン電極 18 にそれぞれデータ信号を供給する複数のデータ配線 20 とが設けられている。

【0032】前記 TFT 13 は、基板 11 上に形成されたゲート電極 14 と、このゲート電極 14 を覆うゲート絶縁膜 15 と、前記ゲート絶縁膜 15 の上に前記ゲート電極 14 と対向させて設けられた i 型半導体膜 16 と、この i 型半導体膜 16 の両側部の上に設けられたソース電極 17 およびドレイン電極 18 とからなっており、前記ソース電極 17 とドレイン電極 18 はそれぞれ、前記 i 型半導体膜 16 の上に形成されたソース領域およびドレイン領域を形成するための n 型半導体膜と、この n 型

半導体膜の上に形成された導電性金属膜とからなっている。

【0033】なお、この TFT 13 の i 型半導体膜 16 および前記ソース電極 17 とドレイン電極 18 の下層膜である n 型半導体膜は、アモルファスシリコンからなっている。

【0034】そして、この液晶表示素子では、前記 TFT 13 のソース電極 17 とドレイン電極 18 とのうち、前記ソース電極 17 を、TFT 13 のチャンネル領域（ソース電極 17 とドレイン電極 18 との間の領域）側 10 の端縁に、その端縁から電極 17 内方向に凹入する少なくとも 1 つの切欠部 17a が設けられた形状に形成している。

【0035】なお、この実施例では、前記ソース電極 1 を、そのチャンネル領域側端縁に複数（図で 3 つ）の切欠部 17a を所定の間隔で設けられた櫛歯形状に形成している。

【0036】この複数の切欠部 17a は、いずれも、その両側縁がそれぞれ前記チャンネル領域側端縁に対してほぼ直交し、内奥縁が前記チャンネル領域側端縁とほぼ 20 平行な矩形状に形成されており、その長さ（チャンネル領域側端縁から内奥縁までの距離）は、前記 i 型半導体膜 16 に対するソース電極 17 の重なり長さよりも若干大きく設定され、また、幅（両側縁間の距離）は約 $2\mu\text{m} \sim 4\mu\text{m}$ に設定されている。

【0037】また、前記ゲート配線 19 は、基板 11 上に前記 TFT 13 のゲート電極 14 と一体に形成されている。なお、前記ゲート絶縁膜 15 は、基板 11 の TFT 配列領域全体にわたって形成された一枚膜状の透明絶縁膜であり、前記ゲート配線 11 は、その端子部を除いて 30 前記ゲート絶縁膜 15 により覆われている。

【0038】一方、前記データ配線 12 は、前記ゲート絶縁膜 15 の上に形成されており、前記 TFT 13 のドレイン電極 18 につながっている。なお、この実施例では、前記データ配線 12 を前記 TFT 13 のドレイン電極 18 と一体に形成しているが、前記 TFT 13 を層間絶縁膜で覆ってその上に前記データ配線 12 を形成し、このデータ配線 12 を、前記層間絶縁膜に設けたコンタクト孔において前記 TFT 13 のドレイン電極 18 に 40 接続してもよい。

【0039】また、前記画素電極 12 は、前記ゲート絶縁膜 15 の上に形成されており、この画素電極 12 の側縁部に、その画素電極 12 に対応する TFT 13 のソース電極 18 が接続されている。なお、図では省略しているが、この TFT 基板 11 の内面には、前記複数の画素電極 12 を覆って配向膜が設けられている。

【0040】そして、液晶表示素子は、前記 TFT 基板 11 と、内面（TFT 基板 11 との対向面に前記複数の画素電極 12 に対向する一枚膜状の透明な対向電極が設けられるとともにその上に配向膜が形成された図示しな 50

い対向基板（透明基板）とを、図示しない枠状シール材を介して接合し、これらの基板間の前記シール材で囲まれた領域に液晶（図示せず）を封入して構成されている。

【0041】なお、この実施例の液晶表示素子は、一對の基板（TFT 基板 11 と対向基板）間に、強誘電性液晶または反強誘電性液晶を、そのスメクティック層構造の法線の方を前記配向膜により所定の方をに沿うように規制して封入した強誘電性または反強誘電性液晶表示素子であり、図では省略しているが、前記一對の基板の外面にはそれぞれ偏光板が、それぞれの透過軸を所定の方をに向けて配置されている。

【0042】この液晶表示素子は、前記 TFT 13 を、そのソース電極 17 とドレイン電極 18 のうち、前記ソース電極 17 を、前記 TFT 13 のチャンネル領域側の端縁に、その端縁から電極 17 内方向に凹入する切欠部 17a が設けられた形状に形成された構成としているため、前記 TFT 13 をオンさせたときの前記ソース電極 17 とドレイン電極 18 との間の電流経路が、図 2 に破線で示したように、前記ソース電極 17 の切欠部 17a が無い部分の端縁とドレイン電極 18 との間だけでなく、前記ソース電極 17 の前記切欠部 17a の側縁と前記ドレイン電極 18 との間にも形成される。

【0043】すなわち、前記 TFT 13 は、そのソース電極 17 のチャンネル領域側端縁に複数の切欠部 17a が設けられた形状に形成されているが、前記 TFT 13 をオンさせたときに i 型半導体膜 16 を介してソース電極 17 とドレイン電極 18 との間を流れる電流は、前記ソース電極 17 の切欠部 17a が無い部分の端縁とドレイン電極 18 との間だけでなく、前記ソース電極 17 の前記切欠部 17a の側縁と前記ドレイン電極 18 との間にも流れる。

【0044】なお、前記ソース電極 17 の切欠部 17a の側縁と前記ドレイン電極 18 との間に形成される電流経路の幅、つまり前記ソース電極 17 の切欠部 17a が無い部分の端縁とドレイン電極 18 との間の領域より外側への電流経路の広がり幅は、片側で約 $1\mu\text{m} \sim 2\mu\text{m}$ であり、この実施例では上述したように、前記切欠部 17a の幅を約 $2\mu\text{m} \sim 4\mu\text{m}$ にしているため、前記 i 型半導体膜 16 の前記ソース電極 17 の切欠部 17a に対応する領域も、ほとんど無駄なく TFT オン時の電流経路として有効に利用することができる。

【0045】そのため、この TFT 13 は、実質的に、ソース電極 17 の切欠部 17a が無い部分の端縁とドレイン電極 18 の端縁とが互いに向き合っている見掛け上のチャンネル幅よりも大きいチャンネル幅をもっている。

【0046】そして、この TFT 13 は、そのソース電極 17 が、チャンネル領域側の端縁に前記切欠部 17a が設けられた形状に形成されているため、実質的なチャ

ンネル幅が、ソース電極 17 およびドレイン電極 18 のチャンネル領域側端縁がそれぞれ前記切欠部の無い直線縁である一般的な TFT のチャンネル幅と同じでも、前記一般的な TFT に比べてソース電極 17 とゲート電極 18 との対向面積が小さく、ゲート・ソース電極間容量（ゲート電極 14 とソース電極 17 との間の浮遊容量）が小さい。

【0047】この実施例では、前記ソース電極 17 を、前記チャンネル領域側の端縁に、その端縁から電極 17 内方向に凹入する複数の切欠部 17a が所定の間隔で設けられた形状に形成しているため、前記 TFT のゲート・ソース電極間容量をより小さくするとともに、その実質的なチャンネル幅をさらに大きくすることができる。

【0048】したがって、この液晶表示素子によれば、単結晶シリコンに比べて電子の移動度が低いアモルファスシリコンからなる半導体膜（i 型半導体膜 6 および前記ソース電極 7 とドレイン電極 8 の下層膜である n 型半導体膜）を有する TFT 13 のゲート・ソース電極間容量を大きくすることなく、そのチャンネル幅を実質的に大きくして、この TFT 13 に大きな電流を流せるようにし、駆動デューティを高くして高画素密度化をはかることができる。

【0049】しかも、前記 TFT 13 は、そのゲート・ドレイン電極間容量が小さいため、このゲート・ソース電極間容量の影響により、ゲート配線 19 からゲート電極 14 に供給されるゲート信号の波形に鈍りが生じることが少なく、したがって、ゲート信号の波形の鈍りを補償するためにゲート配線 19 の配線幅を広くしてその電気抵抗を低くする必要はないから、開口率を十分高くすることができる。

【0050】さらに、この液晶表示素子は、前記 TFT 13 のゲート・ソース電極間容量が小さいため、このゲート・ソース電極間容量が、前記画素電極 12 と図示しない対向基板に設けられた対向電極とその間の液晶層とからなる画素容量にチャージされる書込み電荷に影響を及ぼすことが少なく、したがって、前記ゲート・ソース電極間容量の影響による画素領域の書込み状態の変動を少なくし、良好な表示を行なうことができる。

【0051】また、上記実施例の液晶表示素子は、一對の基板間に強誘電性液晶または反強誘電性液晶が封入された強誘電性または反強誘電性液晶表示素子であり、その画素容量が大きい場合、TFT 13 により大きな電流を流せるようにする必要があるが、上述したように、前記 TFT 13 のゲート・ソース電極間容量を大きくすることなく、そのチャンネル幅を実質的に大きくして、この TFT 13 に大きな電流を流せるようにすることができるため、駆動デューティを高くして高画素密度化をはかるとともに、ゲート配線の配線幅を広くする必要を無くして開口率を十分高くし、さらに、前記ゲート・ソース電極間容量の影響による画素領域の書込み状態の変動

を少なくして良好な表示を行なうことができる。

【0052】図 3 はこの発明の第 2 の実施例を示す TFT 基板の TFT 部分の拡大図であり、この実施例は、TFT 13 のソース電極 17 を、チャンネル領域側の端縁に、その端縁から電極 17 内方向に凹入する複数の切欠部 17a が設けられた形状に形成するとともに、前記 TFT 13 のドレイン電極 18 を、前記チャンネル領域側の端縁に、その端縁から電極 18 内方向に凹入する複数の（ソース電極 17 の切欠部 17a と同数）の切欠部 18a が設けられた形状に形成し、このドレイン電極 18 の前記複数の切欠部 18a をそれぞれ、前記ソース電極 17 の複数の切欠部 17a に向き合わせたものである。

【0053】また、図 4 はこの発明の第 3 の実施例を示す TFT 基板の TFT 部分の拡大図であり、この実施例は、TFT 13 のソース電極 17 を、チャンネル領域側の端縁に、その端縁から電極 17 内方向に凹入する複数の切欠部 17a が設けられた形状に形成するとともに、前記 TFT 13 のドレイン電極 18 を、前記チャンネル領域側の端縁に、その端縁から電極 18 内方向に凹入する 1 つの切欠部 18a が設けられた形状に形成し、このドレイン電極 18 の前記切欠部 18a を、ソース電極 17 のチャンネル領域側の端縁に設けられた複数の切欠部 17a のうちの 1 つの切欠部（図では中央の）17a に向き合わせたものである。

【0054】なお、上記第 2 および第 3 の実施例は、TFT 13 のドレイン電極 18 も、チャンネル領域側の端縁に、その端縁から電極 18 内方向に凹入する切欠部 18a が設けられた形状に形成したものであるが、他の構成は上述した第 1 の実施例と同じであるから、重複する説明は、図に同符号を付して省略する。

【0055】この第 2 および第 3 の実施例によれば、TFT 13 のドレイン電極 18 にも切欠部 18a を設けているため、前記 TFT 13 のゲート・ドレイン電極間容量だけでなく、ゲート・ドレイン電極間容量も小さくし、これらの電極間容量の影響による前記ゲート信号の波形の鈍りをさらに少なくすることができる。

【0056】なお、上記実施例では、TFT 13 の半導体膜（i 型半導体膜 16 およびソース電極 17 とドレイン電極 18 の下層膜である n 型半導体膜）を、アモルファスシリコンにより形成しているが、前記 TFT 13 の半導体膜は、ポリシリコンにより形成してもよく、ポリシリコンは、単結晶シリコンよりは電子の移動度が低い、アモルファスシリコンに比べれば電子移動度が高いため、TFT 13 の半導体膜をポリシリコンにより形成する場合は、ソース電極 17 または前記ソース電極 17 とドレイン電極 18 に設ける切欠部 17a、18a の数は上記実施例よりも少なくてもよい。

【0057】また、上記実施例の液晶表示素子は、強誘電性または反強誘電性液晶表示素子であるが、この発明は、強誘電性または反強誘電性液晶表示素子に限らず、

TN（ツイステッドネマティック）型、STN型（スーパーツイステッドネマティック）型、散乱効果型などの種々のアクティブマトリクス液晶表示素子に適用することができる。

【0058】

【発明の効果】この発明の液晶表示素子は、TFTを、そのソース電極とドレイン電極のうち、少なくとも前記ソース電極が、前記TFTのチャンネル側の端縁に、その端縁から電極内方向に凹入する切欠部が設けられた形状に形成された構成としたものであるから、前記TFTのゲート・ソース電極間容量を大きくすることなく、そのチャンネル幅を実質的に大きくして、このTFTに大きな電流を流せるようにし、駆動デューティを高くして高画素密度化をはかるとともに、ゲート配線の配線幅を広くする必要を無くして開口率を十分高くし、さらに、前記ゲート・ソース電極間容量の影響による画素領域の書き込み状態の変動を少なくして良好な表示を行なうことができる。

【0059】この発明の液晶表示素子において、前記TFTのソース電極とドレイン電極とのうち、少なくとも前記ソース電極は、前記チャンネル領域側の端縁に、その端縁から電極内方向に凹入する複数の切欠部が所定の間隔で設けられた形状に形成するのが好ましく、このようにすることにより、前記TFTのゲート・ソース電極間容量を小さくするとともに、その実質的なチャンネル幅をさらに大きくすることができる。

【0060】また、前記TFTは、そのドレイン電極も、前記チャンネル領域側の端縁に、その端縁から電極内方向に凹入する少なくとも1つの切欠部が設けられた形状に形成し、このドレイン電極の前記切欠部を、前記ソース電極のチャンネル領域側の端縁に設けられた少なくとも1つの切欠部に向き合わせた構成とするのがより好ましく、このようにすることにより、前記TFTのゲート・ドレイン電極間容量だけでなく、ゲート・ドレイン電極間容量も小さくし、これらの電極間容量の影響による前記ゲート信号の波形の鈍りをさらに少なくすることができる。

*

*【0061】この発明は、特に、強誘電性または反強誘電性液晶表示に有効であり、一对の基板間に強誘電性液晶または反強誘電性液晶が封入された強誘電性または反強誘電性液晶表示素子は、その画素容量が大きいいため、TFTにより大きな電流を流せるようにする必要があるが、この発明によれば、前記TFTのゲート・ソース電極間容量を大きくすることなく、そのチャンネル幅を実質的に大きくして、このTFTに大きな電流を流せるようにすることができるため、駆動デューティを高くして高画素密度化をはかるとともに、ゲート配線の配線幅を広くする必要を無くして開口率を十分高くし、さらに、前記ゲート・ソース電極間容量の影響による画素領域の書き込み状態の変動を少なくして良好な表示を行なうことができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例を示す液晶表示素子のTFT基板の一部分の平面図。

【図2】図1のTFT部分の拡大図。

【図3】この発明の第2の実施例を示すTFT基板のTFT部分の拡大図。

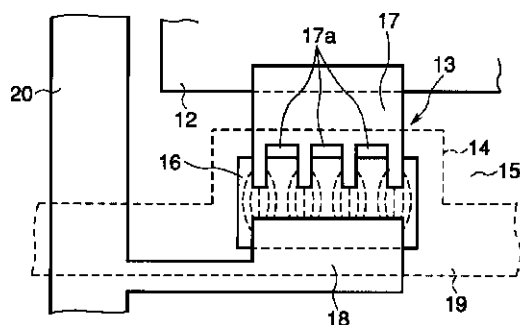
【図4】この発明の第3の実施例を示すTFT基板のTFT部分の拡大図。

【図5】従来の液晶表示素子のTFT基板の一部分の平面図。

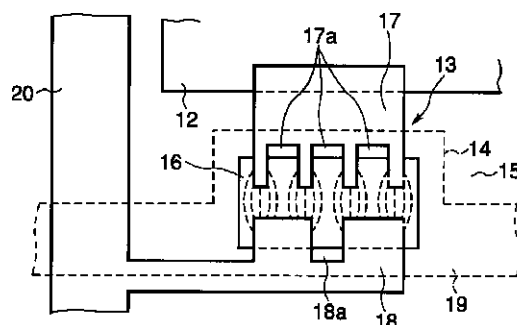
【符号の説明】

- 11...TFT基板
- 12...画素電極
- 13...TFT
- 14...ゲート電極
- 15...ゲート絶縁膜
- 16...i型半導体膜
- 17...ソース電極
- 17a...切欠部
- 18...ドレイン電極
- 18a...切欠部
- 19...ゲート配線
- 20...データ配線

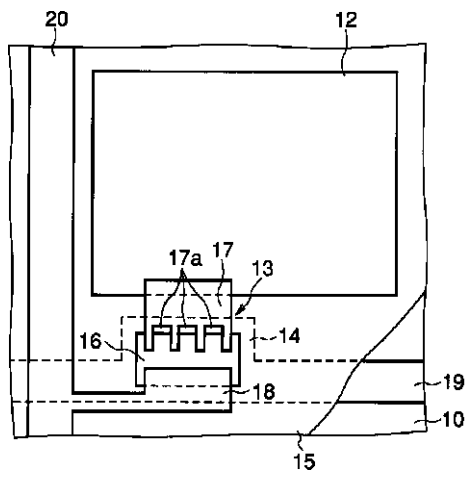
【図2】



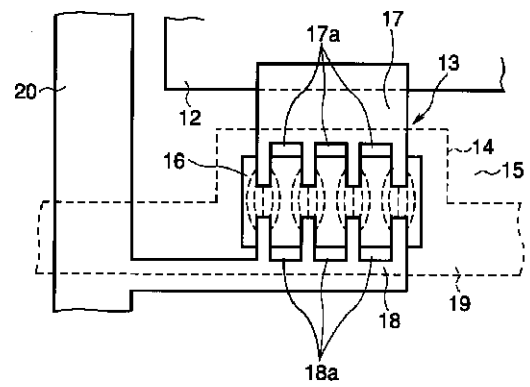
【図4】



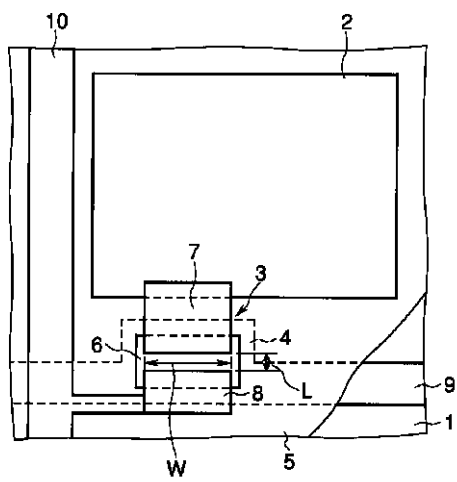
【図1】



【図3】



【図5】



フロントページの続き

F ターム(参考) 2H092 GA14 GA26 JA24 JA29 JA38
JA42 JB13 JB23 JB32 JB33
JB38 KA04 KA05 KA07 NA07
NA22 NA27 PA06 QA07 QA10
QA13 QA14
5C094 AA21 AA31 BA03 BA43 EA04
5F110 AA02 AA07 BB01 CC07 DD02
GG02 GG13 GG15 GG35 HK02
HK09 HK16 HK21 HM04 NN02
NN72

专利名称(译)	液晶显示元件		
公开(公告)号	JP2001209070A	公开(公告)日	2001-08-03
申请号	JP2000018805	申请日	2000-01-27
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	神谷建史		
发明人	神谷 建史		
IPC分类号	G02F1/136 G02F1/1368 G09F9/30 H01L29/786		
FI分类号	G09F9/30.338 G02F1/136.500 H01L29/78.616.T G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA26 2H092/JA24 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB33 2H092/JB38 2H092/KA04 2H092/KA05 2H092/KA07 2H092/NA07 2H092/NA22 2H092/NA27 2H092/PA06 2H092/QA07 2H092/QA10 2H092/QA13 2H092/QA14 5C094/AA21 5C094/AA31 5C094/BA03 5C094/BA43 5C094/EA04 5F110/AA02 5F110/AA07 5F110/BB01 5F110/CC07 5F110/DD02 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG35 5F110/HK02 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HM04 5F110/NN02 5F110/NN72 2H192/AA24 2H192/CB05 2H192/CC42 2H192/DA73 2H192/JA23 2H192/JA25		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了提供有源矩阵液晶显示器件，TFT的沟道宽度显著增加，并且可以在TFT上施加大电流而不增加栅极和源极之间的电容，驱动占空比增加到获得高像素密度，开口率充分增加而不需要增加栅极线的线宽，此外，由于栅极源极之间的电容的影响，像素区域的写入状态的波动减小。可以进行良好的显示。解决方案：构成TFT13，使得至少源电极17形成在TFT13的源电极17和漏电极17之间，其形状使得凹口17a从端边缘朝向电极17的方向凹陷。电极的内部布置在TFT 13的沟道区侧的端边缘上。

