

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4757393号
(P4757393)

(45) 発行日 平成23年8月24日(2011.8.24)

(24) 登録日 平成23年6月10日(2011.6.10)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/133 (2006.01)

G O 2 F 1/133 5 5 0

G O 2 F 1/1333 (2006.01)

G O 2 F 1/1333 5 0 5

G O 2 F 1/1335 (2006.01)

G O 2 F 1/1335 5 0 5

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

請求項の数 15 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2001-85545 (P2001-85545)
 (22) 出願日 平成13年3月23日(2001.3.23)
 (65) 公開番号 特開2002-287163 (P2002-287163A)
 (43) 公開日 平成14年10月3日(2002.10.3)
 審査請求日 平成20年2月14日(2008.2.14)

(73) 特許権者 303018827
 N E C 液晶テクノロジー株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100099830
 弁理士 西村 征生
 (72) 発明者 松本 公一
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

審査官 小濱 健太

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

駆動素子が形成された駆動素子基板と対向基板との間に液晶が封入され、前記駆動素子は同一走査線で駆動される第1及び第2の駆動素子から成り、互いに極性の異なる画素電圧が第1及び第2のデータ線から前記第1及び第2の駆動素子を介して印加される第1及び第2の画素電極を有する単位画素から構成される液晶表示装置であって、

前記第2のデータ線は、前記第1のデータ線の上層にあって前記第1のデータ線と絶縁膜を介して互いに重畳され、かつ、該絶縁膜に形成されたコンタクトホールを介して前記第2の駆動素子と電極接続される態様で、前記駆動素子基板上に形成されていることを特徴とする液晶表示装置。

【請求項 2】

駆動素子が形成された駆動素子基板と対向基板との間に液晶が封入され、前記駆動素子は同一走査線で駆動される第1及び第2の駆動素子から成り、互いに極性の異なる画素電圧が第1及び第2のデータ線から前記第1及び第2の駆動素子を介して印加される第1及び第2の画素電極を有する単位画素から構成される液晶表示装置であって、

前記第2のデータ線は、絶縁膜を介して前記第1のデータ線の上層にあって、かつ、前記第1及び第2のデータ線は、互いに極性の同一の画素電圧を供給するもの同士が重畳される態様で、前記駆動素子基板上に形成されていることを特徴とする液晶表示装置。

【請求項 3】

前記絶縁膜は、有機絶縁膜又は無機絶縁膜あるいは両絶縁膜の積層膜から成ることを特

徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 4】

前記第 1 及び第 2 の画素電極と、共通電極とが層間絶縁膜を介して相互に絶縁されるように前記駆動素子基板上に形成されることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 5】

前記第 1 及び第 2 の画素電極と、前記第 1 のデータ線とは同一の層間絶縁膜上に形成されることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 6】

前記第 1 及び第 2 の画素電極と、前記第 2 のデータ線とは配向膜で覆われることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

10

【請求項 7】

前記第 1 及び第 2 のデータ線は、それぞれ異なる単位画素の第 1 及び第 2 の画素電極に前記画素電圧を供給することを特徴とする請求項 2 記載の液晶表示装置。

【請求項 8】

前記駆動素子基板上に色層が形成されることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 9】

前記共通電極は配向膜を介して前記液晶と接していることを特徴とする請求項 4 記載の液晶表示装置。

20

【請求項 10】

前記第 2 のデータ線は、前記第 1 のデータ線の上層にあって前記第 1 のデータ線とパッシベーション膜を介して互いに重畳されていることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 11】

前記第 1 及び第 2 の画素電極と共通電極とが、前記第 2 のデータ線を覆う同一の層間絶縁膜上に形成されることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 12】

共通電極が前記対向基板上に形成されることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

30

【請求項 13】

前記単位画素は 1 H 反転駆動方法、1 V 反転駆動方法あるいはドット反転駆動方法により駆動されることを特徴とする請求項 1 乃至 12 のいずれか 1 に記載の液晶表示装置。

【請求項 14】

同一走査線で駆動される第 1 及び第 2 の駆動素子を有し、互いに極性の異なる画素電圧が第 1 及び第 2 のデータ線から前記第 1 及び第 2 の駆動素子を介して印加される第 1 及び第 2 の画素電極を有する単位画素から構成される液晶表示装置の製造方法であって、

透明基板上に走査線を形成した後該走査線を覆うように第 1 の層間絶縁膜を形成し、該第 1 の層間絶縁膜上に半導体層を形成する第 1 の工程と、

前記半導体層にドレイン電極及びソース電極を形成して第 1 及び第 2 の駆動素子を形成すると同時に、前記第 1 の層間絶縁膜上に第 1 及び第 2 の画素電極、一方の前記駆動素子の前記ドレイン電極と接続する第 1 のデータ線を形成する第 2 の工程と、

40

前記駆動素子を覆うように第 2 の層間絶縁膜を形成した後該第 2 の層間絶縁膜にコンタクトホールを形成し、該コンタクトホールを介して他方の前記駆動素子の前記ドレイン電極と接続する第 2 のデータ線を前記第 1 のデータ線と重畳するように形成する第 3 の工程とを含むことを特徴とする液晶表示装置の製造方法。

【請求項 15】

前記第 3 の工程において、前記第 2 の層間絶縁膜として有機絶縁膜又は無機絶縁膜あるいは両絶縁膜の積層膜を形成することを特徴とする請求項 14 記載の液晶表示装置の製造方法。

50

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、液晶表示装置及びその製造方法に係り、詳しくは、同一走査線で駆動される２つの駆動素子を有し、互いに極性の異なる画素電圧が２つのデータ線から各駆動素子を介して印加される２つの画素電極を有する単位画素から構成される液晶表示装置及びその製造方法に関する。

【０００２】

【従来の技術】

各種の情報機器等のディスプレイ装置として液晶表示装置が広く用いられている。液晶表示装置は、表示すべき単位画素を選択するためにオン、オフのスイッチングを行うスイッチング素子（駆動素子）として動作するＴＦＴ（Thin Film Transistor）が形成されたＴＦＴ基板（駆動素子基板）と、対向基板との間に液晶が封入された構成を基本としており、複数の単位画素がマトリクス状に配置されている。このような液晶表示装置は、表示方式の違いにより、ＴＮ（Twisted Nematic）形とＩＰＳ（In-Plane Switching）形とに大別される。

【０００３】

ＴＮ形の液晶表示装置は、ＴＦＴ基板上に形成した画素電極に画素電圧を印加するとともに、対向基板上に形成した共通電極に共通電圧を印加して、これら画素電圧と共通電圧との差電圧により、両基板表面に対して垂直方向に縦方向電界を発生させて液晶を駆動する。一方、ＩＰＳ形の液晶表示装置は、一方側の基板であるＴＦＴ基板上に画素電極と共通電極との両電極を層間絶縁膜を介して相互に絶縁されるように形成して、両電極に印加した両電圧の差電圧により、両基板表面に対して水平方向に横方向電界を発生させて液晶を駆動する。このような駆動方法において、特にＩＰＳ形の液晶表示装置では、両基板表面に沿って液晶分子の長軸が水平に配列されるので、液晶表示装置を観察するとき視角方向を変えても明るさの変化が小さくなるため、広い視野角が得られるという利点を有している。したがって、最近ではＩＰＳ形の液晶表示装置が好んで採用される傾向にある。

【０００４】

図３５は、従来のＩＰＳ形の液晶表示装置の構成を示す平面図、図３６は図３５のＬ－Ｌ矢視断面図である。なお、図３５及び図３６は、一つの単位画素１００のみを示している。同液晶表示装置は、図３５及び図３６に示すように、ＴＦＴ基板１０１と対向基板１０２との間に液晶１０３が封入され、ＴＦＴ基板１０１は、ガラス等から成る第１の透明基板１０６と、第１の透明基板１０６の裏面に形成された第１の偏光板１０７と、第１の透明基板１０６の表面の一部分に形成された走査線（ゲートバスライン）１０８と、第１の透明基板１０６の表面の他部分に形成された共通電極１０９と、走査線１０８及び共通電極１０９を覆うように形成されてゲート絶縁膜となる層間絶縁膜１１０と、層間絶縁膜１１０を介して走査線１０８の上部に形成された半導体層１１３と、半導体層１１３にそれぞれ接続されるように形成されたドレイン電極１１６及びソース電極１１７と、ドレイン電極１１６及びソース電極１１７と一体に層間絶縁膜１１０上に形成された画素電極１２１及びデータ線１２２と、画素電極１２１及びデータ線１２２を覆うように形成されたパッシベーション膜１２５と、パッシベーション膜１２５を介して画素電極１２１及びデータ線１２２を覆うように形成された第１の配向膜１２７とを備えている。ここで、走査線１０８、半導体層１１３、ドレイン電極１１６及びソース電極１１７によりＴＦＴ１２９が構成されている。

【０００５】

一方、対向基板１０２は、ガラス等から成る第２の透明基板１３１と、第２の透明基板１３１の裏面に静電気防止用の導電層１３２を介して形成された第２の偏光板１３３と、第２の透明基板１３１の表面に形成されたブラックマトリクス層１３４と、ブラックマトリクス層１３４を覆うカラーフィルタとなる色層１３５と、ブラックマトリクス層１３４及び色層１３５を覆う平坦化膜１３６と、平坦化膜１３６上に形成された第２の配向膜１３

7とを備えている。また、符号139は液晶103のラビング方向を示している。

【0006】

上述したような液晶表示装置を駆動させるには、従来から、液晶の長寿命化を図る観点から、各单位画素を構成している画素電極に対して周期的に互いに極性の異なる画素電圧を印加することが行われている。すなわち、図35及び図36において、データ線122からTF T129を介して画素電極121に対して、図37に示すような周期的に互いに極性の異なる画素電圧 V_e を印加することが行われている。同図において、符号 V_c は共通電極109に印加される共通電圧を示し、図示しない走査電圧の印加タイミングで画素電圧 V_e と共通電圧 V_c との差電圧 V_{d1} 、 V_{d2} により液晶103が駆動されて、液晶103はこの駆動電圧に応じた電荷を保持する。

10

【0007】

ここで、上述したように画素電極121に対して周期的に極性の異なる画素電圧 V_e を印加して液晶103を駆動するには、以下に説明するような3つの方法が主として行われている。第1の駆動方法は、図38(a)に示すように、1H(Horizontal)反転駆動方法と称されるもので、画像を構成する画素の画像データを切り換えるときに、1水平線毎に画素の正極性と負極性とを反転させる方法である。第2の駆動方法は、図38(b)に示すように、1V(Vertical)反転駆動方法と称されるもので、画素の画像データを切り換えるときに、1垂直線毎に画素の正極性と負極性とを反転させる方法である。第3の駆動方法は、図38(c)に示すように、ドット反転駆動方法と称されるもので、画素の画像データを切り換えるときに、1ドット毎に市松模様状に画素の正極性と負極性とを反転させる方法である。

20

【0008】

図39は、従来の液晶表示装置の駆動回路を示す図、図40は図39の端子部A及び端子部Bを拡大して示す図である。マトリクス状に配置された画素100の走査線108には走査線駆動回路151が接続されて走査線信号が入力されるとともに、データ線122にはデータ線駆動回路152が接続されてデータ線信号が入力される。また、共通電極配線120には共通電極配線駆動回路153が接続されて共通電位が入力される。

【0009】

図40から明らかなように、端子部Aにおいては、データ線122に電位を供給するデータ線端子部122AがそれぞれITO膜122aで覆われている。また、端子部Bにおいては、走査線108に電位を供給する走査線端子部108AがITO膜108aで覆われるとともに、共通電極配線120に電位を供給する共通電極配線端子部120AがITO膜120aで覆われている。

30

【0010】

しかしながら、上述したような従来の液晶表示装置では、表示画面上で同極性の画素のみを表示させるような必要が生じた場合には、フリッカが強く発生して表示画面が見にくくなるという欠点が発生する。例えば、図41(a)に示したように、正極性の画素のみ、あるいは図41(b)に示したように、負極性の画素のみを表示させるように市松模様状に表示させる場合にはフリッカが強く発生するようになる。この理由は、従来の液晶表示装置では、前述したように互いに極性の異なる画素電圧を印加した複数の画素を同時に表示させて、見かけ上のフリッカを抑制するようにしているためである。この理由は、具体的には、データ線122と画素電極121との間に接続されているTF T129のオン特性と液晶103のデータ電圧保持特性とが、正極性と負極性とを印加する場合で、それぞれ異なるという事情に基づいている。すなわち、図37において、差電圧 V_{d1} 、 V_{d2} が等しい場合には問題がないが、実際には上述したような理由により、共通電圧 V_c の大きさが変化するので、差電圧 V_{d1} 、 V_{d2} が異なるようになるため、市松模様状に表示させる場合にはフリッカが強く発生するのが避けられない。

40

【0011】

上述したような、同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制するようにした液晶表示装置が、例えば特開2000-235371号公報に開示され

50

ている。図４２（ａ）は、同液晶表示装置を示す回路構成図、図４２（ｂ）は同液晶表示装置のレイアウト図である。同液晶表示装置は、図４２（ａ）、（ｂ）に示すように、走査線２０１ｃと、正のデータ線２０２ｃ及び副のデータ線２０２ｄと、走査線２０１ｃと正のデータ線２０２ｃとの交点に接続された正のＴＦＴ２０３ｃ及び走査線２０１ｃと副のデータ線２０２ｄとの交点に接続された副のＴＦＴ２０３ｄと、対向電極２１１と正の画素電極２０４ｃ及び副の画素電極２０４ｄとの間にそれぞれ封入されている液晶２１０ｃ、２１０ｄと、共通配線２０９と正副の画素電極２０４ｃ、２０４ｄとの間にそれぞれ形成されている蓄積容量２０８ｃ、２０８ｄとを備えている。

【００１２】

上述の構成によれば、例えば図３８（ａ）に示すように、画像を構成する１水平線の画素の画像データを切り換えるときに、単位画素毎に正副の画素電極２０４ｃ、２０４ｄに印加する画素電圧の正極性と負極性とを反転させることにより、単位画素毎に略同一輝度を表示する正極性の画素と負極性の画素とを必ず隣接させることができるので、前述したように表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができるようになる。

【００１３】

【発明が解決しようとする課題】

しかしながら、従来の液晶表示装置では、表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができるものの、単位画素の正副の画素電極にそれぞれ正極性及び負極性の画素電圧を印加する正副の２つのデータ線を平面的に形成しているので、単位画素の開口率が低下する、という問題がある。

すなわち、特開２０００－２３５３７１号公報に記載されている液晶表示装置は、図４２（ａ）、（ｂ）に示したように、正のＴＦＴ２０３ｃを介して画素電圧を正の画素電極２０４ｃに印加する正のデータ線２０２ｃと、副のＴＦＴ２０３ｄを介して画素電圧を副の画素電極２０４ｄに印加する副のデータ線２０２ｄとの２つのデータ線を平面的に形成しているので、単位画素内でデータ線が占有する面積が２倍になり、この分だけ光が透過する面積を減少させることになるため、開口率を低下させるようになる。

【００１４】

特に、ＩＰＳ形の液晶表示装置では、図３５及び図３６に示したように、遮光性金属から成る共通電極１０９及び画素電極１２１が平面的に配置される構成になっているので、もともと開口率が悪くなっているのに、さらに開口率が低下することは明るいディスプレイ装置の実現を困難にする。

【００１５】

この発明は、上述の事情に鑑みてなされたもので、開口率を低下させることなく、表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができるようにした液晶表示装置及びその製造方法を提供することを目的としている。

【００１６】

【課題を解決するための手段】

上記課題を解決するために、請求項１に係るこの発明の第１の構成は、駆動素子が形成された駆動素子基板と対向基板との間に液晶が封入され、上記駆動素子は同一走査線で駆動される第１及び第２の駆動素子から成り、互いに極性の異なる画素電圧が第１及び第２のデータ線から上記第１及び第２の駆動素子を介して印加される第１及び第２の画素電極を有する単位画素から構成される液晶表示装置に係り、上記第２のデータ線は、上記第１のデータ線の上層にあって上記第１のデータ線と絶縁膜を介して互いに重畳され、かつ、該絶縁膜に形成されたコンタクトホールを介して上記第２の駆動素子と電極接続される態様で、上記駆動素子基板上に形成されていることを特徴としている。

【００１７】

また、請求項２に係るこの発明の第２の構成は、駆動素子が形成された駆動素子基板と対向基板との間に液晶が封入され、上記駆動素子は同一走査線で駆動される第１及び第２の駆動素子から成り、互いに極性の異なる画素電圧が第１及び第２のデータ線から上記第

10

20

30

40

50

1 及び第 2 の駆動素子を介して印加される第 1 及び第 2 の画素電極を有する単位画素から構成される液晶表示装置に係り、上記第 2 のデータ線は、絶縁膜を介して上記第 1 のデータ線の上層にあって、かつ、上記第 1 及び第 2 のデータ線は、互いに極性の同一の画素電圧を供給するもの同士が重畳される態様で、上記駆動素子基板上に形成されていることを特徴としている。

【 0 0 1 8 】

また、請求項 1 4 に係るこの発明の第 3 の構成は、同一走査線で駆動される第 1 及び第 2 の駆動素子を有し、互いに極性の異なる画素電圧が第 1 及び第 2 のデータ線から上記第 1 及び第 2 の駆動素子を介して印加される第 1 及び第 2 の画素電極を有する単位画素から構成される液晶表示装置の製造方法に係り、透明基板上に走査線を形成した後該走査線を覆うように第 1 の層間絶縁膜を形成し、該第 1 の層間絶縁膜上に半導体層を形成する第 1 の工程と、上記半導体層にドレイン電極及びソース電極を形成して第 1 及び第 2 の駆動素子を形成すると同時に、上記第 1 の層間絶縁膜上に第 1 及び第 2 の画素電極、一方の上記駆動素子の上記ドレイン電極と接続する第 1 のデータ線を形成する第 2 の工程と、上記駆動素子を覆うように第 2 の層間絶縁膜を形成した後該第 2 の層間絶縁膜にコンタクトホールを形成し、該コンタクトホールを介して他方の上記駆動素子の上記ドレイン電極と接続する第 2 のデータ線を上記第 1 のデータ線と重畳するように形成する第 3 の工程とを含むことを特徴としている。

【 0 0 3 1 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的にを行う。

第 1 実施例

図 1 は、この発明の第 1 実施例である液晶表示装置の構成を示す平面図、図 2 は図 1 の A - A 矢視断面図、図 3 は図 2 の B - B 矢視断面図、図 4 は同液晶表示装置から第 2 のデータ線を取り除いた構成を示す平面図、図 5 は第 2 のデータ線のパターンを示す平面図、また、図 6 はデータ線と画素電極との接続関係及び配置関係を概略的に示す図、図 7 はデータ線から供給される画素電圧の波形を示す図である。この例では I P S 形に適用した例で説明し、一つの単位画素 5 のみを示している。

この例の液晶表示装置は、図 1 ~ 図 5 に示すように、T F T 基板 1 と対向基板 2 との間に液晶 3 が封入されている。ここで、T F T 基板 1 は、ガラス等から成る第 1 の透明基板 6 と、第 1 の透明基板 6 の裏面に形成された第 1 の偏光板 7 と、第 1 の透明基板 6 の表面の一部分に形成されたアルミニウム (A l)、クロム (C r)、モリブデン (M o) 等から成りゲートバスラインとなる走査線 8 と、第 1 の透明基板 6 の表面の他部分に形成された A l、C r、M o 等から成る共通電極 9 と、走査線 8 及び共通電極 9 を覆うよう形成された酸化シリコン (S i O_x) 膜又は窒化シリコン (S i N_x) 膜、あるいは両膜の積層膜等から成りゲート絶縁膜となる第 1 の層間絶縁膜 1 0 と、第 1 の層間絶縁膜 1 0 を介して走査線 8 の上部に形成され表面に高濃度 n 型アモルファスシリコン (n⁺型 - S i) 等から成る第 1 の一対のオーミック層 1 1 A、1 1 B 及び第 2 の一対のオーミック層 1 2 A、1 2 B がそれぞれ形成された (- S i) 等から成る第 1 の半導体層 1 3 及び第 2 の半導体層 1 4 と、第 1 の半導体層 1 3 の第 1 の一対のオーミック層 1 1 A、1 1 B にそれぞれ接続されるように形成された A l、C r、M o 等から成る第 1 のドレイン電極 1 6 及び第 1 のソース電極 1 7 と、第 2 の半導体層 1 4 の第 2 の一対のオーミック層 1 2 A、1 2 B にそれぞれ接続されるように形成された A l、C r、M o 等から成る第 2 のドレイン電極 1 8 及び第 2 のソース電極 1 9 と、第 1 のドレイン電極 1 6 及びソース電極 1 7 と一体に第 1 の層間絶縁膜 1 0 上に形成された A l、M o、T i (チタン) 等から成る第 1 の画素電極 2 1 及び第 1 のデータ線 2 2 と、第 2 のドレイン電極 1 8 及びソース電極 1 9 と一体に第 1 の層間絶縁膜 1 0 上に形成された A l、M o、T i 等から成る第 2 の画素電極 2 3 と、第 1 のデータ線 2 2 と重畳するようにパッシベーション膜 2 5 を介して形成された第 2 のデータ線 2 4 と、第 1 及び第 2 の半導体層 1 3、1 4 上のパッシベーション膜 2 5 上

に形成された SiO_x 膜又は SiN_x 膜、両膜の積層膜、あるいは有機膜との複合膜等から成る第2の層間絶縁膜26と、第1及び第2の画素電極21、23及び第2のデータ線24を覆うように形成された第1の配向膜27とを備えている。

【0032】

一方、対向基板2は、ガラス等から成る第2の透明基板31と、第2の透明基板31の裏面に静電気防止用の導電層32を介して形成された第2の偏光板33と、第2の透明基板33の表面に形成されたブラックマトリクス層34と、ブラックマトリクス層34を覆いカラーフィルタとなる色層35と、ブラックマトリクス層34及び色層35を覆う平坦化膜36と、平坦化膜36上に形成された第2の配向膜37とを備えている。また、符号39は液晶3のラビング方向を示している。

10

【0033】

上述したような構成において、走査線8、第1の半導体層13、第1のドレイン電極16及び第1のソース電極17により第1のTFT29が構成されるとともに、走査線8、第2の半導体層14、第2のドレイン電極18及び第2のソース電極19により第2のTFT30が構成されて、両TFT29、30は第1の層間絶縁膜10を介して共通の走査線8上に形成されることにより、同一走査線8で駆動される。第1及び第2のデータ線22、24は、互いに相似パターンに形成されているが、第1のデータ線22は近接している第1のTFT29の第1のドレイン電極16に接続されている。一方、第2のデータ線24は図5に示したようなパターンに形成されて、パッシベーション膜25及び第2の層間絶縁膜26に形成されたコンタクトホール28を介して、第1のTFT29の外側の第2のTFT30の第2のドレイン電極18に接続されている。このような接続関係により、第1のデータ線22から供給される画素電圧は第1のTFT29を介して第1の画素電極21に印加される。一方、第2のデータ線24から供給される画素電圧は第2のTFT30を介して第2の画素電極23に印加される。図6は、第1及び第2の画素電極21、23に対する第1及び第2のデータ線22、24の接続関係及び配置関係を概略的に示している。

20

【0034】

次に、図7の信号電圧波形を参照して、この例の液晶表示装置の駆動方法について説明する。図7において、符号 V_{e1} は第1のデータ線22から供給される第1の画素電圧の波形を、符号 V_{e2} は第2のデータ線24から供給される第2の画素電圧の波形を示している。また、符号 V_c は共通電圧を示している。第1の画素電圧 V_{e1} は、共通電圧 V_c を基準軸として時刻 t_1 で正方向に V_1 の大きさに、時刻 t_2 で正方向に V_2 の大きさに、時刻 t_3 で正方向に V_3 の大きさになるように変化している。一方、第2の画素電圧 V_{e2} は、第1の画素電圧 V_{e1} とは互いに極性が異なるように、共通電圧 V_c を基準軸として時刻 t_1 で負方向に $-V_1$ の大きさに、時刻 t_2 で負方向に $-V_2$ の大きさに、時刻 t_3 で負方向に $-V_3$ の大きさになるように変化している。そして、第1のデータ線22から第1の画素電圧 V_{e1} を第1のTFT29を介して第1の画素電極21に印加すると同時に、第2のデータ線24から第2の画素電圧 V_{e2} を第2のTFT30を介して第2の画素電極23に印加する。これにより、第1及び第2の画素電極21、23には常に極性が異なる画素電圧が印加されて、液晶3は画素電圧に応じた電荷を保持する。

30

40

【0035】

このように、単位画素毎に第1及び第2の画素電極21、23に印加する画素電圧の正極性と負極性とを反転させることにより、単位画素毎に略同一輝度を表示する正極性の画素と負極性の画素とを必ず隣接させることができるので、表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができる。この効果は、前述したいずれの駆動方法によっても得ることができる。しかも、この例の液晶表示装置によれば、第1及び第2の画素電圧 V_{e1} 、 V_{e2} を供給する第1及び第2のデータ線22、24は、パッシベーション膜25を介して重畳されるように形成されているので、単位画素内でデータ線が占有する面積を1つのデータ線の場合と幅変化がないように抑えることができるため、開口率が低下することはなくなる。特に、この例のようにIPS形の液晶表

50

示装置では、第１及び第２の画素電極２１、２３及び共通電極９がＡｌ、Ｃｒ、Ｍｏ、Ｔｉ等の遮光性金属により構成されているため、もともと開口率が悪くなっているため、大きな効果が得られる。

【００３６】

ここで、第１の配向膜２７を介して液晶３と対向している第１及び第２の画素電極２１、２３及び第２のデータ線２４は、第１の配向膜２７の膜厚が略５０ｎｍと薄いので、液晶３の影響を受けて溶解することがないような安定した金属を選択することが必要になる。この点で、前述したようなＡｌ、Ｍｏ、Ｔｉ等の金属あるいはこれらの組み合わせはその要求を満足することができる。また、第１及び第２のデータ線２２、２４の重畳する面積に比例して、両データ線２２、２４から供給される画素電圧が歪み易いので、いずれか一方の線幅を小さくすることが望ましい。また、このためには、第２のデータ線２４としてこの配線抵抗が第１のデータ線２２のそれよりも小さくなるような金属を用いることが望ましい。さらに、そのためには、第１及び第２のデータ線２２、２４間に用いるパッシベーション膜２５としては、膜厚を厚く形成し、あるいは誘電率の小さい有機材料から成る絶縁膜もしくはその積層膜を選択することが望ましい。このパッシベーション膜２５は、表１、表２及び表３に示したように、（１）無機膜のみにより、（２）無機膜と有機膜との積層により、あるいは（３）有機膜のみにより構成することができる。

【００３７】

【表１】

	材 料	膜 厚	誘 電 率
(１) 無機膜のみの場合	SiN _x (窒化シリコン膜)	1～3 μm	6.4
	SiN _x ／	1 μm／	6.4／
	SiO _x (酸化シリコン膜)	0.5 μm	4.0
	無機ポリシラン膜	1～2 μm	4.5
	SiN _x ／ 無機ポリシラン膜	0.15 μm／ 1～2 μm	6.4／ 4.5

成膜方法	形状加工方法
プラズマCVD法	フォトリソをマスクとしてドライエッチング
プラズマCVD法/ スパッタ法	フォトリソをマスクとしてドライエッチング
スピコート&焼 成	フォトリソをマスクとしてドライエッチング
プラズマCVD法/ スピコート&焼 成	フォトリソをマスクとしてドライエッチング

【００３８】

【表２】

	材 料	膜 厚	誘 電 率
(2) 無機膜／有機膜 積層の場合	SiN _x ／	0.15 μm／	6.4／
	感光性アクリル樹脂膜	1～2 μm	3.3
	SiN _x ／	0.15 μm／	6.4／
	感光性オキシド樹脂膜	1～2 μm	—

成膜方法	形状加工方法
プラズマCVD法／ スピコート	感光性アクリル樹脂膜は露光現像で パターン形成後焼成／SiN _x はドライエッチング
プラズマCVD法／ スピコート	感光性オキシド樹脂膜は露光現像で パターン形成後焼成／SiN _x はドライエッチング

【0039】

【表3】

	材 料	膜 厚	誘 電 率
(3) 有機膜のみの場合	BCB(ベンゾシクロブテン)膜	1～2 μm	4.5
	有機オキシラン膜	1～2 μm	3.8
	シロキサン膜	1～2 μm	—

成膜方法	形状加工方法
スピコート&焼成	フォトレジストをマスクとしてドライエッチング
スピコート&焼成	フォトレジストをマスクとしてドライエッチング
スピコート&焼成	フォトレジストをマスクとしてドライエッチング

【0040】

また、この例のIPS形の液晶表示装置のように、第1及び第2の画素電極21、23及び共通電極9によって横方向電界を発生させる場合、この横方向電界が液晶3に加わり易くするために、図2に示したように、第1及び第2の画素電極21、23の表面にはパッシベーション膜25を存在させない、あるいは存在させる場合でもその膜厚は薄く形成することが望ましい。

【0041】

このように、この例の液晶表示装置の構成によれば、第1及び第2のTFE29、30を介して互いに極性の異なる画素電圧を第1及び第2の画素電極21、23に印加する第1及び第2のデータ線22、24は、パッシベーション膜25を介して重畳されるように形成されているので、単位画素内で両データ線22、24が占有する面積を1つのデータ線の場合と幅変化がないように抑えることができる。

したがって、開口率を低下させることなく、表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができる。

【 0 0 4 2 】

第 2 実施例

図 8 は、この発明の第 2 実施例である液晶表示装置の構成を示す平面図、図 9 は図 8 の C - C 矢視断面図、図 10 は同液晶表示装置から第 2 のデータ線を取り除いた構成を示す平面図、図 11 は第 2 のデータ線のパターンを示す平面図、図 12 はデータ線と画素電極との接続関係及び配置関係を概略的に示す図である。この発明の第 2 実施例である液晶表示装置の構成が、上述した第 1 実施例の構成と大きく異なるところは、2つの画素電極に対する2つのデータ線の接続関係を維持したまま、両データ線の配置関係を変更するようにした点である。

すなわち、この例の液晶表示装置は、図 8 ~ 図 11 に示すように、第 1 実施例で用いられた第 2 のデータ線 24 とは異なるパターンに形成された第 2 のデータ線 44 を用いて、一の単位画素の第 1 の画素電極 21 には第 1 の TFT 29 を介してこの単位画素の第 1 のデータ線 22 が接続されるように構成される一方、第 2 の画素電極 23 には第 2 の TFT 30 を介して隣接する単位画素の第 2 のデータ線 44 が接続されるように構成されている。図 12 は、この例における、第 1 及び第 2 の画素電極 21、23 に対する第 1 及び第 2 のデータ線 22、44 の接続関係及び配置関係を概略的に示している。

【 0 0 4 3 】

この例によれば、図 12 から明らかなように、一の単位画素の第 1 の画素電極 21 に第 1 の画素電圧を印加する第 1 のデータ線 22 と、隣接する単位画素の第 2 の画素電極 23 に第 1 の画素電圧と互いに極性の異なる第 2 の画素電圧を印加する第 2 のデータ線 44 とが、パッシベーション膜 25 を介して重畳するように配置されているので、重畳している第 1 のデータ線 22 と第 2 のデータ線 44 の画素電圧の極性を同一にできる。この結果、両データ線 22、44 同士が互いの電位へ与える影響を少なくすることができる。

これ以外は、上述した第 1 実施例と略同様である。それゆえ、図 8 ~ 図 10 において、図 1 ~ 図 4 の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【 0 0 4 4 】

このように、この例の構成によっても、第 1 実施例において述べたのと略同様の効果を得ることができる。

加えて、この例の構成によれば、2つのデータ線同士が互いの電位へ与える影響を少なくすることができる。

【 0 0 4 5 】

第 3 実施例

図 13 は、この発明の第 3 実施例である液晶表示装置の構成を示す平面図、図 14 は図 13 の D - D 矢視断面図、図 15 は図 13 の E - E 矢視断面図、また、図 16 ~ 図 20 は同液晶表示装置の製造方法を工程順に示す工程図、図 21 は同液晶表示装置の駆動回路を示す図、図 22 は図 21 の端子部 A 及び端子部 B を拡大して示す図、図 23 ~ 図 25 は同液晶表示装置の他の製造方法を工程順に示す工程図である。この発明の第 3 実施例である液晶表示装置の構成が、上述した第 1 実施例の構成と大きく異なるところは、第 1 及び第 2 のデータ線を覆うように共通電極を配置し、かつ共通電極と画素電極とを同一層で同一工程で形成するようにした点である。

すなわち、この例の液晶表示装置は、図 13 ~ 図 15 に示すように、第 1 及び第 2 の画素電極 21、23 及び第 2 のデータ線 24 を覆うように第 2 のパッシベーション膜 40 が形成され、第 2 のパッシベーション膜 40 上には第 2 の層間絶縁膜 26 及び第 3 の層間絶縁膜 42 が形成されて、第 3 の層間絶縁膜 42 上には ITO (Indium-Tin-Oxide) から成る第 1 及び第 2 の画素電極 41、43 及び共通電極 9 が形成されている。また、第 1 の画素電極 41 は、パッシベーション膜 25、第 2 の層間絶縁膜 26 に形成されたコンタクトホール 38 を介して第 1 のソース電極 17 に接続されている。また、第 2 の画素電極 43 は、パッシベーション膜 25、第 2、第 3 の層間絶縁膜 26、42 に形成されたコンタクトホールを介して第 2 のソース電極 19 に接続されている。

【 0 0 4 6 】

この例によれば、図 1 4 から明らかなように、第 1 の画素電極 2 1、4 1 及び第 2 の画素電極 2 3、4 3 及び共通電極 9 によって横方向電界を発生させる場合、第 1 の配向膜 2 7 を介して液晶 3 に近い位置に第 1 及び第 2 の画素電極 4 1、4 3 及び共通電極 9 が形成されているので、横方向電界を液晶 3 に加わり易くすることができ、低駆動電圧化を図ることができる。また、データ線からの漏れ電界を最上層に形成された共通電極 9 でシールドすることができるので、ブラックマトリクス層 3 4 の面積を縮小させることが可能となり、さらなる開口率の向上を図ることができる。

【 0 0 4 7 】

次に、図 1 6 ~ 図 2 0 を参照して、この例の液晶表示装置の製造方法を工程順に説明する。なお、以下の工程において、M - M、N - N 及び O - O はそれぞれ図 2 2 に示した対応部分の断面図を示している。

10

まず、図 1 6 (a) に示すように、ガラス等から成る第 1 の透明基板 6 を用いて、スパッタ法により全面に Cr 膜を形成した後、ウェットエッチング法により Cr 膜を所望の形状にパターニングして、走査線 8 及び共通電極 9 を形成する。

【 0 0 4 8 】

次に、図 1 6 (b) に示すように、CVD 法により全面にゲート絶縁膜となる SiO_x 膜と SiN_x 膜との積層膜から成る第 1 の層間絶縁膜 1 0 を形成する。次に、図 1 6 (c) に示すように、P (Plasma) - CVD 法により全面に (- Si) 膜 1 2 及び (n^+ 型 - Si) 膜 1 5 を順次に形成する。

【 0 0 4 9 】

20

次に、図 1 6 (d) に示すように、ドライエッチング法により両膜 1 2、1 5 を所望の形状にパターニングして第 2 の半導体層 1 4 を形成する。次に、図 1 6 (e) に示すように、スパッタ法により全面に Cr 層を形成した後、ドライエッチング法により Cr 層を所望の形状にパターニングして第 2 のドレイン電極 1 8 及びソース電極 1 9、第 1 及び第 2 の画素電極 2 1、2 3、第 1 のデータ線 2 2 を形成する。なお、図示において右側の第 1 のデータ線 2 2 は隣接する単位画素のものである。次に、図 1 6 (f) に示すように、ドライエッチング法により第 1 の半導体層 1 4 を選択的にエッチングしてチャネル掘り込み 2 0 を形成する。以上により、第 2 の TFT 3 0 が形成される。なお、図示は省略しているが、第 1 の透明基板 6 上の他の位置には第 1 の TFT 2 9 が形成される。

【 0 0 5 0 】

30

次に、図 1 7 (g) に示すように、CVD 法により全面にパッシベーション膜となる SiN_x 膜 4 5 を形成する。次に、図 1 7 (h) に示すように、スピンコート法により全面に第 2 の層間絶縁膜となる感光性の有機絶縁膜 4 6 を形成する。次に、図 1 7 (i) に示すように、有機絶縁膜 4 6 を露光、現像処理して、コンタクトホール 2 8 A、3 8 A を形成する。次に、図 1 8 (j) に示すように、ドライエッチング法により SiN_x 膜 4 5 にコンタクトホール 2 8 B、3 8 B を形成する。以上により、各コンタクトホール 2 8 A、2 8 B がつながってコンタクトホール 2 8 が形成される。

【 0 0 5 1 】

次に、図 1 8 (k) に示すように、スパッタ法により全面に Mo 膜を形成した後、ウェットエッチング法により Mo 膜を所望の形状にパターニングして、第 2 の TFT 3 0 のドレイン電極 1 8 に接続されるように第 2 のデータ線 2 4 を形成する。次に、図 1 9 (l) に示すように、スピンコート法により全面に第 3 の層間絶縁膜となる感光性の有機絶縁膜 4 7 を形成した後、図 1 9 (m) に示すように、有機絶縁膜 4 7 を露光、現像処理してコンタクトホール 3 8 C を形成する。以上により、各コンタクトホール 3 8 A、3 8 B、3 8 C がつながってコンタクトホール 3 8 が形成される。また、有機絶縁膜 4 6、4 7 によりそれぞれ第 2 の層間絶縁膜 2 6 及び第 3 の層間絶縁膜 4 2 が形成される。

40

【 0 0 5 2 】

次に、図 2 0 (n) に示すように、スパッタ法により全面に ITO 膜を形成した後、ウェットエッチング法により ITO 膜を所望の形状にパターニングして、第 1 及び第 2 の画素電極 4 1、4 3 及び共通電極 9 を形成する。以上により、この例の液晶表示装置の主要部

50

が形成される。

以上のような液晶表示装置の製造方法によれば、周知の導電膜及び絶縁膜を含む薄膜形成手段、及び周知の薄膜パターンニング手段を組み合わせることで、コストアップを伴うことなく液晶表示装置を容易に製造することができる。

【0053】

図21は、この例の液晶表示装置の駆動回路を示す図、図22は図21の端子部A及び端子部Bを拡大して示す図である。マトリクス状に配置された単位画素5の走査線8には走査線駆動回路51が接続されて走査線信号が入力されるとともに、第1及び第2のデータ線22、24にはデータ線駆動回路52が接続されて互いに極性の異なるデータ線信号が入力される。また、共通電極配線4には共通電極配線駆動回路53が接続されて共通電位が入力される。

10

【0054】

図22から明らかなように、端子部Aには、一の単位画素の第1及び第2のデータ線22、24の第1及び第2のデータ線端子部22A、24A及び隣接する単位画素の第1及び第2のデータ線22、24（図示右側）の第1及び第2のデータ線端子部22A、24Aが接続されている。そして、第1及び第2のデータ線端子部22A、24Aには、それぞれITOで被覆された第1及び第2のデータ線端子部22a、24a、コンタクトホール部を有する第1及び第2のデータ線端子部22b、24bが設けられている。

【0055】

また、図22から明らかなように、端子部Bには、走査線8の走査線端子部8Aと共通電極配線4の共通電極配線端子部4Aとを一对として、二対の構成が接続されている。そして、走査線端子部8AにはITOで被覆された走査線端子部8a及びコンタクトホール部を有する走査線端子部8bが設けられるとともに、共通電極配線端子部4AにはITOで被覆された共通電極配線端子部4a及びコンタクトホール部を有する共通電極配線端子部4bが設けられている。

20

【0056】

次に、図23～図25を参照して、無機膜と有機膜の積層膜により第2の層間絶縁膜を構成する場合のこの例の液晶表示装置の製造方法を工程順に説明する。なお、以下の工程において、M-M、N-N及びO-Oはそれぞれ図22に示した対応部分の断面図を示している。

30

まず、図23(a)に示すように、ガラス等から成る第1の透明基板6を用いて、スパッタ法により全面にCr膜を形成した後、ウェットエッチング法によりCr膜を所望の形状にパターンニングして、走査線端子部8A及び共通電極配線端子部4Aを形成する。

【0057】

次に、図23(b)に示すように、CVD法により全面にゲート絶縁膜となる SiO_x 膜と SiN_x 膜との積層膜から成る第1の層間絶縁膜10を形成する。次に、図23(c)に示すように、P-CVD法により全面に(p-Si)膜12及び($\text{n}^+ \text{型-Si}$)膜15を順次に形成する。

【0058】

次に、図23(d)に示すように、ドライエッチング法により両膜12、15を除去した後、ドライエッチング法によりCr層を所望の形状にパターンニングして第1のデータ線22を形成する。次に、図23(e)に示すように、CVD法により全面にパッシベーション膜となる SiN_x 膜45を形成する。

40

【0059】

次に、図23(f)に示すように、スピンコート法により全面に第2の層間絶縁膜となる感光性の有機絶縁膜46を形成する。次に、図24(g)に示すように、有機絶縁膜46を露光、現像処理して、コンタクトホール55A、56A、57Aを形成する。次に、図24(h)に示すように、ドライエッチング法により SiN_x 膜45にコンタクトホール55B、56B、57Bを形成する。

【0060】

50

次に、図 2 5 (i) に示すように、スパッタ法により全面に Mo 膜を形成した後、ウェットエッチング法により Mo 膜を所望の形状にパターニングして、第 2 の TFT 3 0 のドレイン電極 1 8 に接続されるように第 2 のデータ線 2 4 を形成する。次に、図 2 5 (j) に示すように、スピンコート法により全面に第 3 の層間絶縁膜となる感光性の有機絶縁膜 4 7 を形成した後、図 2 5 (k) に示すように、有機絶縁膜 4 7 を露光、現像処理してコンタクトホール 5 5 C、5 6 C、5 7 C を形成する。以上により、各コンタクトホール 5 5 A ~ 5 5 C、5 6 A ~ 5 6 C、5 7 A ~ 5 7 C がつながって、コンタクトホール 5 5、5 6、5 7 が形成される。

【 0 0 6 1 】

次に、図 2 5 (l) に示すように、スパッタ法により全面に ITO 膜を形成した後、ウェットエッチング法により ITO 膜を所望の形状にパターニングして、それぞれ ITO で被覆された走査線端子部 8 a、共通電極配線端子部 4 a、第 1 のデータ線端子部 2 2 a 及び第 2 のデータ線端子部 2 4 a を形成する。以上により、この例の液晶表示装置の端子部 A、端子部 B が形成される。

【 0 0 6 2 】

このように、この例の構成によっても、第 1 実施例において述べたのと略同様の効果を得ることができる。

加えて、この例の構成によれば、液晶に近い位置に第 1 及び第 2 の画素電極及び共通電極が形成されているので、横方向電界を液晶に加わり易くすることができ、低駆動電圧化を図ることができる。

加えて、この例の構成によれば、データ線からの漏れ電界を最上層に形成された共通電極でシールドすることができるので、ブラックマトリクス層の面積を縮小させることが可能となり、さらなる開口率の向上を図ることができる。

さらに、加えて、この例における液晶表示装置の製造方法によれば、コストアップを伴うことなく液晶表示装置を容易に製造することができる。

【 0 0 6 3 】

第 4 実施例

図 2 6 は、この発明の第 4 実施例である液晶表示装置の構成を示す平面図、図 2 7 は図 2 6 の F - F 矢視断面図、図 2 8 は図 2 6 の G - G 矢視断面図である。この発明の第 4 実施例である液晶表示装置の構成が、上述した第 1 実施例の構成と大きく異なるところは、2 つの画素電極を覆うようにパッシベーション膜を存在させるようにした点である。

すなわち、この例の液晶表示装置は、図 2 7 に示すように、第 1 のデータ線 2 2 の表面だけでなく第 1 及び第 2 の画素電極 2 1、2 3 の表面にもパッシベーション膜 2 5 が形成されている。

【 0 0 6 4 】

この例によれば、第 1 及び第 2 の画素電極 2 1、2 3 は第 1 のデータ線 2 2 と同様に膜厚の厚いパッシベーション膜 2 5 で覆われているので、液晶 3 の影響を受けることが少なくなる。したがって、第 1 及び第 2 の画素電極 2 1、2 3 の金属としては、前述したような Al、Mo、Ti 等の液晶 2 に対して安定な金属に制約されずに、液晶 3 の影響を受け易いと言われている Cr 等の金属も用いることができる。したがって、画素電極として用いる金属の選択の範囲を広げることができるようになる。

【 0 0 6 5 】

このように、この例の構成によっても、第 1 実施例において述べたのと略同様の効果を得ることができる。

加えて、この例の構成によれば、画素電極として用いる金属の選択の範囲を広げることができる。

【 0 0 6 6 】

第 5 実施例

図 2 9 は、この発明の第 5 実施例である液晶表示装置の構成を示す平面図、図 3 0 は図 2 9 の H - H 矢視断面図、図 3 1 は図 2 9 の I - I 矢視断面図である。この発明の第 5 実施

例である液晶表示装置の構成が、上述した第1実施例の構成と大きく異なるところは、TFT基板に色層を形成するようにした点である。

すなわち、この例の液晶表示装置は、図30に示すように、TFT基板1上の第1及び第2の画素電極21、23、第1のデータ線22を覆っているパッシベーション膜25上の略中央部には青色層35Bが、この青色層35Bの両側位置にはそれぞれ緑色層35G、赤色層35Rが形成されて、各色層の境界部にはブラックマトリクス層34が形成されている。ブラックマトリクス層34及び各色層35G、35B、35Rを覆うように平坦化膜36が形成されて、平坦化膜36上には第1のデータ線22と重畳するように第2のデータ線24が形成されている。

【0067】

10

この例によれば、色層及びブラックマトリクス層を形成したTFT基板1に平坦化膜36を介して第1及び第2のデータ線22、24を重畳させるようにしたので、色層及びブラックマトリクス層を対向基板2側に形成されている構成に比較して、両基板1、2間に液晶3を封入して液晶表示装置を製造する場合に、両基板1、2のずれを考慮した重ね合わせマージンをとる必要がなくなるので、より開口率を高めることが可能となる。

【0068】

このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。

加えて、この例の構成によれば、より開口率を高めることが可能となる。

【0069】

20

第6実施例

図32は、この発明の第6実施例である液晶表示装置の構成を示す平面図、図33は図32のJ-J矢視断面図、図34は図32のK-K矢視断面図である。この発明の第6実施例である液晶表示装置の構成が、上述した第1実施例の構成と大きく異なるところは、TN形の液晶表示装置に適用するようにした点である。

すなわち、この例の液晶表示装置は、図32～図34に示すように、TFT基板1上の第1の層間絶縁膜10上に形成された第1のデータ線22は第1のTFT29を介して第1の画素電極21に接続されるとともに、パッシベーション25を介して第1のデータ線22と重畳するように形成された第2のデータ線24は第2のTFT30を介して第2の画素電極23に接続されている。また、第2のデータ線24を覆うように第1の配向膜27

30

【0070】

一方、対向基板2上の平坦化膜36上にはITOから成る共通電極9が形成され、共通電極9を覆うように第2の配向膜37が形成されている。

これ以外は、上述した第1実施例と略同様である。それゆえ、図32～図34において、図1～図4の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【0071】

この例によれば、IPS形に比較して開口率に優れているTN形の液晶表示装置に適用して、TFT基板1上でパッシベーション膜25を介して第1及び第2のデータ線22、24を重畳させるようにしたので、開口率をより向上させることができるようになる。

40

【0072】

このように、この例の構成によっても、第1実施例において述べたのと略同様の効果を得ることができる。

加えて、この例の構成によれば、TN形の液晶表示装置に適用したので開口率をより向上させることができる。

【0073】

以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあってもこの発明に含まれる。例えば、実施例では表示すべき単位画素を選択するための駆動素子としてはTFTを用いる例で説明したが、駆動素子はTFTに限ることなくMIM(Metal Insu

50

lator Metal) 型素子、ダイオード型素子、バリスタ型素子等の二端子素子を用いてもよい。また、実施例では駆動素子基板としてはガラス等の透明基板を用いる透明型の液晶表示装置の例で説明したが、駆動素子基板は透明基板に限ることなく多結晶シリコン等の不透明基板を用いてもよい。この場合には、液晶表示装置は反射型となり、画素電極が反射板を兼ねた反射電極として動作することになる。また、第 1 及び第 2 のデータ線間に形成するパッシベーション膜の絶縁膜材料、膜厚等の条件は一例を示したものであり、目的、要件と等に応じて変更が可能である。

【 0 0 7 4 】

【発明の効果】

以上説明したように、この発明の液晶表示装置の構成によれば、第 1 及び第 2 の T F T を介して互いに極性の異なる画素電圧を第 1 及び第 2 の画素電極に印加する第 1 及び第 2 のデータ線は、絶縁膜を介して重畳されるように形成されているので、単位画素内でデータ線が占有する面積を 1 つのデータ線の場合と幅変化がないように抑えることができる。

また、この発明の液晶表示装置の製造方法の構成によれば、周知の薄膜形成手段、及び周知の薄膜パターニング手段を組み合わせることで、コストアップを伴うことなく液晶表示装置を容易に製造することができる。

したがって、開口率を低下させることなく、表示画面上で同極性の画素のみを表示させる場合でもフリッカが強く発生するのを抑制することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 実施例である液晶表示装置の構成を示す平面図である。

【図 2】図 1 の A - A 矢視断面図である。

【図 3】図 1 の B - B 矢視断面図である。

【図 4】同液晶表示装置から第 2 のデータ線を取り除いた構成を示す平面図である。

【図 5】同液晶表示装置の第 2 のデータ線のパターンを示す平面図である。

【図 6】同液晶表示装置のデータ線と画素電極との接続関係及び配置関係を概略的に示す図である。

【図 7】同液晶表示装置のデータ線から供給される画素電圧の波形を示す図である。

【図 8】この発明の第 2 実施例である液晶表示装置の構成を示す平面図である。

【図 9】図 8 の C - C 矢視断面図である。

【図 10】同液晶表示装置から第 2 のデータ線を取り除いた構成を示す平面図である。

【図 11】同液晶表示装置の第 2 のデータ線のパターンを示す平面図である。

【図 12】同液晶表示装置のデータ線と画素電極との接続関係及び配置関係を概略的に示す図である。

【図 13】この発明の第 3 実施例である液晶表示装置の構成を示す平面図である。

【図 14】図 13 の D - D 矢視断面図である。

【図 15】図 13 の E - E 矢視断面図である。

【図 16】同液晶表示装置の製造方法を工程順に示す工程図である。

【図 17】同液晶表示装置の製造方法を工程順に示す工程図である。

【図 18】同液晶表示装置の製造方法を工程順に示す工程図である。

【図 19】同液晶表示装置の製造方法を工程順に示す工程図である。

【図 20】同液晶表示装置の製造方法を工程順に示す工程図である。

【図 21】同液晶表示装置の駆動回路を示す図である。

【図 22】同駆動回路の端子部 A 及び端子部 B を拡大して示す図である。

【図 23】同液晶表示装置の他の製造方法を工程順に示す工程図である。

【図 24】同液晶表示装置の他の製造方法を工程順に示す工程図である。

【図 25】同液晶表示装置の他の製造方法を工程順に示す工程図である。

【図 26】この発明の第 4 実施例である液晶表示装置の構成を示す平面図である。

【図 27】図 26 の F - F 矢視断面図である。

【図 28】図 26 の G - G 矢視断面図である。

【図 29】この発明の第 5 実施例である液晶表示装置の構成を示す平面図である。

- 【図 30】図 29 の H - H 矢視断面図である。
 【図 31】図 26 の I - I 矢視断面図である。
 【図 32】この発明の第 6 実施例である液晶表示装置の構成を示す平面図である。
 【図 33】図 32 の J - J 矢視断面図である。
 【図 34】図 32 の K - K 矢視断面図である。
 【図 35】従来の液晶表示装置の構成を示す平面図である。
 【図 36】図 35 の L - L 矢視断面図である。
 【図 37】液晶表示装置の駆動に用いる信号波形を示す図である。
 【図 38】液晶表示装置の駆動方法を説明する図である。
 【図 39】従来の液晶表示装置の駆動回路を示す図である。
 【図 40】同駆動回路の端子部 A 及び端子部 B を拡大して示す図である。
 【図 41】従来の液晶表示装置の欠点を説明する図である。
 【図 42】従来の液晶表示装置の構成を示す図である。

10

【符号の説明】

- 1 TFT 基板
 2 対向基板
 3 液晶
 4 共通電極配線
 4 A 共通電極配線端子部
 4 a ITO で被覆された共通電極配線端子部
 4 b コンタクトホール部を有する共通電極配線端子部
 5 単位画素
 6、31 透明基板
 7、33 偏光板
 8 走査線（ゲートバスライン）
 8 A 走査線端子部
 8 a ITO で被覆された走査線端子部
 8 b コンタクトホール部を有する走査線端子部
 9 共通電極
 10、26、42 層間絶縁膜
 12 (- Si) 膜
 11 A、11 B 第 1 の一対のオーミック層
 12 A、12 B 第 2 の一対のオーミック層
 13、14 半導体層
 15 (n⁺型 - Si) 膜
 16、18 ドレイン電極
 17、19 ソース電極
 20 チャンネル掘り込み
 21、23、41、43 画素電極
 22、24、44 データ線
 22 A 第 1 のデータ線端子部
 22 a ITO で被覆された第 1 のデータ線端子部
 22 b コンタクトホール部を有する第 1 のデータ線端子部
 24 A 第 2 のデータ線端子部
 24 a ITO で被覆された第 2 のデータ線端子部
 24 b コンタクトホール部を有する第 2 のデータ線端子部
 25、40 パッシベーション膜
 27、37 配向膜
 28、28 A、28 B、38、38 A ~ 38 C、55、55 A ~ 55 C、56 A ~ 56 C
 、57 A ~ 57 C コンタクトホール

20

30

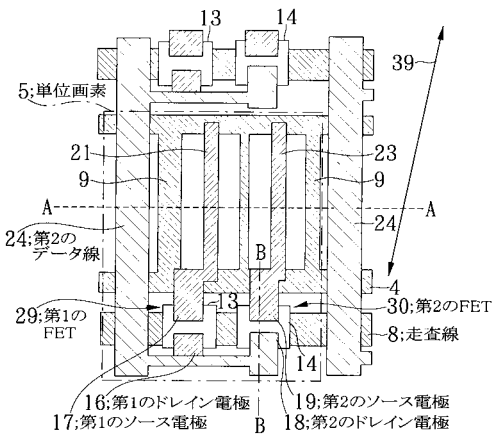
40

50

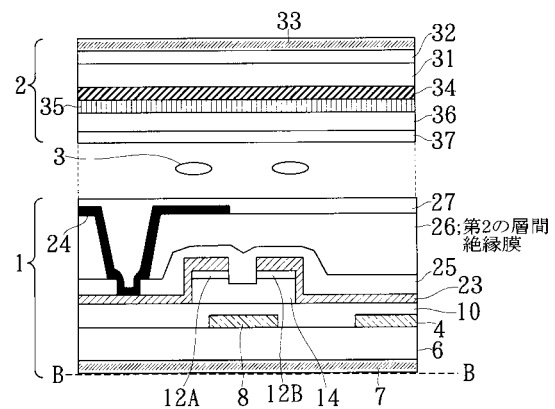
- 29、30 TFT（駆動素子）
 32 導電層
 34 ブラックマトリクス層
 35 色層
 36 平坦化膜
 39 ラビング方向
 45 SiN_x膜
 46 有機絶縁膜
 47 有機絶縁膜
 51 走査線駆動回路
 52 データ線駆動回路
 53 共通電極配線駆動回路

10

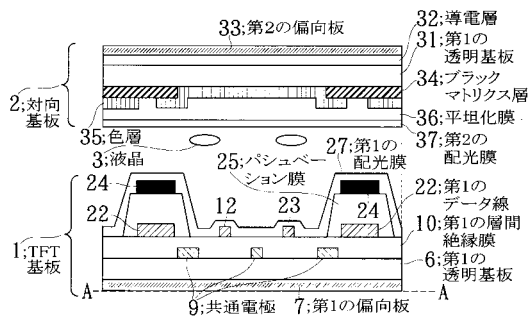
【図1】



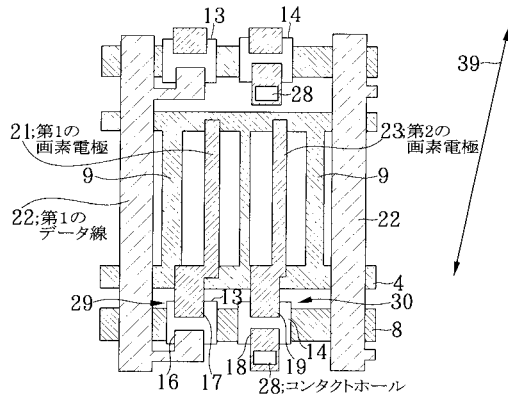
【図3】



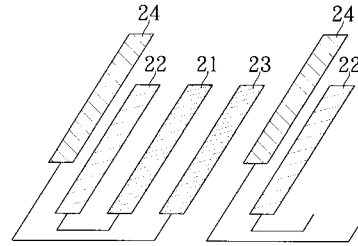
【図2】



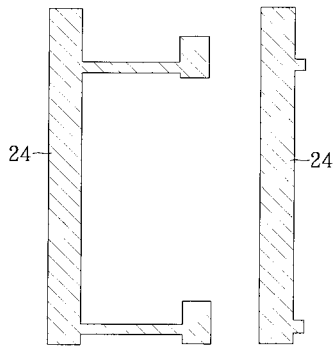
【図 4】



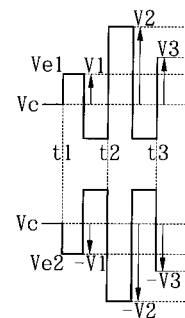
【図 6】



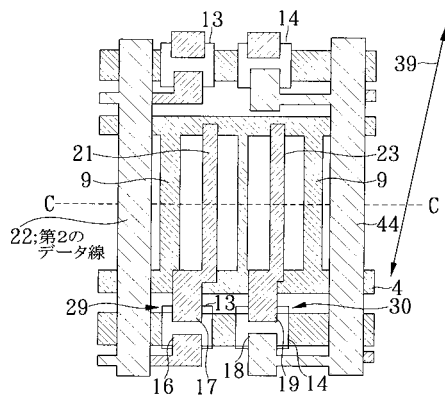
【図 5】



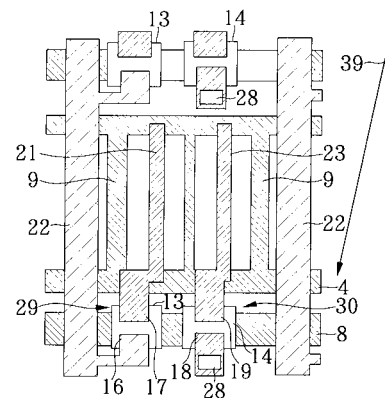
【図 7】



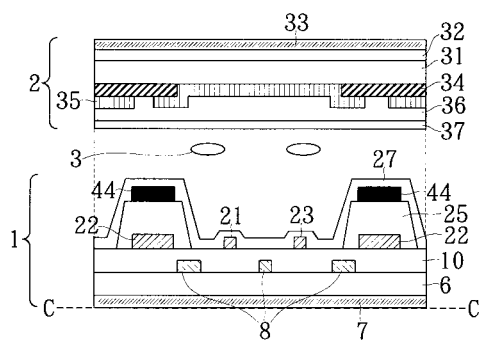
【図 8】



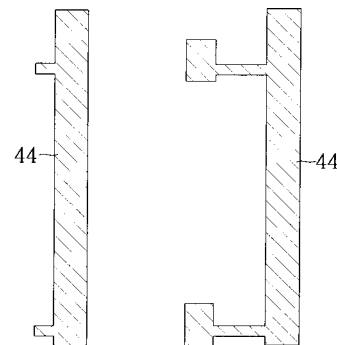
【図 10】



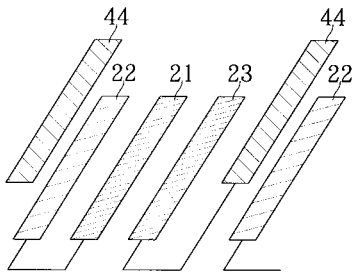
【図 9】



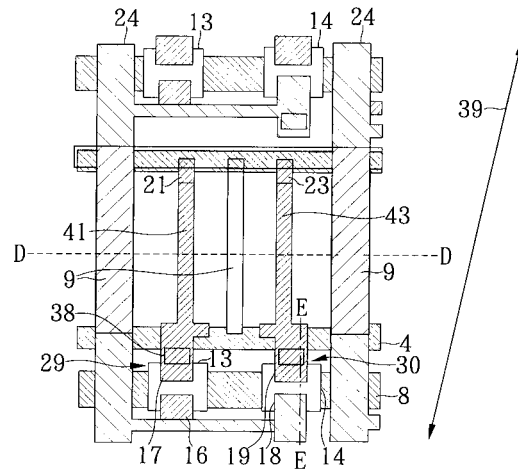
【図 11】



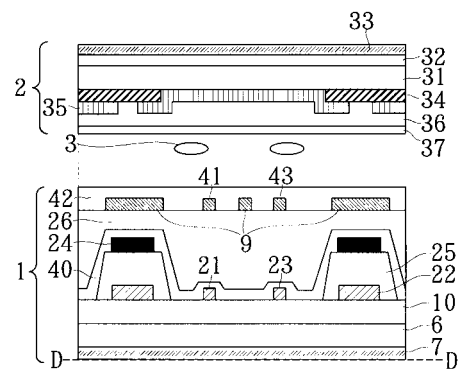
【図 12】



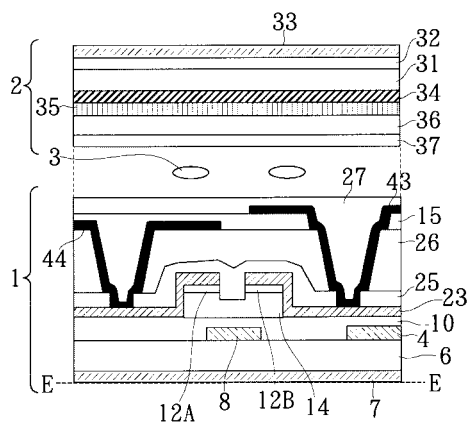
【図 13】



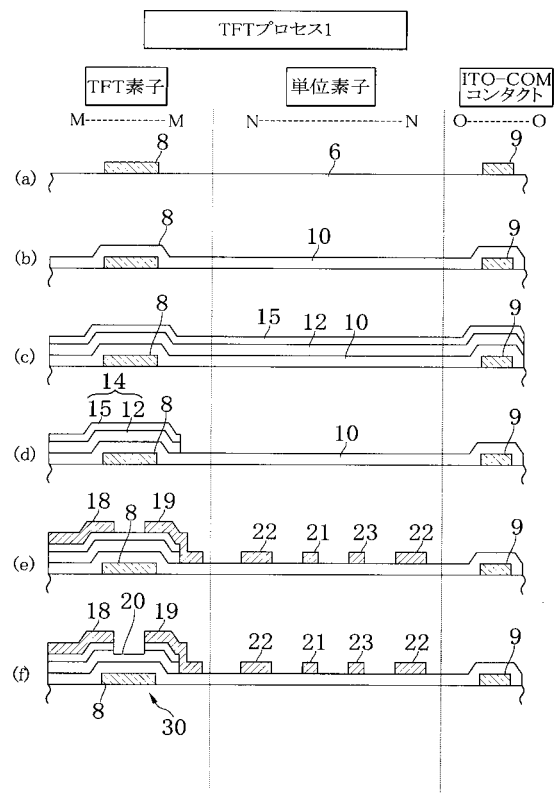
【図 14】



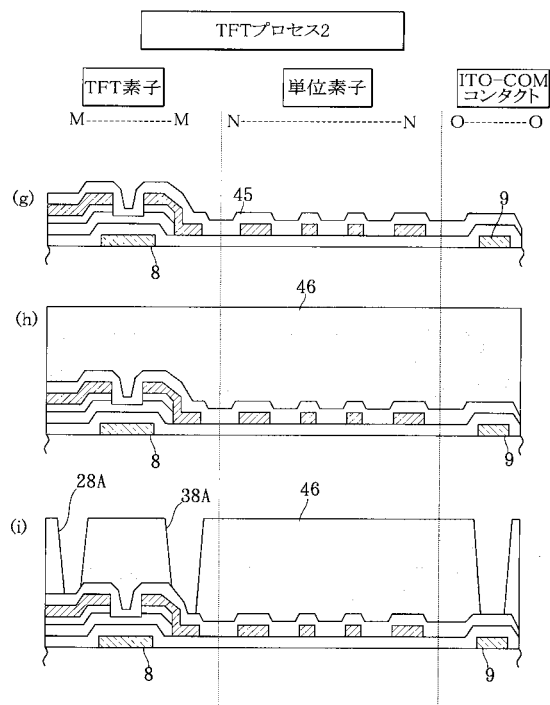
【図 15】



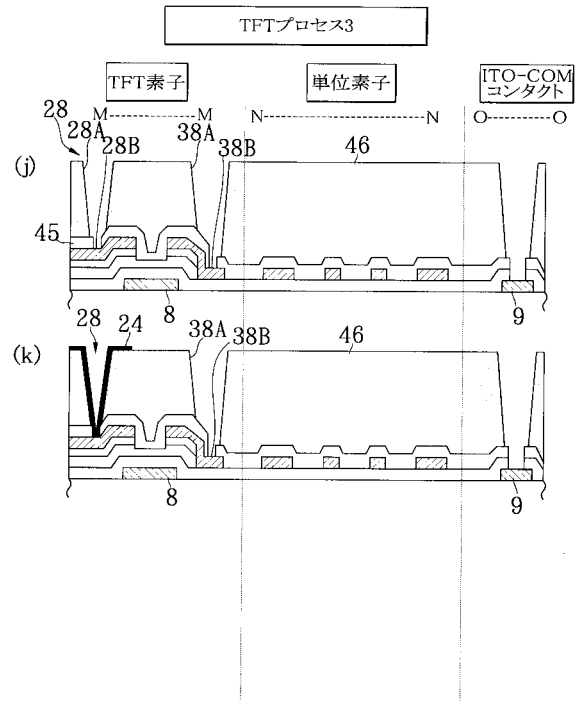
【図 16】



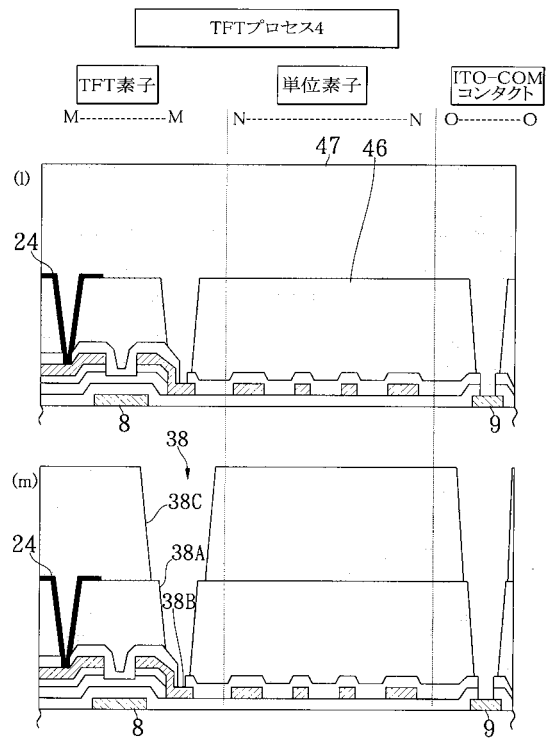
【図 17】



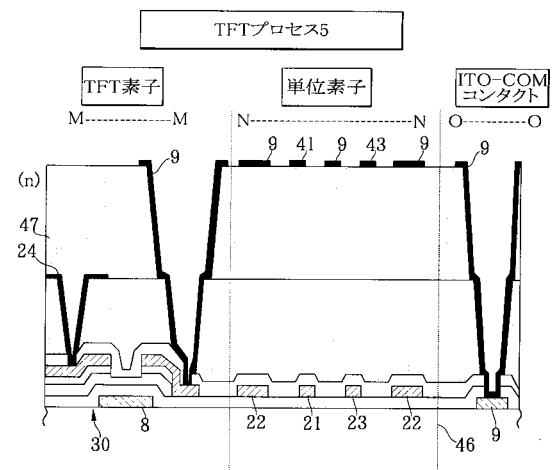
【図 18】



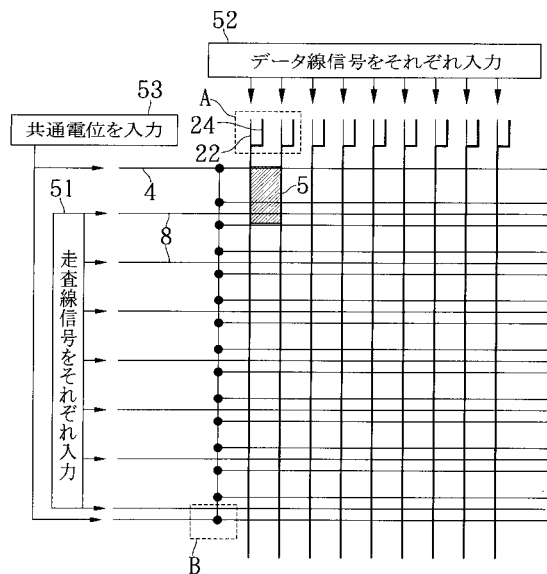
【図 19】



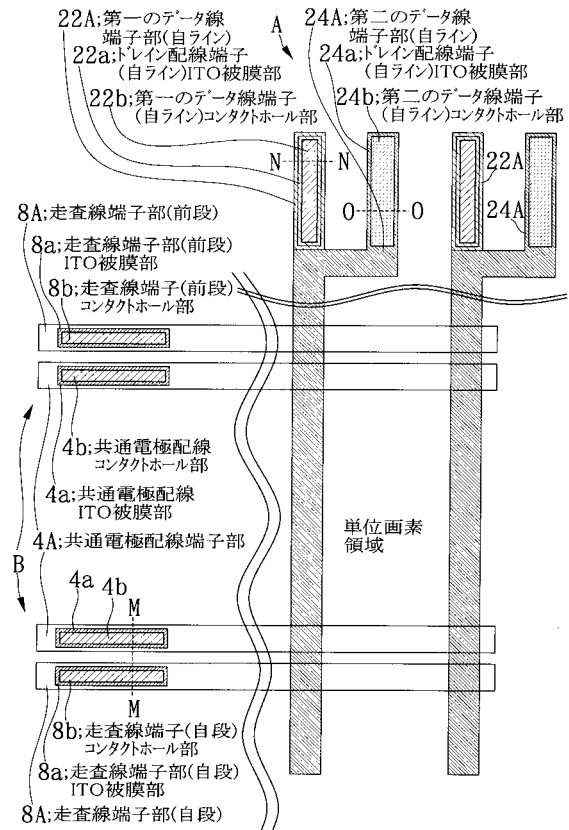
【図 20】



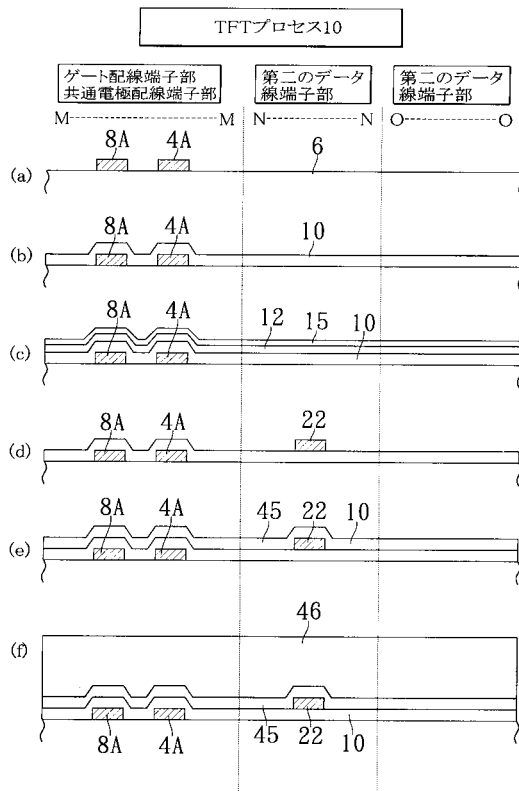
【図 2 1】



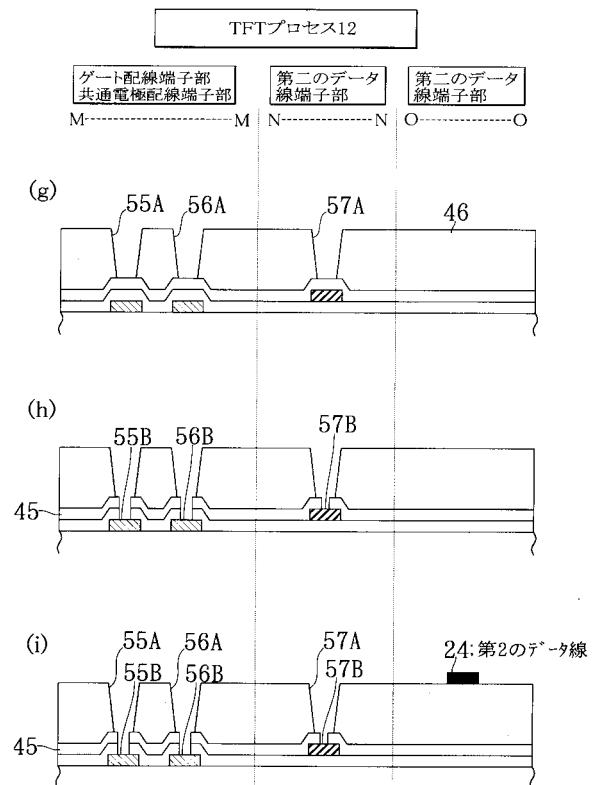
【図 2 2】



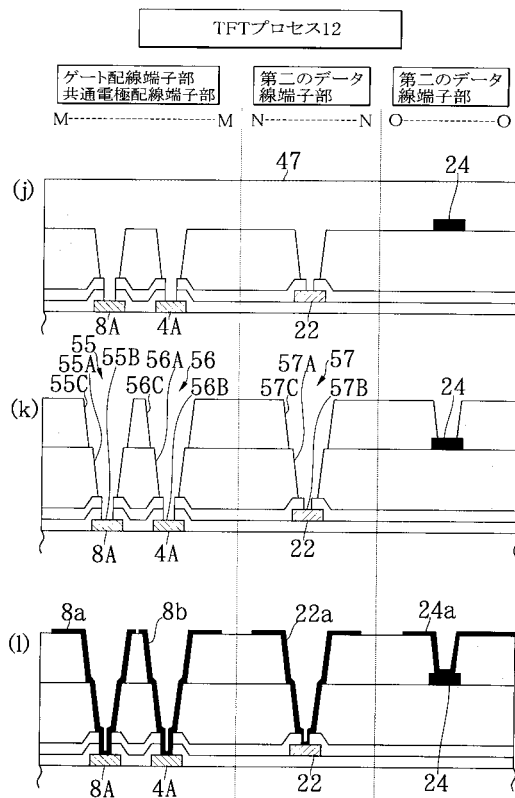
【図 2 3】



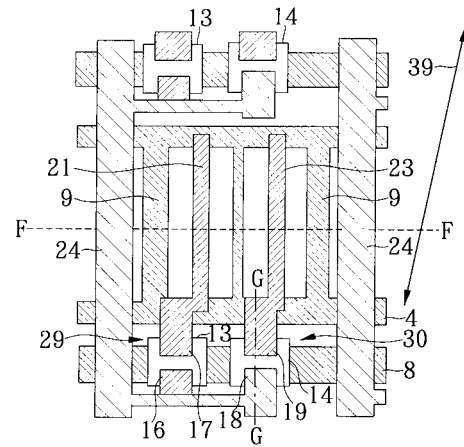
【図 2 4】



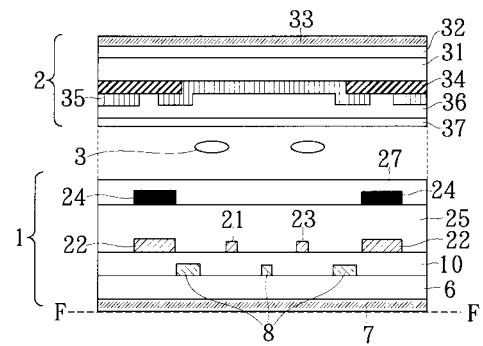
【図 25】



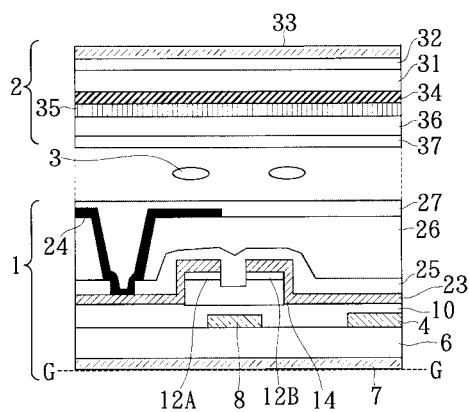
【図 26】



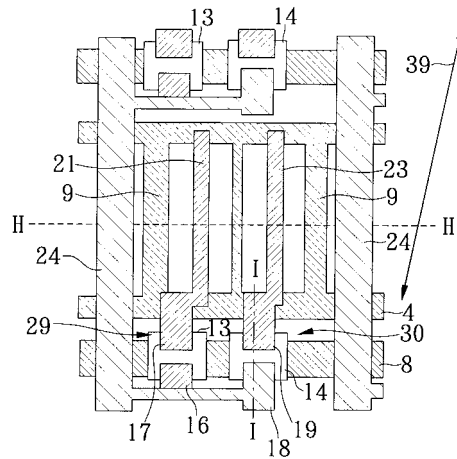
【図 27】



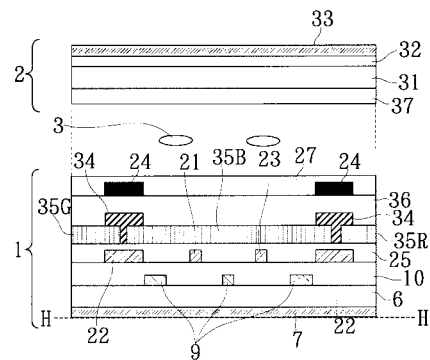
【図 28】



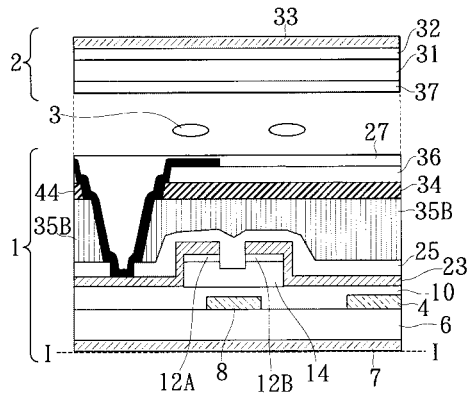
【図 29】



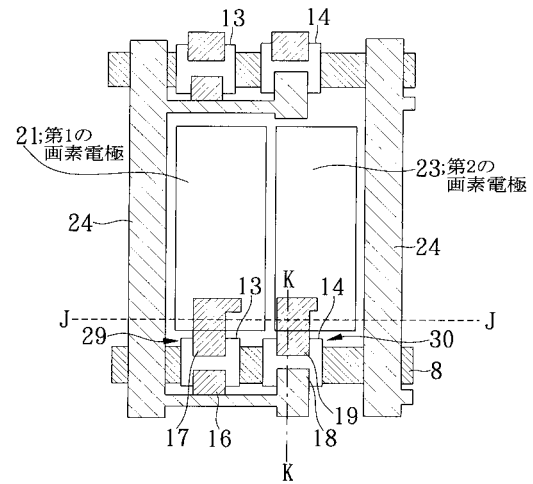
【図 30】



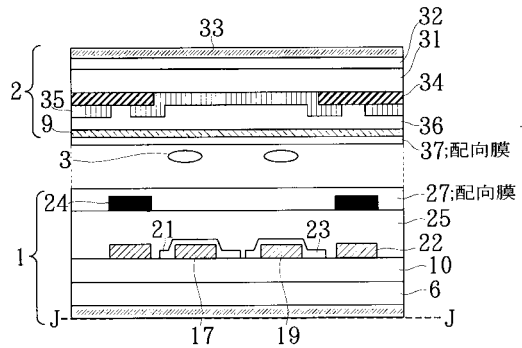
【図 3 1】



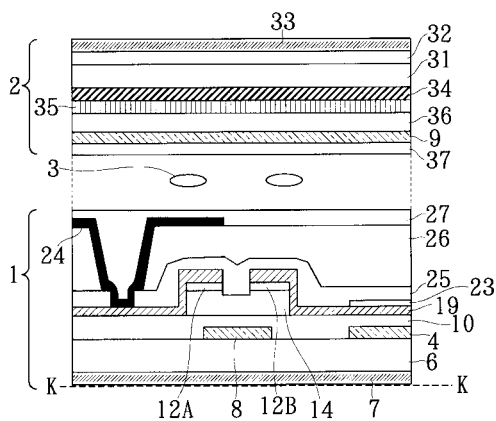
【図 3 2】



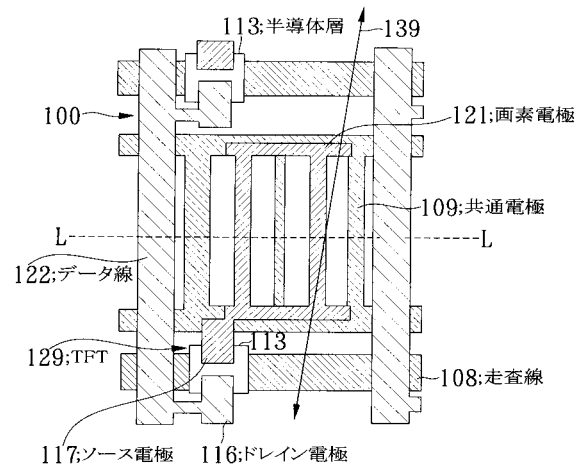
【図 3 3】



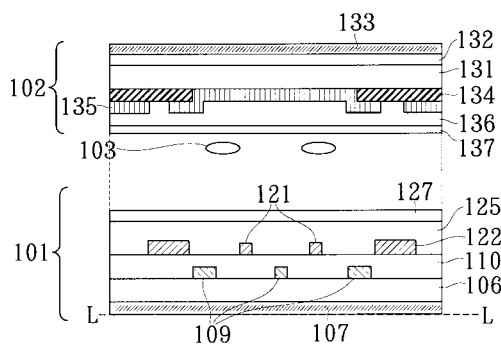
【図 3 4】



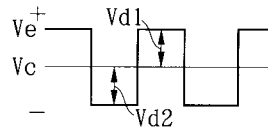
【図 3 5】



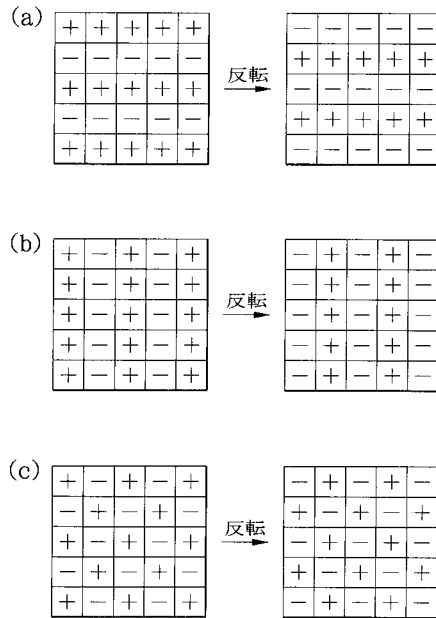
【図 3 6】



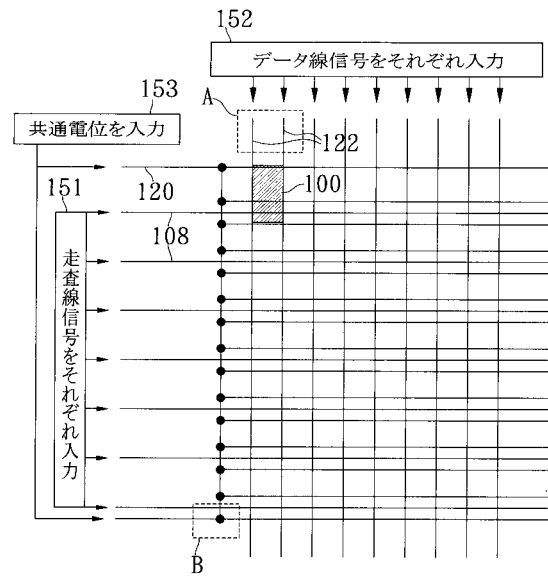
【図 37】



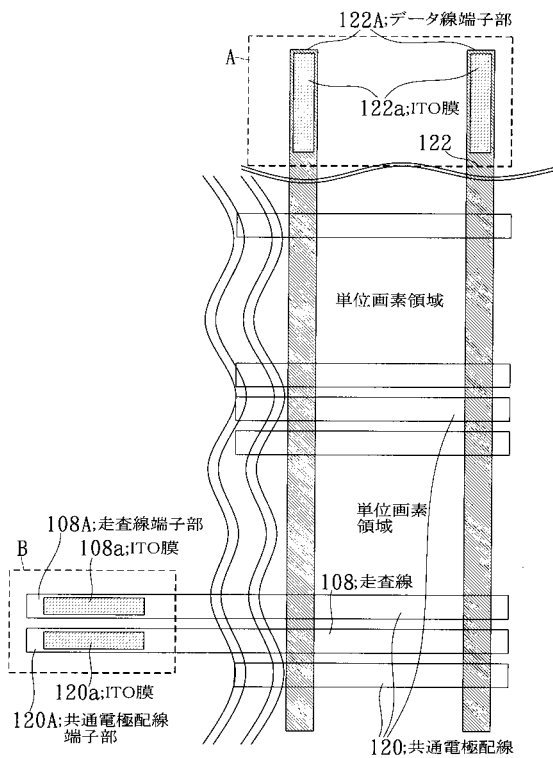
【図 38】



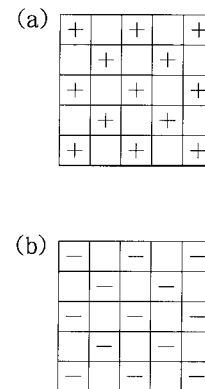
【図 39】



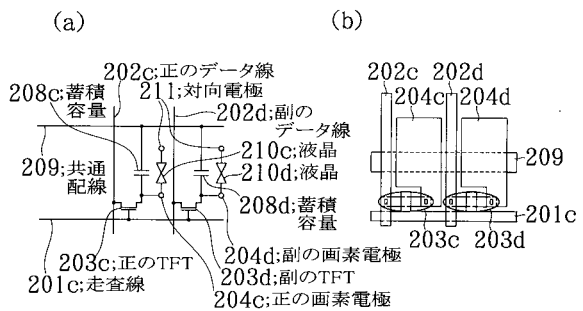
【図 40】



【図 41】



【図 42】



 フロントページの続き

(51) Int.Cl.		F I	
G 0 2 F	1/139	(2006.01)	G 0 2 F 1/139
H 0 1 L	21/336	(2006.01)	H 0 1 L 29/78 6 1 2 D
H 0 1 L	29/786	(2006.01)	H 0 1 L 29/78 6 1 9 A

(56) 参考文献 特開平 0 9 - 0 4 3 6 3 0 (J P , A)
 特開 2 0 0 0 - 2 3 5 3 7 1 (J P , A)
 特開 2 0 0 0 - 2 9 2 8 0 1 (J P , A)
 特開平 9 - 8 0 4 7 2 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

G02F 1/1368
 G02F 1/1343
 G02F 1/133

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4757393B2	公开(公告)日	2011-08-24
申请号	JP2001085545	申请日	2001-03-23
申请(专利权)人(译)	NEC公司		
当前申请(专利权)人(译)	NEC LCD科技有限公司		
[标]发明人	松本公一		
发明人	松本 公一		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1333 G02F1/1335 G02F1/1343 G02F1/139 H01L21/336 H01L29/786 G02F1/1345 G02F1/1362 G09G3/36		
CPC分类号	G02F1/1345 G02F1/134363 G02F1/13624 G02F2001/13629 G09G3/3614 G09G3/3648 G09G2300/0434 G09G2300/0443 G09G2320/0247		
FI分类号	G02F1/1368 G02F1/133.550 G02F1/1333.505 G02F1/1335.505 G02F1/1343 G02F1/139 H01L29/78.612.D H01L29/78.619.A		
F-TERM分类号	2H088/FA02Y 2H088/FA13Y 2H088/FA14Y 2H088/FA22X 2H088/FA22Z 2H088/FA30X 2H088/FA30Z 2H088/FA34Y 2H088/FB02 2H088/FC08 2H088/FC09 2H088/FD09 2H088/FD12 2H088/FD20 2H088/FD25 2H088/GA02 2H088/HA02 2H088/HA08 2H088/HA12 2H088/JA04 2H088/MA07 2H088/MA20 2H090/HA02 2H090/HA06 2H090/HB02X 2H090/HB03X 2H090/HB04X 2H090/HB06X 2H090/HB07X 2H090/HB08X 2H090/HB12X 2H090/HB13X 2H090/KA04 2H090/LA01 2H090/LA04 2H090/LA15 2H091/FA04Y 2H091/GA07 2H091/GA13 2H091/HA06 2H091/LA15 2H091/LA30 2H092/GA14 2H092/GA25 2H092/JA26 2H092/JB52 2H092/JB56 2H092/KB25 2H092/KB26 2H092/MA37 2H092/NA07 2H092/NA25 2H092/PA06 2H092/PA08 2H092/QA06 2H093/NA16 2H093/NA21 2H093/NA31 2H093/NA43 2H093/ND10 2H093/NE03 2H093/NF04 2H190/HA02 2H190/HA06 2H190/HB02 2H190/HB03 2H190/HB04 2H190/HB06 2H190/HB07 2H190/HB08 2H190/HB12 2H190/HB13 2H190/KA04 2H190/LA01 2H190/LA04 2H190/LA15 2H191/FA06Y 2H191/GA10 2H191/GA19 2H191/HA05 2H191/LA19 2H191/LA40 2H192/AA24 2H192/AA43 2H192/AA44 2H192/BB02 2H192/BB03 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC64 2H192/EA02 2H192/EA22 2H192/EA42 2H192/EA43 2H192/EA67 2H192/FA65 2H192/GA03 2H192/GD61 2H192/JA06 2H192/JA33 2H193/ZA04 2H193/ZC04 2H193/ZC07 2H193/ZC13 2H193/ZC20 2H193/ZP03 2H193/ZQ16 2H291/FA06Y 2H291/GA10 2H291/GA19 2H291/HA05 2H291/LA19 2H291/LA40 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF29 5F110/GG02 5F110/GG15 5F110/GG45 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK33 5F110/HK35 5F110/HL03 5F110/HL04 5F110/HL07 5F110/HL23 5F110/NN22 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN36		
代理人(译)	西村 征生		
其他公开文献	JP2002287163A		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使在仅使像素具有相同极性的情况下，也能够在不降低孔径比的情况下在显示屏上显示，以抑制闪烁强烈地产生。解决方案：在该液晶显示装置中，第一和第二数据线22,24用于通过第一和第二TFT（薄膜晶体管）29,30将极性彼此不同的像素电压施加到第一和第二像素电极21,23。形成为与钝化膜35堆叠在一起。

	材 料	膜 厚	誘 電 率
(1) 無機膜のみの場合	SiN _x (窒化シリコン膜)	1~3 μm	6.4
	SiN _x /	1 μm/	6.4/
	SiO _x (酸化シリコン膜)	0.5 μm	4.0
	無機シリチン膜	1~2 μm	4.5
	SiN _x /	0.15 μm/	6.4/
	無機シリチン膜	1~2 μm	4.5