

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4754166号
(P4754166)

(45) 発行日 平成23年8月24日 (2011. 8. 24)

(24) 登録日 平成23年6月3日 (2011. 6. 3)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 505

G09G 3/20 612J

G09G 3/20 612K

G09G 3/20 621A

請求項の数 8 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2003-359734 (P2003-359734)
 (22) 出願日 平成15年10月20日 (2003. 10. 20)
 (65) 公開番号 特開2005-122062 (P2005-122062A)
 (43) 公開日 平成17年5月12日 (2005. 5. 12)
 審査請求日 平成18年10月11日 (2006. 10. 11)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100072718
 弁理士 古谷 史旺
 (74) 代理人 100116001
 弁理士 森 俊秀

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

走査線とデータ線との交差部に液晶セルを配置した液晶パネルと、
 映像信号、同期信号および外部クロック信号をそれぞれ受ける外部端子と、
 前記同期信号にตอบสนองして前記走査線および前記データ線の駆動タイミングを生成すると
 ともに、前記液晶セルに供給される前記映像信号の書き込み時間を一定にするために、前
 記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれかを
 、前記同期信号の周期に応じて変更するタイミングコントローラと、
 内部クロック信号を生成する発振回路とを備え、
 前記タイミングコントローラは、
 前記同期信号の周期を前記内部クロック信号のクロック数としてカウントするカウンタ
 と、

前記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれ
 かを、前記カウンタのカウント値に応じて前記外部クロック信号のクロック数を示すシリ
 アル番号により設定するとともに、前記同期信号の周期が所定値を超えると、前記走査
 線の駆動タイミングおよび前記データ線の駆動タイミングを所定の前記シリアル番号にそ
 れぞれ固定するタイミング設定回路とを備えていることを特徴とする液晶表示装置。

【請求項 2】

走査線とデータ線との交差部に液晶セルを配置した液晶パネルと、

映像信号、同期信号および外部クロック信号をそれぞれ受ける外部端子と、

10

20

前記同期信号にตอบสนองして前記走査線および前記データ線の駆動タイミングを生成するとともに、前記液晶セルに供給される前記映像信号の書き込み時間を一定にするために、前記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれかを、前記同期信号の周期に応じて変更するタイミングコントローラと、

内部クロック信号を生成する発振回路とを備え、

前記タイミングコントローラは、

前記同期信号に基づいて1画面を表示するための1フレームの周期を検出することで前記同期信号の周期を求めるフレーム周期検出回路と、

前記フレーム周期検出回路により検出したフレーム周期を、前記内部クロック信号のクロック数としてカウントするカウンタと、

前記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれかを、前記カウンタのカウント値に応じて前記外部クロック信号のクロック数を示すシリアル番号により設定するとともに、前記カウンタ値が示す前記フレーム周期から検出される前記同期信号の周期が所定値を超えると、前記走査線の駆動タイミングおよび前記データ線の駆動タイミングを所定の前記シリアル番号にそれぞれ固定するタイミング設定回路とを備えていることを特徴とする液晶表示装置。

【請求項3】

走査線とデータ線との交差部に液晶セルを配置した液晶パネルと、

映像信号、同期信号および外部クロック信号をそれぞれ受ける外部端子と、

前記同期信号にตอบสนองして前記走査線および前記データ線の駆動タイミングを生成するとともに、前記液晶セルに供給される前記映像信号の書き込み時間を一定にするために、前記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれかを、前記同期信号の周期に応じて変更するタイミングコントローラと、

内部クロック信号を生成する発振回路とを備え、

前記タイミングコントローラは、

前記同期信号の周期を前記内部クロック信号のクロック数としてカウントするカウンタと、

前記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれかを、前記カウンタのカウント値に応じて前記外部クロック信号のクロック数を示すシリアル番号により設定するタイミング設定回路とを備えていることを特徴とする液晶表示装置。

【請求項4】

請求項1ないし請求項3のいずれか1項記載の液晶表示装置において、

前記タイミング設定回路は、連続する複数のカウンタ値をそれぞれ示す複数のカウンタグループ毎に前記シリアル番号を割り当て、前記駆動タイミングを、前記カウンタのカウント値を含むカウンタグループに対応するシリアル番号により設定することを特徴とする液晶表示装置。

【請求項5】

請求項1ないし請求項3のいずれか1項記載の液晶表示装置において、

前記タイミングコントローラは、予め設定された標準のカウント値と前記カウンタから出力される前記カウンタ値との差を、前記同期信号の周期の変化として検出する差分検出回路を備え、

前記タイミング設定回路は、前記差を演算することで、前記走査線の駆動タイミングおよび前記データ線の駆動タイミングを示す前記シリアル番号の少なくともいずれかを求めることを特徴とする液晶表示装置。

【請求項6】

請求項5記載の液晶表示装置において、

前記タイミング設定回路は、前記走査線の駆動タイミングを示す前記シリアル番号のシフト数を、前記内部クロック信号の周期 P_1 と予め設定された前記外部クロック信号の標準周期 P_2 との比 P_1 / P_2 に前記差を乗じた値（整数）に設定することを特徴とする液

10

20

30

40

50

晶表示装置。

【請求項 7】

請求項 5 記載の液晶表示装置において、

前記タイミング設定回路は、前記データ線の駆動タイミングを示す前記シリアル番号のシフト数を、前記内部クロック信号の周期 P_1 と予め設定された前記外部クロック信号の標準周期 P_2 との比 P_1 / P_2 に前記差を乗じた値（整数）に設定することを特徴とする液晶表示装置。

【請求項 8】

請求項 5 記載の液晶表示装置において、

前記タイミング設定回路は、前記走査線の駆動タイミングを示す前記シリアル番号のシフト数と、前記データ線の駆動タイミングを示す前記シリアル番号のシフト数の合計を、前記内部クロック信号の周期 P_1 と予め設定された前記外部クロック信号の標準周期 P_2 との比 P_1 / P_2 に前記差を乗じた値（整数）に設定することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の表示品位の低下を防止する技術に関する。

【背景技術】

【0002】

液晶表示装置は、消費電力が小さく、設置スペースも小さくて済むため、ノート型およびデスクトップ型のパーソナルコンピュータの表示装置に広く使用されている。近年、テレビジョン用の液晶表示装置や、携帯電話等の携帯端末用の液晶表示装置が開発されている。また、テレビジョン放送を視聴できるパーソナルコンピュータが開発されている。

【0003】

液晶表示装置を使用する製品が多様化しているため、液晶表示装置は、様々なフレーム周波数や水平周波数に対応することが要求されている。ここで、フレーム周波数は、画面の表示速度を示し、1画面の表示周期に対応する。水平周波数は、各走査線に沿った水平ライン（表示ライン）の表示速度を示し、水平ラインの表示周期（水平同期信号の周期）に対応する。

【0004】

一方、液晶表示装置に供給される映像信号と水平同期信号とがずれたときに、そのずれを補正することで、映像信号を正しく表示する技術が提案されている（例えば、特許文献1参照）。

【特許文献1】特開平5 - 46118号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

一般に、液晶パネルの走査線およびデータ線を駆動する駆動信号は、同期信号（水平同期信号）に同期して生成される。このため、水平同期信号の周期が変化する場合、液晶パネルの駆動信号のタイミングは変化し、映像信号の書き込み時間は変化する。特に、同期信号の周期が短くなる場合、書き込み時間が不足し、表示品位が低下してしまう。具体的には、同期信号の周期が短くなると、走査線を駆動するゲートクロック信号やデータ線を駆動するラッチパルス信号の映像信号に対するタイミングマージンが不足し、液晶パネルの表示領域の一部が暗くなるなどの不具合が発生する。フレーム周期の短縮とともに水期信号の周期が短くなる場合も、同じ不具合が発生する。

【0006】

本発明の目的は、液晶表示装置に供給される同期信号の周波数に依存せず、液晶セルへの書き込み時間を一定にし、表示品位の低下を防止することにある。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の液晶表示装置は、走査線とデータ線との交差部に液晶セルを配置した液晶パネルを有している。映像信号および同期信号は、外部端子を介してそれぞれ供給される。タイミングコントローラは、同期信号にตอบสนองして走査線およびデータ線の駆動タイミングを生成する。また、タイミングコントローラは、液晶セルに供給される映像信号の書き込み時間を一定にするために、走査線の駆動タイミングおよびデータ線の駆動タイミングの少なくともいずれかを、同期信号の周期に応じて変更する。

【 0 0 0 8 】

本発明の液晶表示装置は、内部クロック信号を生成する発振回路を有している。タイミングコントローラは、カウンタおよびタイミング設定回路を有している。カウンタは、同期信号の周期を内部クロック信号のクロック数としてカウントする。タイミング設定回路は、走査線の駆動タイミングおよびデータ線の駆動タイミングの少なくともいずれかを、カウンタのカウント値に応じて設定する。

10

【 0 0 0 9 】

本発明の液晶表示装置は、外部クロック信号を受ける外部端子を有している。タイミング設定回路は、走査線の駆動タイミングおよびデータ線の駆動タイミングの少なくともいずれかを、カウンタのカウント値に応じたシリアル番号により設定する。シリアル番号は、外部クロック信号のクロック数を示す。また、タイミング設定回路は、同期信号の周期が所定値を超えると、走査線の駆動タイミングおよびデータ線の駆動タイミングを所定のシリアル番号にそれぞれ固定する。

20

【 0 0 1 0 】

本発明の液晶表示装置は、内部クロック信号を生成する発振回路を有している。タイミングコントローラは、フレーム周期検出回路、カウンタおよびタイミング設定回路を有している。フレーム周期検出回路は、同期信号に基づいて1画面を表示するための1フレームの周期を検出することで同期信号の周期を求める。カウンタは、フレーム周期検出回路により検出したフレーム周期を、内部クロック信号のクロック数としてカウントする。タイミング設定回路は、走査線の駆動タイミングおよびデータ線の駆動タイミングの少なくともいずれかを、カウンタのカウント値に応じて設定する。

【 0 0 1 1 】

本発明の液晶表示装置は、外部クロック信号を受ける外部端子を有している。タイミング設定回路は、走査線の駆動タイミングおよびデータ線の駆動タイミングの少なくともいずれかを、カウンタのカウント値に応じたシリアル番号により設定する。シリアル番号は、外部クロック信号のクロック数を示す。

30

【 0 0 1 2 】

本発明の液晶表示装置では、タイミング設定回路は、連続する複数のカウンタ値をそれぞれ示す複数のカウンタグループ毎にシリアル番号を割り当てる。また、タイミング設定回路は、駆動タイミングを、カウンタのカウント値を含むカウンタグループに対応するシリアル番号により設定する。例えば、タイミング設定回路は、カウンタグループと、カウンタグループ毎に割り当てられたシリアル番号とで構成されるテーブルを有している。

【 0 0 1 3 】

本発明の液晶表示装置では、タイミングコントローラの差分検出回路は、予め設定された標準のカウント値とカウンタから出力されるカウンタ値との差を、同期信号の周期の変化として検出する。タイミング設定回路は、差を演算することで、走査線の駆動タイミングおよびデータ線の駆動タイミングを示すシリアル番号の少なくともいずれかを求める。

40

【 0 0 1 4 】

本発明の液晶表示装置では、タイミング設定回路は、走査線の駆動タイミングを示すシリアル番号のシフト数を、内部クロック信号の周期 P_1 と予め設定された外部クロック信号の標準周期 P_2 との比 P_1 / P_2 に差を乗じた値（整数）に設定する。

【 0 0 1 5 】

本発明の液晶表示装置では、タイミング設定回路は、データ線の駆動タイミングを示す

50

シリアル番号のシフト数を、内部クロック信号の周期 P_1 と予め設定された外部クロック信号の標準周期 P_2 との比 P_1 / P_2 に差を乗じた値（整数）に設定する。

【 0 0 1 6 】

本発明の液晶表示装置では、タイミング設定回路は、走査線の駆動タイミングを示すシリアル番号のシフト数と、データ線の駆動タイミングを示すシリアル番号のシフト数の合計を、内部クロック信号の周期 P_1 と予め設定された外部クロック信号の標準周期 P_2 との比 P_1 / P_2 に差を乗じた値（整数）に設定する。

【発明の効果】

【 0 0 1 7 】

本発明の液晶表示装置では、走査線の駆動タイミングおよびデータ線の駆動タイミングの少なくともいずれかを、同期信号の周期に応じて変更することで、同期信号の周期が変化した場合にも書き込み時間を一定にできる。この結果、表示品位の低下を防止できる。

10

【 0 0 1 8 】

本発明の液晶表示装置では、周期が常に一定の内部クロック信号を使用することで、同期信号の周期を正しく測定できる。この結果、タイミング設定回路は、走査線の駆動タイミングおよびデータ線の駆動タイミングの少なくともいずれかを、高い精度で設定できる。

【 0 0 1 9 】

本発明の液晶表示装置では、同期信号の周期が所定値を超えると、走査線の駆動タイミングおよびデータ線の駆動タイミングは、所定のシリアル番号にそれぞれ固定される。このため、これより長い周期では、書き込み時間は、同期信号の周期に依存して長くなる。しかし、書き込み時間が長くなることで、表示品位が低下することはない。したがって、タイミング設定回路の回路規模を小さくできる。

20

【 0 0 2 0 】

本発明の液晶表示装置は、周期が常に一定の内部クロック信号を使用することで、1 フレーム周期を正しく測定できる。また、1 フレーム周期を測定することで、同期信号の周期の平均的な値を検出できる。この結果、走査線の駆動タイミングおよびデータ線の駆動タイミングを、同期信号の周期の1回の測定に応じて設定する場合に比べて、正確に設定できる。

30

【 0 0 2 1 】

本発明の液晶表示装置では、液晶パネルの駆動タイミングを、液晶パネルを駆動するための基本クロックである外部クロック信号のシリアル番号により設定することで、駆動タイミングを容易かつ正確に生成できる。

【 0 0 2 2 】

本発明の液晶表示装置では、連続する複数のカウンタ値を示す複数のカウンタグループ毎にシリアル番号を割り当てることで、タイミング設定回路の回路規模を小さくできる。例えば、カウンタグループおよびそれに対応するシリアル番号を示すテーブルを構成することで、回路設計およびその変更が容易になる。

【 0 0 2 3 】

本発明の液晶表示装置では、走査線の駆動タイミングおよびデータ線の駆動タイミングを変更するためのシリアル番号を、カウンタ値にそれぞれ対応して記憶する場合に比べ、タイミング設定回路の回路規模を小さくできる。

40

【 0 0 2 4 】

本発明の液晶表示装置では、差分検出回路が検出するカウンタ値の差に応じて、外部クロック信号（シリアル番号）のシフト数を容易に求めることができる。外部クロック信号と内部クロック信号の周期が大幅に異なる場合にも、シフト数を容易に求めることができる。

【発明を実施するための最良の形態】

【 0 0 2 5 】

50

以下、本発明の実施形態を図面を用いて説明する。図中の二重丸は、外部端子を示している。図中、太線で示した信号線は、複数本で構成されている。また、太線が接続されているブロックの一部は、複数の回路で構成されている。外部端子を介して供給される信号には、端子名と同じ符号を使用する。また、信号が伝達される信号線には、信号名と同じ符号を使用する。

【0026】

図1は、本発明の第1の実施形態を示している。液晶表示装置は、コネクタCNを介して、例えば、図示しないパーソナルコンピュータに接続される。パーソナルコンピュータは、映像ソース（ビデオ、DVD、テレビジョン信号など）を、様々な解像度および周波数の信号に変換する制御部を有している。制御部は、図示しないラインメモリやフレームメモリに映像信号を一時的に保持することで、映像信号および制御信号の出力タイミングを自在に設定できる。液晶表示装置は、タイミングコントローラ10、発振回路12、ゲートドライバ14、ソースドライバ16および液晶パネル18を有している。

【0027】

タイミングコントローラ12は、コネクタCNの外部端子を介して供給されるクロック信号CLK（外部クロック信号、ドットクロック信号）、データ信号（映像信号）DATA0およびイネーブル信号ENAB（同期信号）と、発振回路12からの内部クロック信号ICLKを受け、ゲートドライバ14にゲートクロック信号GCLKを出力し、ソースドライバ16にラッチパルス信号LP、データ信号（映像信号）DATAを出力する。クロック信号CLKは、タイミングコントローラ10を動作させるための基本クロック信号である。イネーブル信号ENABは、後述するように、データ信号DATA0を水平ライン毎に分割するための水平同期信号であり、各水平ラインのデータ信号DATA0の転送開始に同期して立ち上がる正のパルス信号である。ゲートクロック信号GCLKおよびラッチパルス信号LPは、イネーブル信号ENABに同期して生成される。データ信号DATAは、データ信号DATA0と同じ情報を有する。タイミングコントローラ10の詳細は、図2で説明する。

【0028】

発振回路12は、例えば、水晶発振子およびその制御回路等で構成され、クロック信号CLKより周波数の高い内部クロック信号ICLKを生成する。ゲートドライバ14は、ゲートクロック信号GCLKに同期して走査線G1-Gnにゲートパルスを順次出力する。ソースドライバ16は、ラッチパルス信号LPに同期してデータ信号DATAを水平ライン毎に順次受け、受けた信号をデータ線D1-Dmに出力する。

【0029】

液晶パネル18は、走査線G1-Gnとデータ線D1-Dmとの交差部分にそれぞれ形成された液晶セルCを有している。液晶セルCは、薄膜トランジスタTFTおよび画素電極PEと、図示しない液晶および対向電極とで構成されている。各薄膜トランジスタTFTは、ゲートが走査線G1-Gnのいずれかに接続され、ドレインがデータ線D1-Dmのいずれかに接続され、ソースが画素電極PEに接続されている。対向電極は、画素電極PEに対向して配置されている。また、液晶が画素電極PEと対向電極とに挟持され、液晶セルCが構成されている。そして、液晶セルCの透過光が、液晶セルCに対向する三原色フィルタを通過することで、カラー画像が形成される。この実施形態では、走査線の本数は、768本である（ $n = 768$ ）。データ線の本数は、三原色フィルタのR（赤）、G（緑）、B（青）毎に1024本である（ $m = 1024$ ）。各走査線G1-Gnに沿って配置される液晶セルCにより768本の水平ラインが形成されている。このため、ラッチパルス信号LPは、1フレーム周期に768回生成される。

【0030】

図2は、図1に示したタイミングコントローラ10の詳細を示している。タイミングコントローラ10は、エッジ生成回路20、カウンタ22、クロックセレクタ24および同期信号生成回路26を有している。エッジ生成回路20は、イネーブル信号ENABの立ち上がりエッジに同期してイネーブルパルス信号ENABPを生成する。すなわち、イネーブルパルス信号ENABPは、各水平ラインのデータ信号DATA0の転送開始に同期して生成される。カウンタ22は、エッジ生成回路20から出力されるイネーブルパルス信号ENABPのパルス

生成周期を、内部クロック信号ICLKのクロック数としてカウントし、そのカウンタ値をカウンタ信号CNTとして出力する。

【0031】

クロックセクタ24は、イネーブルパルス信号ENABPの立ち下がりエッジからゲートクロック信号GCLKおよびラッチパルス信号LPのエッジタイミングまでをそれぞれ示す4つのクロック数が複数組設定されたテーブルTBLを有している。クロック数は、イネーブルパルス信号ENABPの立ち下がりエッジを基準とするクロック信号CLKのパルス数（シリアル番号）を示す。クロックセクタ24は、カウンタ値CNTに応じて4つのクロック数を選択し、イネーブルパルス信号ENABPの立ち下がりエッジを基準として、選択したクロック数にそれぞれ対応するクロック信号CLKの立ち上がりエッジに同期してゲートクロック信号GCLKのエッジタイミングおよびラッチパルス信号LPのエッジタイミングを生成する。ゲートクロック信号GCLKの立ち上がりエッジタイミングおよび立ち下がりエッジタイミングと、ラッチパルス信号LPの立ち上がりエッジタイミングおよび立ち下がりエッジタイミングとは、それぞれゲート立ち上がり信号GCLKR、ゲート立ち下がり信号GCLKF、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFの立ち上がりエッジとして示される。クロックセクタ24は、クロック信号CLKの所定のクロック数に応じて、ゲート立ち上がり信号GCLKR、ゲート立ち下がり信号GCLKF、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFを生成するためにクロックカウンタ（図示せず）を有している。このように、クロックセクタ24は、走査線G1-Gnおよびデータ線D1-Dmの駆動タイミングを設定するタイミング設定回路として動作する。

【0032】

同期信号生成回路26は、ゲート立ち下がり信号GCLKFおよびゲート立ち上がり信号GCLKRの立ち上がりエッジにそれぞれ同期する立ち下がりエッジおよび立ち上がりエッジを有するゲートクロック信号GCLKを生成する。また、同期信号生成回路26は、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFの立ち上がりエッジに同期する立ち下がりエッジおよび立ち上がりエッジを有するラッチパルス信号LPを生成する。

【0033】

図3は、図2に示したクロックセクタ24の詳細を示している。クロックセクタ24のテーブルTBLは、内部クロック信号ICLKのカウンタ値CNTの所定範囲毎に、ゲートクロック信号GCLKの立ち下がりエッジタイミングおよび立ち上がりエッジタイミングに対応するクロック数を示すシリアル番号GCF（GCF0-GCF4）、GCR（GCR0-GCR4）と、ラッチパルス信号LPの立ち上がりエッジタイミングおよび立ち下がりエッジタイミングに対応するクロック数を示すシリアル番号LCR（LCR0-LCR4）、LCF（LCF0-LCF4）を記憶している。すなわち、テーブルTBLは、連続する複数のカウンタ値CNTをそれぞれ示す複数のカウンタグループ"1000-1199"、"1200-1399"、"1400-1599"、"1600-1799"、"1800以上"と、これ等カウンタグループ毎に割り当てられたシリアル番号とで構成されている。

【0034】

後述するように、イネーブル信号ENABの周期が長いとき（カウンタ値CNTが多いとき）、設定されるクロック数は、少なくなり（シリアル番号が小さくなる）、イネーブル信号ENABの周期が短いとき（カウンタ値CNTが少ないとき）、設定されるクロック数は、多くなる（シリアル番号が大きくなる）。カウンタ値が1800以上のとき、クロック数（シリアル番号）は、初期値GCF0、GCR0、LCR0、LCF0に固定される。すなわち、イネーブル信号ENABの周期が所定値を超えると、走査線G1-Gnおよびデータ線D1-Dmの駆動タイミングは、所定のシリアル番号にそれぞれ固定される。このため、これより長い周期では、後述する書き込み時間WTは、イネーブル信号ENABの周期に依存して長くなる。しかし、書き込み時間WTが長くなることで、液晶表示装置の表示品位が低下することはない。したがって、カウンタグループの数を少なくでき、タイミング設定回路の回路規模を小さくできる。

【0035】

なお、この実施形態では、200カウンタ値毎に5種類のクロック数を記憶している。しかし、本発明は、これに限定されない。カウンタ値の範囲およびクロック数の種類は、内

10

20

30

40

50

部クロック信号ICLKの周波数等の液晶表示装置の設計仕様に応じて決められる。

【 0 0 3 6 】

例えば、カウンタ 2 2 のカウンタ値が1500のとき、ゲート立ち下がり信号GCLKFおよびゲート立ち上がり信号GCLKRの立ち上がりエッジは、このカウンタ値を含むカウンタグループ"1400-1599"に対応するクロック数GCF2、GCR2に設定される。同様に、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFの立ち上がりエッジは、クロック数LCR2、LCF2に設定される。

【 0 0 3 7 】

図 4 は、第 1 の実施形態の液晶表示装置の動作の一例を示している。この例では、本発明の液晶表示装置に接続されるパーソナルコンピュータから出力されるクロック信号CLKおよびイネーブル信号ENABの周波数は、標準的な値である。図 2 に示したクロックセクタ 2 4 は、カウンタ 2 2 からのカウンタ値CNTに応じてテーブルTBL中の 4 つのシリアル番号を選択する。クロックセクタ 2 4 は、選択したシリアル番号GCF、GCR、LCR、LCF（イネーブル信号ENABの出力からのクロック数）に対応する立ち上がりエッジを有するゲート立ち下がり信号GCLKF、ゲート立ち上がり信号GCLKR、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFを生成する（図 4（ a、 b、 c、 d ））。

【 0 0 3 8 】

なお、この例では、説明を簡単にするために、クロック信号CLKの 1 水平ライン期間のクロック数を 4 5 とし、クロック数GCF、GCR、LCR、LCFをそれぞれ 9、 1 8、 3 0、 3 6 としている。実際には、例えば、液晶パネル 1 8 の垂直ライン数を1024とするときに、ドットクロックであるクロック信号CLKの 1 水平ライン期間のクロック数は、1024より多くなる。このため、クロック数GCF、GCR、LCR、LCFは、図 4 に示した値より多くなる。

【 0 0 3 9 】

同期信号生成回路 2 6 は、ゲート立ち下がり信号GCLKFおよびゲート立ち上がり信号GCLKRに同期してゲートクロック信号GCLKの遷移エッジを生成し（図 4（ e ））、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFに同期してラッチパルス信号LPの遷移エッジを生成する（図 4（ f ））。図 1 に示したゲートドライバ 1 4 は、ゲートクロック信号GCLKの立ち上がりエッジに同期して走査線G1-Gnを順次高レベルに駆動する（図 4（ g、 h ））。ソースドライバ 1 6 は、ラッチパルス信号LPの立ち上がりエッジに同期してデータ信号DATAを水平ライン毎に順次受け、受けた信号をデータ線D1-Dmに出力する（図 4（ i、 j ））。例えば、走査線G1に接続される液晶セルCに書き込まれる画像データの書き込み時間WTは、走査線G1に対応する水平ラインに画像データが供給されてから走査線G1が低レベルに変化するまでである。書き込み時間WTは、他の走査線G2-Gnでも同じである。

【 0 0 4 0 】

図 5 は、第 1 の実施形態の液晶表示装置の動作の別の例を示している。この例では、パーソナルコンピュータは、クロック信号CLKおよびイネーブル信号ENABの周波数を、図 4 に示した標準値より高くする。内部クロック信号ICLKの周波数は、クロック信号CLKの周波数に依存せず一定である。 1 水平期間が短くなるため、カウンタ 2 2 がカウントする 1 水平期間に対応する内部クロック信号ICLKのクロック数（カウンタ値CNT）は、図 4 に比べ少なくなる。

【 0 0 4 1 】

クロックセクタ 2 4 は、カウンタ値CNTに応じて、テーブルTBLから 4 つのクロック数GCF、GCR、LCR、LCFを選択し、ゲート立ち下がり信号GCLKF、ゲート立ち上がり信号GCLKR、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFを生成する。この例では、クロック信号CLKの 1 水平ライン期間のクロック数は、図 4 と同じ 4 5 であり、クロック数GCF、GCR、LCR、LCFは、それぞれ 1 2、 2 1、 3 0、 3 6 としている。すなわち、ゲートクロック信号GCLKの遷移エッジを示すクロック数GCF、GCRが 3 クロック多く設定され、ラッチパルス信号LPの遷移エッジを示すクロック数LCR、LCFは、図 4 と同じに設定される。

【 0 0 4 2 】

ゲートクロック信号GCLKの生成タイミングは、クロック数GCF、GCRを増やすことで遅く

10

20

30

40

50

なる。このため、クロック信号CLKの周波数が高くなっても、実質の書き込み時間WTが減ることを防止できる。このため、タイミングコントローラ10から出力されるGCLK、LPなどの制御信号のタイミングマージンが減ることが防止され、液晶パネル18の表示領域の一部が暗くなるなどの不具合が発生することが防止される。この結果、液晶表示装置の品位が低下することはない。図中の破線の矢印は、クロック数GCF、GCR、LCR、LCFを、図4と同じにした場合の書き込み時間を示している。

【0043】

なお、上述した例に限らず、ゲートクロック信号GCLKの遷移エッジを示すクロック数GCF、GCRを図4と同じ値に設定し、ラッチパルス信号LPの遷移エッジを示すクロック数LCR、LCFをそれぞれ3クロック減らしても、実質の書き込み時間を図4と同じにできる。さらに、クロック数GCF、GCRを2クロック増やし、クロック数LCR、LCFを1クロック減らしても実質の書き込み時間を図4と同じにできる。また、クロック数GCR、GCFの差は、ゲートクロック信号GCLKの低レベル期間を一定にするために、図4に示した差"9"より多くしてもよい。同様に、クロック数LCF、LCRの差は、ラッチパルス信号LPのパルス幅を一定にするために、図4に示した差"6"より多くしてもよい。

【0044】

図6は、第1の実施形態の液晶表示装置の動作の別の例を示している。この例では、パーソナルコンピュータは、クロック信号CLKおよびイネーブル信号ENABの周波数を、図4に示した標準値より低くする。1水平期間が長くなるため、カウンタ22がカウントする1水平期間に対応する内部クロック信号ICLKのクロック数(カウンタ値CNT)は、図4に

【0045】

クロックセレクタ24は、カウンタ値CNTに応じて、テーブルTBLから4つのクロック数GCF、GCR、LCR、LCFを選択し、ゲート立ち下がり信号GCLKF、ゲート立ち上がり信号GCLKR、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFを生成する。この例においても、クロック信号CLKの1水平ライン期間のクロック数は、図4と同じ45である。テーブルTBLから選択されるクロック数GCF、GCR、LCR、LCFは、それぞれ3、12、32、38である。すなわち、ゲートクロック信号GCLKの遷移エッジを示すクロック数GCF、GCRは、図4に比べて6クロック少なく、ラッチパルス信号LPの遷移エッジを示すクロック数LCR、LCFは、図4に比べて2クロック多い。ゲートクロック信号GCLKの生成タイミングは、クロック数GCF、GCRを減らすことで早くなる。ラッチパルス信号LPの生成タイミングは、クロック数LCR、LCFを増やすことで遅くなる。このため、クロック信号CLKの周波数が低くなっても、実質の書き込み時間WTが増えることを防止できる。

【0046】

なお、書き込み時間WTは、クロック数LCR、LCFを変えずにクロック数GCF、GCRをさらに減らすことで調整してもよく、クロック数GCF、GCRを変えずにクロック数LCR、LCFをさらに増やすことで調整してもよい。また、クロック数GCR、GCFの差は、ゲートクロック信号GCLKの低レベル期間を一定にするために、図4に示した差"8"より少なくしてもよい。同様に、クロック数LCF、LCRの差は、ラッチパルス信号LPのパルス幅を一定にするために、図4に示した差"6"より少なくしてもよい。

【0047】

以上、本実施形態では、走査線G1-Gnの駆動タイミングおよびデータ線D1-Dmの駆動タイミングの少なくともいずれかを、イネーブル信号ENABの周期に応じて変更することで、イネーブル信号ENABの周期が短くなる場合にも書き込み時間WTを一定にできる。この結果、液晶表示装置の表示品位の低下を防止できる。駆動タイミングをドットクロックであるクロック信号CLKのシリアル番号により設定することで、駆動タイミングを容易かつ正確に生成できる。

【0048】

発振回路12が生成する発振周期が不変の内部クロック信号ICLKを使用することで、イネーブル信号ENABの周期を正しく測定できる。この結果、走査線G1-Gnの駆動タイミング

10

20

30

40

50

およびデータ線D1-Dmの駆動タイミングの少なくともいずれかを、高い精度で調整できる。

【0049】

イネーブル信号ENABの周期が長いときに、走査線G1-Gnおよびデータ線D1-Dmの駆動タイミングを固定することで、液晶表示装置の表示品位が低下させることなく、クロックセクタ24の回路規模を小さくできる。また、クロックセクタ24にテーブルTLBを形成することで、クロックセクタ24の回路設計およびその変更が容易になる。クロックセクタ24のテーブルTBLを、カウンタグループ毎にシリアル番号を割り当てて構成することで、クロックセクタ24の回路規模を小さくできる。

【0050】

図7は、本発明の第2の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、タイミングコントローラが、第1の実施形態のタイミングコントローラ10と相違する。その他の構成は、第1の実施形態と同じである。このため、図7では、タイミングコントローラのみを示す。

【0051】

この実施形態のタイミングコントローラは、1フレーム周期に対応する内部クロック信号ICLKのクロック数に応じて、ゲートクロック信号GCLKおよびラッチパルス信号LPの生成タイミングを調整する。このため、タイミングコントローラは、第1の実施形態のタイミングコントローラ10(図2)のカウンタ22およびクロックセクタ24の代わりにカウンタ22Aおよびクロックセクタ24Aを有している。また、タイミングコントローラは、フレームブランク検出部28Aを有している。その他の構成は、第1の実施形態のタイミングコントローラ10とほぼ同じである。

【0052】

フレームブランク検出部28Aは、イネーブル信号ENABを受け、1フレーム期間に存在するフレームブランク期間を検出し、フレームブランク期間の検出タイミングに同期してフレーム周期信号FLP(パルス信号)を出力する。ここで、フレームブランク期間は、1画面を液晶パネルに表示するための1フレーム期間において、データ信号DATA(映像信号)が伝達されない期間であり、液晶表示装置に接続されるパーソナルコンピュータが、1フレーム分のデータ信号DATAを全て出力してから次のフレームのデータ信号DATAの出力を開始するまでの期間である。フレームブランク期間は、1フレーム期間に1回検出されるため、フレーム周期信号FLPのパルス発生周期は、1フレーム期間を示す。このように、フレームブランク検出部28Aは、イネーブル信号ENABに基づいて1フレーム周期を検出するフレーム周期検出回路として動作する。なお、垂直ライン数(例えば、1024ライン)が変わらない場合、1フレーム期間に発生するイネーブル信号ENABのパルス数は、同じである。このため、フレームブランク期間が変わらない場合、1フレーム周期の検出により、イネーブル信号ENABの周期を間接的に検出できる。

【0053】

カウンタ22Aは、フレームブランク検出部28Aから出力されるフレーム周期信号FLPのパルス生成周期を、内部クロック信号ICLKのクロック数としてカウントし、そのカウンタ値CNTをカウンタ信号CNTとして出力する。このため、カウンタ値CNTは、1フレーム期間のクロック数を示す。クロックセクタ24A(タイミング設定回路)は、第1の実施形態と同じ機能を有している。但し、この実施形態では、カウンタ値CNTは、1フレーム期間を示すため、上述した図3に示したテーブルTBLのカウンタ値CNTの欄に記憶している数値が第1の実施形態と相違する。テーブルTBLのその他の値は、第1の実施形態と同じである。

【0054】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、1フレーム周期の測定により、イネーブル信号ENABの周期の平均的な値を検出できる。この結果、走査線G1-Gnおよびデータ線D1-Dmの駆動タイミング

10

20

30

40

50

を、イネーブル信号ENABの周期の1回の測定に応じて設定する場合に比べて、正確に設定できる。

【0055】

図8は、本発明の第3の実施形態を示している。第1および第2の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、タイミングコントローラが、第1の実施形態のタイミングコントローラ10と相違する。その他の構成は、第1の実施形態と同じである。このため、図8では、タイミングコントローラのみを示す。

【0056】

この実施形態のタイミングコントローラは、第1の実施形態のタイミングコントローラ10（図2）のクロックセクタ24の代わりに差分検出回路30Bおよびクロック数演算回路32B（タイミング設定回路）を有している。その他の構成は、第1の実施形態とほぼ同じである。

【0057】

差分検出回路30Bは、カウンタ22から出力される1水平期間を示すカウンタ値CNTと、予め設定された標準的な1水平期間のカウント値（内部クロック信号ICLKの1水平期間のクロック数）を示す標準値STDENとの差DIFを検出し、検出した値を差分信号DIFとして出力する。差分検出回路30Bは、差DIFを、イネーブル信号ENABの周期の変化として検出する。クロック数演算回路32Bは、差分信号DIFが示すカウンタ値の差（DIF）に応じて、ゲート立ち下がり信号GCLKF、ゲート立ち上がり信号GCLKR、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFを生成する。

【0058】

例えば、カウンタ値CNTが標準値STDENに対して所定の範囲内に存在するとき、クロック数演算回路32Bは、上述した図4に示したタイミングでゲート立ち下がり信号GCLKF、ゲート立ち上がり信号GCLKR、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFを出力する。クロック数演算回路32Bは、カウンタ値CNTが標準値STDENに対して所定値以上少ないとき、クロック信号CLKおよびイネーブル信号ENABの周波数が高くなったと判定する。そして、クロック数演算回路32Bは、ゲートクロック信号GCLKの生成タイミングを、例えば、差DIFに所定の比20%を乗じた値（但し、整数）に相当するクロック信号CLKのクロック数（シリアル番号）だけ遅らせる。すなわち、クロック数演算回路32Bは、ゲートクロック信号GCLKの生成タイミングを、クロック信号CLKの周期に応じて変更するために、シリアル番号のシフト数を求める。この結果、第1の実施形態と同様に、書き込み時間WTに対応するクロック信号CLKのクロック数は増え、書き込み時間WTは、クロック信号CLKの周期が短くなった分だけ増える。

【0059】

クロック数演算回路32Bは、カウンタ値CNTが標準値STDENに対して所定値以上多いとき、クロック信号CLKおよびイネーブル信号ENABの周波数が低くなったと判定する。そして、クロック数演算回路32Bは、ゲートクロック信号GCLKの生成タイミングを、例えば、差DIFに所定の比20%を乗じた値（但し、整数）に相当するクロック信号CLKのクロック数（シリアル番号）だけ早くする。この結果、書き込み時間WTに対応するクロック信号CLKのクロック数は減り、書き込み時間WTは、クロック信号CLKの周期が長くなった分だけ減る。

【0060】

上述した“比20%”は、内部クロック信号ICLKの周期P1と、予め設定されたクロック信号CLKの標準的な周期P2との比 $P1/P2$ である。すなわち、この例では、内部クロック信号ICLKの周期P1は、クロック信号CLKの標準的な周期P2の5分の1に設定されている。差DIFに比 $P1/P2$ を乗じることで、差DIFに対応する時間を、クロック信号CLKのクロック数として求めることができる。このため、クロック数演算回路32Bは、求めたクロック数を増減だけで、書き込み時間WTを一定にするためのゲート立ち下がり信号GCLKF、ゲート立ち上がり信号GCLKR、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFを生成でき

る。

【 0 0 6 1 】

なお、クロック信号CLKの周波数が高くなったと判定したときに、クロック数LCR、LCFを変えずに、ラッチパルス信号LPの遷移エッジを設定するクロック数LCR、LCFを、差DIFの20%に相当するクロック数だけ早くしてもよい。同様に、クロック信号CLKの周波数が低くなったと判定したときに、クロック数LCR、LCFを変えずに、ラッチパルス信号LPの遷移エッジを設定するクロック数LCR、LCFを、差DIFの20%に相当するクロック数だけ遅くしてもよい。あるいは、クロック信号CLKの周波数が高くなったと判定したときに、クロック数GCF、GCRを差DIFの10%に相当するクロック数だけ遅くし、クロック数LCR、LCFを、差DIFの10%に相当するクロック数だけ早くしてもよい。同様に、クロック信号CLKの周波数が低くなったと判定したときに、クロック数GCF、GCRを、差DIFの10%に相当するクロック数だけ早くし、クロック数LCR、LCFを、差DIFの10%に相当するクロック数だけ遅くしてもよい。

10

【 0 0 6 2 】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、ゲートクロック信号GCLKおよびラッチパルス信号LPの生成タイミングの変化量を示すシリアル番号を、テーブルTBLを参照することなく、差DIFに基づいて演算により求めることができる。このため、クロック数演算回路32Bの回路規模を小さくできる。また、シリアル番号を演算により求めることで、ゲートクロック信号GCLKおよびラッチパルス信号LPの生成タイミングをクロック信号CLKの周期の変化に追従して細かく設定できる。さらに、クロック信号CLKと内部クロック信号ICLKの周期が大幅に異なる場合にも、差分検出回路30Bが検出する差DIFに応じて、クロック信号CLKのシリアル番号のシフト数を容易に求めることができる。

20

【 0 0 6 3 】

図9は、本発明の第4の実施形態を示している。第1～第3の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、タイミングコントローラが、第1の実施形態のタイミングコントローラ10と相違する。その他の構成は、第1の実施形態と同じである。このため、図9では、タイミングコントローラのみを示す。

【 0 0 6 4 】

この実施形態のタイミングコントローラは、第3の実施形態のカウンタ22、差分検出回路30Bおよびクロック数演算回路32Bの代わりにカウンタ22A、差分検出回路30Cおよびクロック数演算回路32Cを有している。また、第2の実施形態のフレームブランク検出回路28Aを有している。その他の構成は、第3の実施形態とほぼ同じである。

30

【 0 0 6 5 】

カウンタ22A、差分検出回路30Cおよびクロック数演算回路32Cは、フレーム周期に対応する内部クロック信号ICLKのクロック数をカウントするために、各信号線のビット数を第3の実施形態より増やして構成されている。これ等回路22A、30C、32Cの基本的な機能は、第3の実施形態のカウンタ22、差分検出回路30Bおよびクロック数演算回路32Bと同じである。すなわち、カウンタ22Aは、1フレーム周期に対応する内部クロック信号ICLKのクロック数をカウントする。差分検出回路30Cは、カウンタ22Aから出力される1フレーム期間を示すカウンタ値CNTと、予め設定された標準的な1フレーム期間のカウンタ値（内部クロック信号ICLKの1フレーム期間のクロック数）を示す標準値STDFLとの差DIFを求め、求めた値を差分信号DIFとして出力する。

40

【 0 0 6 6 】

クロック数演算回路32Cは、差分信号DIFが示すカウンタ値の差DIFに応じて、ゲート立ち下がり信号GCLKF、ゲート立ち上がり信号GCLKR、ラッチ立ち上がり信号LPRおよびラッチ立ち下がり信号LPFを生成する。また、クロック数演算回路32Cは、ゲートクロック信号GCLKの生成タイミングを、例えば、差DIFの20%に相当するクロック数（クロッ

50

ク信号CLKのクロック数)だけシフトさせる。なお、第3の実施形態と同様に、ラッチパルス信号LPの遷移エッジを差DIFの20%に相当するクロック数だけシフトしてもよく、ゲートクロック信号GCLKおよびラッチパルス信号LPの両方の遷移エッジを差DIFの10%に相当するクロック数だけシフトしてもよい。

【0067】

この実施形態においても、上述した第1～第3の実施形態と同様の効果を得ることができる。

【0068】

なお、上述した実施形態では、本発明を、パーソナルコンピュータ等の制御装置からイネーブル信号ENABを受ける液晶表示装置に適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を、制御装置から水平同期信号HSYNCおよび垂直同期信号VSYNCを受ける液晶表示装置に適用してもよい。この場合、イネーブル信号ENABの代わりに水平同期信号HSYNCを用いて本発明を実現できる。

【0069】

以上の実施形態において説明した発明を整理して、付記として開示する。

(付記1) 走査線とデータ線との交差部に液晶セルを配置した液晶パネルと、

映像信号および同期信号をそれぞれ受ける外部端子と、

前記同期信号に応答して前記走査線および前記データ線の駆動タイミングを生成するとともに、前記液晶セルに供給される前記映像信号の書き込み時間を一定にするために、前記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれかを、前記同期信号の周期に応じて変更するタイミングコントローラとを備えていることを特徴とする液晶表示装置。

【0070】

(付記2) 付記1記載の液晶表示装置において、

内部クロック信号を生成する発振回路を備え、

前記タイミングコントローラは、

前記同期信号の周期を前記内部クロック信号のクロック数としてカウントするカウンタと、

前記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれかを、前記カウンタのカウント値に応じて設定するタイミング設定回路とを備えていることを特徴とする液晶表示装置。

【0071】

(付記3) 付記2記載の液晶表示装置において、

外部クロック信号を受ける外部端子を備え、

前記タイミング設定回路は、前記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれかを、前記カウンタのカウント値に応じて前記外部クロック信号のクロック数を示すシリアル番号により設定するとともに、前記同期信号の周期が所定値を超えると、前記走査線の駆動タイミングおよび前記データ線の駆動タイミングを所定の前記シリアル番号にそれぞれ固定することを特徴とする液晶表示装置。

【0072】

(付記4) 付記1記載の液晶表示装置において、

内部クロック信号を生成する発振回路を備え、

前記タイミングコントローラは、

前記同期信号に基づいて1画面を表示するための1フレームの周期を検出することで前記同期信号の周期を求めるフレーム周期検出回路と、

前記フレーム周期検出回路により検出したフレーム周期を、前記内部クロック信号のクロック数としてカウントするカウンタと、

前記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれかを、前記カウンタのカウント値に応じて設定するタイミング設定回路とを備えていることを特徴とする液晶表示装置。

【 0 0 7 3 】

(付記 5) 付記 4 記載の液晶表示装置において、

外部クロック信号を受ける外部端子を備え、

前記タイミング設定回路は、前記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれかを、前記カウンタのカウント値に応じて前記外部クロック信号のクロック数を示すシリアル番号により設定するとともに、前記フレーム周期が所定値を超えると、前記走査線の駆動タイミングおよび前記データ線の駆動タイミングを所定の前記シリアル番号にそれぞれ固定することを特徴とする液晶表示装置。

【 0 0 7 4 】

(付記 6) 付記 2 または付記 4 記載の液晶表示装置において、

外部クロック信号を受ける外部端子を備え、

前記タイミング設定回路は、前記走査線の駆動タイミングおよび前記データ線の駆動タイミングの少なくともいずれかを、前記カウンタのカウント値に応じて前記外部クロック信号のクロック数を示すシリアル番号により設定することを特徴とする液晶表示装置。

【 0 0 7 5 】

(付記 7) 付記 6 記載の液晶表示装置において、

前記タイミング設定回路は、連続する複数のカウンタ値をそれぞれ示す複数のカウンタグループ毎に前記シリアル番号を割り当て、前記駆動タイミングを、前記カウンタのカウント値を含むカウンタグループに対応するシリアル番号により設定することを特徴とする液晶表示装置。

【 0 0 7 6 】

(付記 8) 付記 7 記載の液晶表示装置において、

前記タイミング設定回路は、前記カウンタグループと、前記カウンタグループ毎に割り当てられた前記シリアル番号とを示すテーブルを備えていることを特徴とする液晶表示装置。

【 0 0 7 7 】

(付記 9) 付記 6 記載の液晶表示装置において、

前記タイミングコントローラは、予め設定された標準のカウント値と前記カウンタから出力される前記カウンタ値との差を、前記同期信号の周期の変化として検出する差分検出回路を備え、

前記タイミング設定回路は、前記差を演算することで、前記走査線の駆動タイミングおよび前記データ線の駆動タイミングを示す前記シリアル番号の少なくともいずれかを求めることを特徴とする液晶表示装置。

【 0 0 7 8 】

(付記 10) 付記 9 記載の液晶表示装置において、

前記タイミング設定回路は、前記走査線の駆動タイミングを示す前記シリアル番号のシフト数を、前記内部クロック信号の周期 P_1 と予め設定された前記外部クロック信号の標準周期 P_2 との比 P_1 / P_2 に前記差を乗じた値 (整数) に設定することを特徴とする液晶表示装置。

【 0 0 7 9 】

(付記 11) 付記 9 記載の液晶表示装置において、

前記タイミング設定回路は、前記データ線の駆動タイミングを示す前記シリアル番号をシフト数を、前記内部クロック信号の周期 P_1 と予め設定された前記外部クロック信号の標準周期 P_2 との比 P_1 / P_2 に前記差を乗じた値 (整数) に設定することを特徴とする液晶表示装置。

【 0 0 8 0 】

(付記 12) 付記 9 記載の液晶表示装置において、

前記タイミング設定回路は、前記データ線の駆動タイミングを示す前記シリアル番号のシフト数と、前記データ線の駆動タイミングを示す前記シリアル番号をシフト値の合計を、前記内部クロック信号の周期 P_1 と予め設定された前記外部クロック信号の標準周期 P

10

20

30

40

50

2 との比 P_1 / P_2 に前記差を乗じた値（整数）に設定することを特徴とする液晶表示装置。

【 0 0 8 1 】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【図面の簡単な説明】

【 0 0 8 2 】

【図 1】本発明の第 1 の実施形態を示すブロック図である。

【図 2】図 1 に示したタイミングコントローラの詳細を示すブロック図である。

10

【図 3】図 2 に示したクロックセクタ 2 4 の詳細を示す説明図である。

【図 4】第 1 の実施形態の液晶表示装置の動作の一例を示すタイミング図である。

【図 5】第 1 の実施形態の液晶表示装置の動作の別の例を示すタイミング図である。

【図 6】第 1 の実施形態の液晶表示装置の動作の別の例を示すタイミング図である。

【図 7】本発明の第 2 の実施形態のタイミングコントローラの詳細を示すブロック図である。

【図 8】本発明の第 3 の実施形態のタイミングコントローラの詳細を示すブロック図である。

【図 9】本発明の第 4 の実施形態のタイミングコントローラの詳細を示すブロック図である。

20

【符号の説明】

【 0 0 8 3 】

1 0 タイミングコントローラ

1 2 発振回路

1 4 ゲートドライバ

1 6 ソースドライバ

1 8 液晶パネル

2 0 エッジ生成回路

2 2、2 2 A カウンタ

2 4 クロックセクタ

30

2 6 同期信号生成回路

2 8 A フレームブランク検出回路

3 0 B、3 0 C 差分検出回路

3 2 B、3 2 C クロック数演算回路

CLK クロック信号

CN コネクタ

CNT カウンタ信号

D1-Dm データ線

DATA、DATA0 データ信号

ENAB イネーブル信号

40

ENABP イネーブルパルス信号

G1-Gn 走査線

GCF、GCR シリアル番号

GCLK ゲートクロック信号

GCLKF ゲート立ち下がり信号

GCLKR ゲート立ち上がり信号

ICLK 内部クロック信号

LCR、LCF シリアル番号

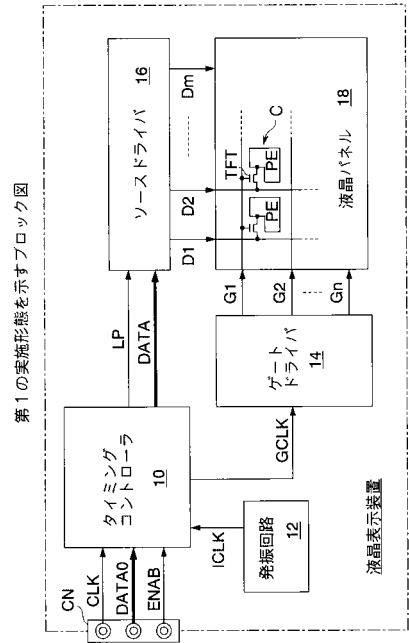
LP ラッチパルス信号

LPF ラッチ立ち下がり信号

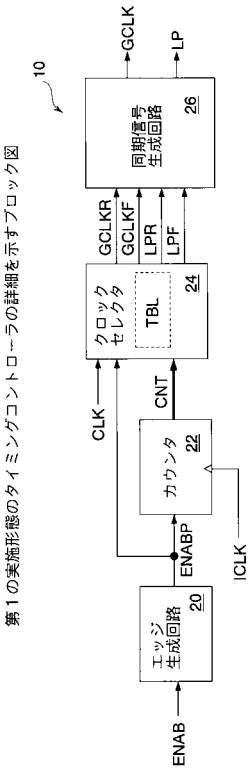
50

LPR ラッチ立ち上がり信号
PE 画素電極
TBL テーブル
TFT 薄膜トランジスタ

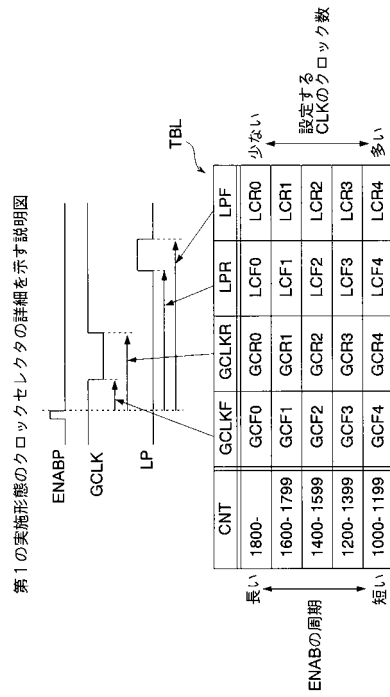
【 図 1 】



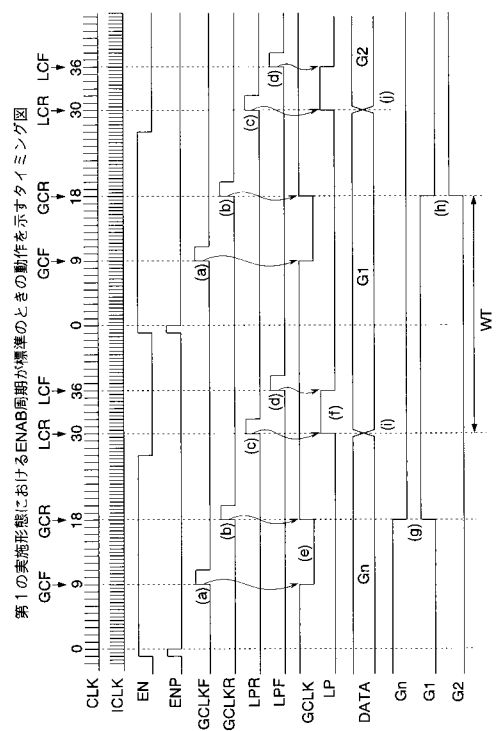
【 図 2 】



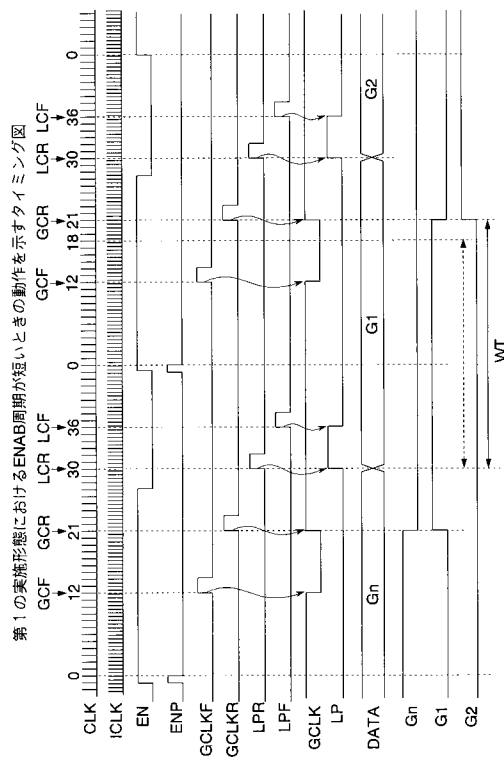
【図 3】



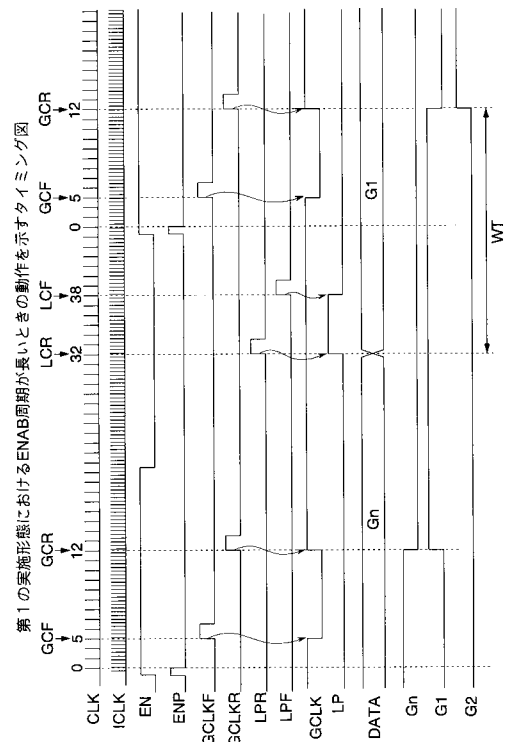
【図 4】



【図 5】

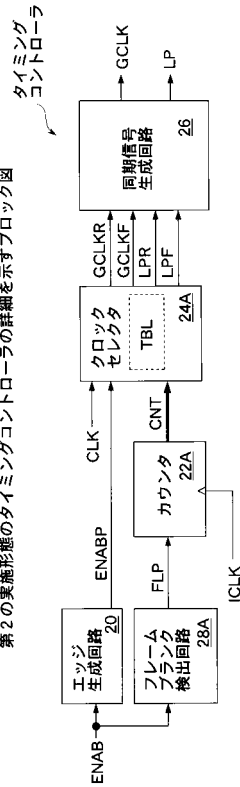


【図 6】



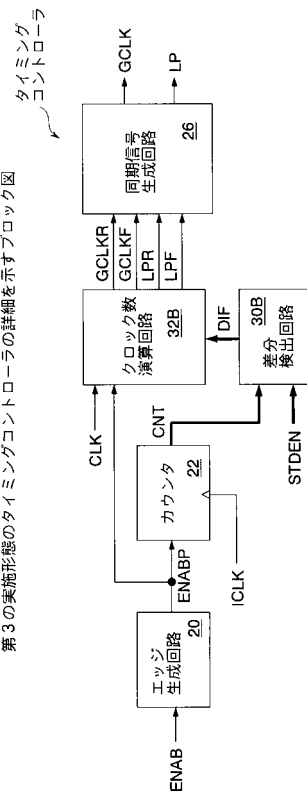
【図 7】

第 2 の実施形態のタイミングコントローラの詳細を示すブロック図



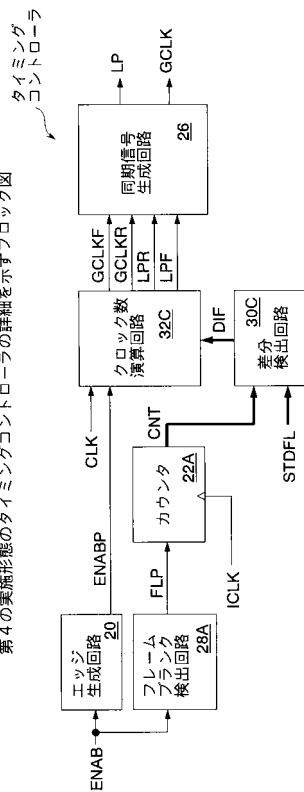
【図 8】

第 3 の実施形態のタイミングコントローラの詳細を示すブロック図



【図 9】

第 4 の実施形態のタイミングコントローラの詳細を示すブロック図



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A

(73)特許権者 501358079

友達光電股▲ふん▼有限公司

A U O p t r o n i c s C o r p o r a t i o n

台湾新竹科学工業園區新竹市力行二路一号

N o . 1 , L t - H s i n R d , I I , S c i e n c e - B a s e d I n d u s t r i a l
P a r k , H s i n c h u , T a i w a n , R . O . C .

(74)代理人 100072718

弁理士 古谷 史旺

(72)発明者 形川 晃一

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

(72)発明者 古越 靖武

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

(72)発明者 平木 克良

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

審査官 奈良田 新一

(56)参考文献 特開平08-095000(JP,A)

特開2003-131634(JP,A)

特開2003-216129(JP,A)

特開平09-218670(JP,A)

特開平07-295513(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP4754166B2	公开(公告)日	2011-08-24
申请号	JP2003359734	申请日	2003-10-20
[标]申请(专利权)人(译)	富士通显示技术股份有限公司 友达光电股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司 友达光电股▼ふん▲有限公司		
当前申请(专利权)人(译)	富士通株式会社 友达光电股▲ふん▼有限公司		
[标]发明人	形川晃一 古越靖武 平木克良		
发明人	形川 晃一 古越 靖武 平木 克良		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/20 G09G3/3648 G09G5/18 G09G2310/08		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.612.J G09G3/20.612.K G09G3/20.621.A G09G3/20.642.A		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC09 2H093/NC11 2H093/NC27 2H093/NC34 2H093/NC49 2H093/ND02 2H093/ND60 2H093/NH14 2H093/NH15 2H193/ZA04 5C006/AF44 5C006/AF51 5C006/AF52 5C006/AF64 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BF22 5C006/BF49 5C006/FA15 5C006/FA16 5C006/FA22 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD05 5C080/FF11 5C080/JJ02 5C080/JJ04		
其他公开文献	JP2005122062A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中液晶单元的写入时间与提供给液晶显示装置的同步信号的频率无关，并且防止了显示质量的下降。
 ŽSOLUTION：液晶显示装置具有液晶面板，其中液晶单元布置在扫描线和数据线的交叉部分上。图像信号和同步信号分别通过外部端子提供。定时控制器响应同步信号产生扫描线和数据线的驱动定时。此外，定时控制器根据同步信号的周期改变扫描线的驱动定时和数据线的驱动定时中的至少一个，以便使提供给液晶的图像信号的写入时间成为可能。细胞不变。结果，即使当同步信号的周期改变时，也可以使写入时间恒定并且可以防止显示质量的下降。Ž

第1の実施形態を示すブロック図

