

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4597939号
(P4597939)

(45) 発行日 平成22年12月15日 (2010.12.15)

(24) 登録日 平成22年10月1日 (2010.10.1)

(51) Int. Cl.	F I
G02F 1/1368 (2006.01)	G02F 1/1368
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 611F
	G09G 3/20 621M
	G09G 3/20 680G
請求項の数 11 (全 12 頁) 最終頁に続く	

(21) 出願番号	特願2006-283396 (P2006-283396)	(73) 特許権者	501426046
(22) 出願日	平成18年10月18日 (2006.10.18)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2007-334283 (P2007-334283A)		ミテッド
(43) 公開日	平成19年12月27日 (2007.12.27)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成18年10月18日 (2006.10.18)		イドードン 20
(31) 優先権主張番号	10-2006-0054825	(74) 代理人	100094112
(32) 優先日	平成18年6月19日 (2006.6.19)		弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100064447
			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置とその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

データ電圧が供給される第1データライン；

画素列を介して前記第1データラインから離隔され、上段と下段で前記第1データラインと接続され、前記データ電圧が供給される第2データライン；

前記第1及び第2データラインに交差し、第1スキャンパルスが供給される第1ゲートライン；

前記第1及び第2データラインに交差し、第2スキャンパルスが供給される第2ゲートライン；

前記第1スキャンパルスに応じて、前記第1データラインからの前記データ電圧を奇数画素列の画素電極に供給する第1スイッチ素子；

前記第2スキャンパルスに応じて、前記第2データラインからの前記データ電圧を偶数画素列の画素電極に供給する第2スイッチ素子を備えることからなり、

前記第1ゲートラインG1、G3、．．．Gn-1は、前記偶数画素列の画素電極と重畳され、前記奇数画素列に配置された前記第1スイッチ素子の制御端子に接続され、前記第2ゲートラインは前記奇数画素列の画素電極と重畳され、前記偶数画素列に配置された前記第2スイッチ素子の制御端子に接続されるように前記第1及び第2ゲートラインは、ジグザグ状にパターンニングされて、

前記第1ゲートラインと重畳される前記偶数画素列の画素電極と前記第2ゲートラインと重畳される前記奇数画素列の画素電極は同一な行に配列されて、前記奇数画素列の画素

10

20

電極と接続された前記第 1 スイッチ素子と前記偶数画素列の画素電極と接続された前記第 2 スイッチ素子は同一な行に配列されることを特徴とする液晶表示装置。

【請求項 2】

前記データ電圧を出力チャネルを通じて発生するデータ駆動回路；前記スキャンパルス
を順次発生するゲート駆動回路を更に備えることを特徴とする請求項 1 に記載の液晶表示
装置。

【請求項 3】

前記データ電圧は、略 1 / 2 水平期間の間に前記データラインに供給され；前記スキャ
ンパルスは、前記データ電圧と同期して、前記略 1 / 2 水平期間の間に高電位電圧を維持
することを特徴とする請求項 2 に記載の液晶表示装置。

10

【請求項 4】

前記スキャンパルスの低電位電圧は、液晶層を介して前記画素電極と対向する共通電極
に印加される共通電圧の電圧と同一であることを特徴とする請求項 3 に記載の液晶表示装
置。

【請求項 5】

データ電圧が供給され、電気的に連結される複数の閉ループ型データライン；
前記データラインと交差し、スキャンパルスが供給される複数のジグザグ状ゲートライ
ン；
前記データライン内に配置される奇数画素列；
前記データラインの間に配置される偶数画素列；
前記データラインとゲートラインとの交差部に配置され、前記スキャン信号に応じて、
前記データラインからのデータ電圧を前記画素列の画素に供給する複数のスイッチ素子；
及び

20

前記画素列の画素それぞれの電圧を維持するための複数のストレージキャパシタを備え
；

前記奇数画素列に含まれたストレージキャパシタは、誘電層を介して重畳される偶数ゲ
ートラインと奇数画素列の画素電極により形成され、前記偶数画素列に含まれたストレ
ージキャパシタは、前記誘電層を介して重畳される奇数ゲートラインと偶数画素列の画素電
極により形成され、

前記奇数ゲートライン G 1、G 3、．．．G n - 1 は、前記偶数画素列の画素電極と重
畳され、前記奇数画素列に配置された前記スイッチ素子の制御端子に接続され、前記偶数
ゲートラインは前記奇数画素列の画素電極と重畳され、前記偶数画素列に配置された前記
スイッチ素子の制御端子に接続されるように前記奇数及び偶数ゲートラインは、ジグザグ
状にパターンングされて、

30

前記奇数ゲートラインと重畳される前記偶数画素列の画素電極と前記偶数ゲートライン
と重畳される前記奇数画素列の画素電極は同一な行に配列されて、前記奇数画素列の画素
電極と接続された前記スイッチ素子と前記偶数画素列の画素電極と接続された前記スイッ
チ素子は同一な行に配列されることを特徴とする液晶表示装置。

【請求項 6】

データ電圧は、略 1 / 2 水平期間の間に前記データラインに供給され；前記スキャンパ
ルスは、前記データ電圧と同期して、前記略 1 / 2 水平期間の間に高電位電圧を維持す
ることを特徴とする請求項 5 に記載の液晶表示装置。

40

【請求項 7】

前記スキャンパルスの低電位電圧は、液晶層を介して前記画素電極と対向する共通電極
に印加される共通電圧の電圧と同一であることを特徴とする請求項 6 に記載の液晶表示装
置。

【請求項 8】

上段と下段で互いに連結された第 1 及び第 2 データラインにデータ電圧を供給する段階
；

前記第 1 及び第 2 データラインに交差される第 1 及び第 2 ゲートラインにスキャンパル

50

スを順次供給する段階；

前記スキャンパルスそれぞれに応じて、前記第１データラインからの前記データ電圧を奇数画素列の画素電極に供給し、前記第２データラインからの前記データ電圧を偶数画素列の画素電極に供給する段階を含んで、

前記第１ゲートライン G_1 、 G_3 、 $\dots$ 、 G_{n-1} は、前記偶数画素列の画素電極と重畳され、前記奇数画素列に配置された前記第１スイッチ素子の制御端子に接続され、前記第２ゲートラインは前記奇数画素列の画素電極と重畳され、前記偶数画素列に配置された前記第２スイッチ素子の制御端子に接続されるように前記第１及び第２ゲートラインは、ジグザグ状にパターンニングされて、

前記第１ゲートラインと重畳される前記偶数画素列の画素電極と前記第２ゲートラインと重畳される前記奇数画素列の画素電極は同一な行に配列されて、前記奇数画素列の画素電極と接続された前記第１スイッチ素子と前記偶数画素列の画素電極と接続された前記第２スイッチ素子は同一な行に配列されることを特徴とする液晶表示装置の駆動方法。

10

【請求項 9】

前記奇数画素列に含まれたストレージキャパシタは、誘電層を介して重畳される偶数ゲートラインと奇数画素列の画素電極により形成され、前記偶数画素列に含まれたストレージキャパシタは、前記誘電層を介して重畳される奇数ゲートラインと偶数画素列の画素電極により形成されることを特徴とする請求項 8 に記載の液晶表示装置の駆動方法。

【請求項 10】

前記データ電圧は、略 1 / 2 水平期間の間に前記データラインに供給され；前記スキャンパルスは、前記データ電圧と同期して、前記略 1 / 2 水平期間の間に高電位電圧を維持することを特徴とする請求項 8 に記載の液晶表示装置の駆動方法。

20

【請求項 11】

前記スキャンパルスの低電位電圧は、液晶層を介して前記画素電極と対向する共通電極に印加される共通電圧の電圧と同一であることを特徴とする請求項 10 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、データドライブ集積回路の数を減らし、データラインの負荷を低減するようにする液晶表示装置とその駆動方法に関する。

30

【背景技術】

【0002】

最近の情報化社会において、表示素子は視覚情報の伝達媒体として、その重要性が最も強調されている。現在、主流を成している陰極線管 (Cathode Ray Tube) またはブラウン管は重さと体積とが大きいという問題点がある。このような陰極線管の限界を克服できる多種の平板表示素子 (Flat Panel Display) が開発されている。

【0003】

平板表示素子には、液晶表示素子 (Liquid Crystal Display: LCD)、電界放出表示素子 (Field Emission Display: FED)、プラズマディスプレイパネル (Plasma Display Panel: PDP) 及びエレクトロルミネセンス (Electroluminescence: EL) 等があり、これらの大部分が実用化されて市販されている。

40

【0004】

液晶表示素子は、電子製品の軽薄短小の趨勢に従う期待を満足させ、量産性が向上されていて、多方面の応用分野において陰極線管から急速に替わっている。

【0005】

特に、薄膜トランジスタ (Thin Film Transistor: TFT) を用いて液晶セルを駆動するアクティブマトリクスタイプの液晶表示素子は、画質が優れてい

50

て、消費電力が低いという利点があり、最近の量産技術の確保と研究開発の成果により、大型化と高解像度へ急速に発展しつつある。

【 0 0 0 6 】

図 1 及び図 2 は、アクティブマトリクスタイプの液晶表示装置と、その駆動信号を示す図面である。

【 0 0 0 7 】

図 1 及び図 2 を参照すると、アクティブマトリクスタイプの液晶表示装置は、 $m \times n$ 個の液晶セル C_{1c} がマトリクス状に配列され、 m 個のデータライン $D_1 \sim D_m$ と n 個のゲートライン $G_1 \sim G_n$ が交差し、その交差部に TFT が形成された液晶表示パネル 13 と、液晶表示パネル 13 のデータライン $D_1 \sim D_m$ にデータを供給するためのデータ駆動回路 11 と、ゲートライン $G_1 \sim G_n$ にスキャンパルスを提供するためのゲート駆動回路 12 とを備える。

10

【 0 0 0 8 】

液晶表示パネル 13 は、2 枚のガラス基板の間に液晶分子が注入される。この液晶表示パネル 13 の下部ガラス基板上に形成されたデータライン $D_1 \sim D_m$ とゲートライン $G_1 \sim G_n$ は相互直交する。データライン $D_1 \sim D_m$ とゲートライン $G_1 \sim G_n$ の交差部に形成された TFT は、ゲートライン $G_1 \sim G_n$ からのスキャンパルスに応じて、データライン $D_1 \sim D_m$ を経由して供給されるデータ電圧を液晶セル C_{1c} に供給する。このために、TFT のゲート電極はゲートライン $G_1 \sim G_n$ に接続され、ドレイン電極はデータライン $D_1 \sim D_m$ に接続される。そして、TFT のソース電極は液晶セル C_{1c} の画素電極に接続される。液晶表示パネル 13 の上部ガラス基板上には、未図示のブラックマトリクス、カラーフィルタ及び共通電極が形成される。

20

【 0 0 0 9 】

液晶表示パネル 13 の上部ガラス基板と下部ガラス基板上には、光軸が直交する偏光板が付けられ、液晶と接する内側面上に液晶のプレチルト角を設定するための配向膜が形成される。

【 0 0 1 0 】

液晶表示パネル 13 の液晶セル C_{1c} のそれぞれには、ストレージキャパシタ C_{st} が形成される。ストレージキャパシタ C_{st} は、液晶セル C_{1c} の画素電極と前段ゲートラインとの間に形成されるか、液晶セル C_{1c} の画素電極と未図示の共通電極ラインとの間に形成され、液晶セル C_{1c} の電圧を一定に維持させる。

30

【 0 0 1 1 】

データ駆動回路 11 は、シフトレジスタ、ラッチ、デジタル・アナログ変換器及び出力バッファをそれぞれ含む複数のデータドライブ集積回路から成る。このデータ駆動回路 11 は、デジタルビデオデータをラッチし、そのデジタルビデオデータをアナログガンマ補償電圧に変換して、データライン $D_1 \sim D_m$ に供給する。

【 0 0 1 2 】

ゲート駆動回路 12 は、1 水平周期毎にスタートパルスを順次シフトしてスキャンパルスを発生するシフトレジスタ、シフトレジスタの出力信号を液晶セル C_{1c} の駆動に適切なスイング幅に変換するためのレベルシフタ及びレベルシフタとゲートライン $G_1 \sim G_n$ の間に接続される出力バッファをそれぞれ含む複数のゲートドライブ集積回路から成る。このゲート駆動回路 12 は、スキャンパルスをゲートライン $G_1 \sim G_n$ に順次供給して、データが供給される液晶表示パネル 13 の水平ラインを選択する。

40

【 0 0 1 3 】

図 2 において、「 V_d 」は、データ駆動回路 11 により出力され、データライン $D_1 \sim D_m$ に供給されるデータ電圧であり、「 V_{1c} 」は、液晶セル C_{1c} で充放電されるデータ電圧である。そして、「 S_{cp} 」は、1 水平期間に発生されるスキャンパルスである。「 V_{com} 」は、液晶セル C_{1c} の共通電極に供給される共通電圧である。

【 0 0 1 4 】

この液晶表示装置は、液晶表示パネル 13 に形成されるデータライン $D_1 \sim D_m$ が多く

50

て、そのデータライン D 1 ~ D m にデータ電圧を供給するためのデータ駆動回路 1 1 のドライブ集積回路により費用の負担が大きくなるという問題点がある。このような費用の負担は、解像度が高くなるほど、あるいは液晶表示パネル 1 3 が大画面化するほど、更に加重される。

【 0 0 1 5 】

データラインとデータドライブ集積回路の増加による問題点を解決するために、1つのデータラインで2つの液晶セル列を駆動することにより、データラインとデータドライブ集積回路の数を減らすことのできる技術が開発される。このようなデータライン低減技術の一例は、図3に示す通りである。図3に示すような液晶表示装置は、画素アレイでデータライン D 1、D 2、D 3 の左右に互いに異なる液晶セルを駆動するための T F T を接続させ、データに同期されるスキャンパルスを 1 / 2 水平期間の間に2つのゲートラインに順次印加し、左右に配置された2つの液晶セルを時分割駆動することにより、データライン数を減らす。

10

【 0 0 1 6 】

図3に示すような液晶表示装置は、データライン数を減らすことはできるが、データラインの左右に T F T が接続されることにより、データラインの負荷が増加される問題点がある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 7 】

従って、本発明の目的は、データドライブ集積回路の数を減らし、データラインの負荷を低減するようにする液晶表示装置と、その駆動方法を提供することにある。

20

【 課題を解決するための手段 】

【 0 0 1 8 】

前記目的の達成のため、本発明に係る液晶表示装置は、データ電圧が供給される第1データライン；画素列を介して前記第1データラインから離隔され、上段と下段で前記第1データラインと接続され、前記データ電圧が供給される第2データライン；前記第1及び第2データラインに交差し、第1スキャンパルスが供給される第1ゲートライン；前記第1及び第2データラインに交差し、第2スキャンパルスが供給される第2ゲートライン；前記第1スキャンパルスに応じて、前記第1データラインからの前記データ電圧を奇数画素列の画素電極に供給する第1スイッチ素子；前記第2スキャンパルスに応じて、前記第2データラインからの前記データ電圧を偶数画素列の画素電極に供給する第2スイッチ素子を備える。

30

【 0 0 1 9 】

本発明に係る液晶表示装置は、データ電圧が供給され、電氣的に連結される複数の閉ループ型データライン；前記データラインと交差し、スキャンパルスが供給される複数のジグザグ状ゲートライン；前記データライン内に配置される奇数画素列；前記データラインの間に配置される偶数画素列；前記データラインとゲートラインとの交差部に配置され、前記スキャン信号に応じて、前記データラインからのデータ電圧を前記画素列の画素に供給する複数のスイッチ素子；及び前記画素列の画素それぞれの電圧を維持するための複数のストレージキャパシタを備え；前記奇数画素列に含まれたストレージキャパシタは、誘電層を介して重畳される偶数ゲートラインと奇数画素列の画素電極により形成され、前記偶数画素列に含まれたストレージキャパシタは、前記誘電層を介して重畳される奇数ゲートラインと偶数画素列の画素電極により形成される。

40

【 0 0 2 0 】

本発明に係る液晶表示装置の駆動方法は、上段と下段で互いに連結された第1及び第2データラインにデータ電圧を供給する段階；前記第1及び第2データラインに交差される第1及び第2ゲートラインにスキャンパルスを順次供給する段階；前記スキャンパルスそれぞれに応じて、前記第1データラインからの前記データ電圧を奇数画素列の画素電極に供給し、前記第2データラインからの前記データ電圧を偶数画素列の画素電極に供給する

50

段階を含む。

【発明の効果】

【0021】

本発明は、複数のデータラインを上段と下段で段落して閉ループを形成することにより、データラインの電氣的抵抗を減らして負荷を低減することができる。

【発明を実施するための最良の形態】

【0022】

前記目的の外、本発明の他の目的及び特徴は、添付した図面を参照する実施の形態についての説明を通じて明らかになる。

【0023】

以下、図4ないし図7を参照して、本発明の好ましい実施の形態について説明する。

【0024】

図4及び図5は、本発明の実施の形態に係る液晶表示装置を示す図面である。

【0025】

図4及び図5を参照すると、本発明の実施の形態に係る液晶表示装置は、 $m \times n$ 個の液晶セルC1cがマトリクス状に配列される液晶表示パネル43、 $m/2$ 個のデータ出力チャンネルC1～C $m/2$ を通じてデータを出力するデータ駆動回路41、ゲートラインG0～Gnにスキャンパルスを供給するためのゲート駆動回路42、データ駆動回路41とゲート駆動回路42を制御するためのタイミングコントローラ44を備える。

【0026】

液晶表示パネル43は、2枚のガラス基板の間に液晶分子が注入される。この液晶表示パネル43の下部ガラス基板上に形成された m 個のデータラインS1～S $m/2$ と n 個のゲートラインG0～Gnが直交する。

【0027】

液晶表示パネル43で隣接する奇数データラインS1、S3、...、S $n-1$ と偶数データラインS1～S m は、上段と下段のそれぞれで電氣的に接続され、1つの画素列を取り囲む形の閉ループを形成する。

【0028】

閉ループを形成する奇数データラインS1、S3、...、S $n-1$ と偶数データラインS1～S m の上段は、データ駆動回路の出力チャンネルC1～C $m/2$ に電氣的に接続される。ここで、1つのデータライン閉ループは1つのデータ出力チャンネルに接続される。

【0029】

ゲートラインG0～Gnはジグザグ状にパターンニングされる。このようなジグザグパターン構造により、奇数ゲートラインG1、G3、...、G $n-1$ は偶数画素列に配置された画素電極1B、1Dに重畳され、奇数画素列に配置されたTFTのゲート電極に接続される。偶数ゲートラインG0、G2、G4、...、Gnは偶数画素列に配置されたTFTのゲート電極に接続され、奇数画素列1A、1Cに配置された画素電極に重畳される。

【0030】

データラインS1～SmとゲートラインG0～Gnの交差部にはTFTが接続される。TFTはデータラインS1～Smの左側に配置される。このようなTFTは、ゲート駆動回路42からのスキャン信号に応じて、データラインS1～Smからのデータ電圧を画素電極1に供給する。このために、TFTのゲート電極はゲートラインG0～Gnに接続され、ドレイン電極はデータラインS1～Smに接続される。そして、TFTのソース電極は液晶セルC1cの画素電極1に接続される。画素電極1と対向する共通電極2には共通電圧Vcomが供給される。

【0031】

液晶表示パネル43の液晶セルのそれぞれにはストレージキャパシタCstが形成される。ストレージキャパシタCstは、誘電体を介して重畳されるゲートラインG0～Gnと画素電極により形成される。このようなストレージキャパシタCstは、液晶セルC1cの電圧を一定に維持させる。最上側の第1ラインに配置される画素において、ストレ

10

20

30

40

50

ジキャパシタ C_{st} は、スキャンパルスが供給されずに共通電圧 V_{com} が供給される最上段のゲートライン G_0 と第 1 ラインの画素電極との間に形成される。同一な行に配列される画素のうち、奇数画素のストレージキャパシタ C_{st} は、誘電層を介して $n-1$ (n は、0 以上の陽の整数) 番目のゲートラインと奇数画素の画素電極の重畳により形成される反面、偶数画素のストレージキャパシタ C_{st} は、誘電層を介して n 番目のゲートラインと偶数画素の画素電極の重畳により形成される。即ち、同一な行に配列される奇数画素と偶数画素が、互いに異なるゲートラインと重畳される。

【0032】

液晶表示パネル 43 の上部ガラス基板上には、未図示のブラックマトリクス、カラーフィルタ及び共通電極が形成される。一方、共通電極は、TN (Twisted Nematic) モードと、VA (Vertical Alignment) モードのような垂直電界駆動方式で上部ガラス基板上に形成され、IPS (In Plane Switching) モードと FFS (Fringe Field Switching) モードのような水平電界駆動方式で、画素電極 1 と共に下部ガラス基板上に形成される。

10

【0033】

液晶表示パネル 43 の上部ガラス基板と下部ガラス基板上には光軸が直交する偏光板が付けられ、液晶と接する内側面上に液晶のプレチルト角を設定するための配向膜が形成される。

【0034】

データ駆動回路 41 は、シフトレジスト、ラッチ、デジタル・アナログ変換器及び出力バッファをそれぞれ含む複数のデータドライブ集積回路から成る。このデータ駆動回路 41 は、タイミングコントローラ 44 の制御下でデジタルビデオデータをラッチし、そのデジタルビデオデータを正極性/負極性アナログガンマ補償電圧に変換して、正極性/負極性データ電圧としてデータ出力チャンネル $C_1 \sim C_m/2$ を通じて出力される。データ出力チャンネル $C_1 \sim C_m/2$ はデータライン $S_1 \sim S_m$ と 1:2 に接続される。即ち、1つのデータ出力チャンネルは閉ループに接続された 2 つのデータラインに接続される。データ電圧はスキャン信号に同期され、略 1/2 水平期間を周期に出力され、閉ループに接続された 2 つのデータラインに供給される。

20

【0035】

ゲート駆動回路 42 は、シフトレジスタ、シフトレジスタの出力信号を液晶セルの駆動に適合なスイング幅に変換するためのレベルシフタ及びレベルシフタとゲートライン $G_0 \sim G_n$ の間に接続される出力バッファをそれぞれ含む複数のゲートドライブ集積回路から成り、略 1/2 水平期間の単位でスキャンパルスを順次出力する。

30

【0036】

タイミングコントローラ 44 は、垂直/水平同期信号とクロック信号の入力を受け、ゲート駆動回路 42 を制御するためのゲート制御信号 GDC と、データ駆動信号 41 を制御するためのデータ制御信号 DDC とを発生する。ゲート制御信号 GDC は、ゲートスタートパルス (Gate Start Pulse: GSP)、シフトレジスタを駆動するためのゲートシフトクロック信号 (Gate Shift Clock: GSC)、ゲート出力信号 (Gate Output Enable: GOE) 等を含む。ここで、スキャンパルスのパルス幅が略 1/2 水平期間となるように、ゲートスタートパルス GSP 、ゲートシフトクロック信号 GSC 等は略 1/2 水平期間のパルス幅に発生される。データ制御信号 DDC は、ソーススタートパルス (Source Start Pulse: SSP)、ソースシフトクロック (Source Shift Clock: SSC)、ソース出力信号 (Source Output Enable: SOE)、極性信号 (Polarity: POL) 等を含む。ここで、ソース出力信号 SOE と極性信号 POL 等は、正極性/負極性データ電圧が略 1/2 水平期間の間に出力されるように、略 1/2 水平周期に発生される。

40

【0037】

駆動回路 41、42 のタイミング制御と共に、タイミングコントローラ 44 は、デジタ

50

ルビデオデータRGBをサンプリングした後に再整列して、データ駆動回路41に供給する役割を兼ねる。

【0038】

このような本発明の液晶表示装置は、データラインS1～Snに接続されるTFTの個数が少なく、閉ループ構造によりデータラインの幅が広がるため、負荷、特に、電氣的抵抗が小さくなる。従って、本発明の液晶表示装置は、データラインの負荷、即ち、RC負荷を減らすことによりデータ電圧の電圧降下と遅延を減少させることができる。

【0039】

図6は、本発明の実施の形態に係る液晶表示装置の駆動波形を示す図面である。

【0040】

図6を参照すると、データ駆動回路41は、出力チャネルC1～Cm/2を通じてデータ電圧を略1/2水平期間の周期に発生し、ゲート駆動回路42は、データ電圧に同期されるスキャンパルスで略1/2水平期間の間に発生する。

【0041】

第1ゲートラインG1に第1スキャンパルスが供給される略1/2水平期間の第1スキャン期間の間、第1ラインのデータ電圧がデータラインS1～Snに供給される。この際、第1スキャンパルスにより第1ラインの奇数画素列に配置されたTFTだけがターンオンされるため、その奇数画素列の画素電極1A、1Cにデータ電圧が充電される。

【0042】

続いて、第2ゲートラインG1に第2スキャンパルスが供給される略1/2水平期間の第2スキャン期間の間、第2ラインのデータ電圧がデータラインS1～Snに供給される。この際、第2スキャンパルスにより第1ラインの偶数画素列に配置されたTFTだけがターンオンされるため、その偶数画素列の画素電極1B、1Dにデータ電圧が充電される。このように、第1ラインの偶数画素列が選択される間、第1ラインの奇数画素列に配置されたTFTは、ゲートロー電圧、即ち、共通電圧Vcomによりターンオフされる。従って、第1ラインの偶数画素列が選択される間、奇数画素列に配置された液晶セルC1cは、第0ゲートラインG0と画素電極1Aの間に形成されたストレージキャパシタCstにより第1スキャン期間の間に供給されたデータ電圧を維持する。第0ゲートラインG0は、最上層行で奇数画素の画素電極1Aのみに重畳され、TFTに接続されない。この第0ゲートラインG0により、最上層行の偶数画素にもストレージキャパシタCstが形成

【0043】

スキャンパルスは、TFTの臨界電圧以上のゲートハイ電圧VGHと、TFTの臨界電圧未満のゲートロー電圧VGLとの間でスイングする。ここで、ゲートロー電圧VGLは、液晶セルC1cでデータ電圧が一定に維持されるように、共通電極2に供給される共通電圧Vcomと同一な電圧で発生されるべきである。

【0044】

本発明の液晶表示パネルは、製造工程から発生されるパターンの不良により、図7に示すように、データラインS1～Smの一部が開放される場合にデータラインS1～Smが閉ループ回路を形成するため、正常的にデータ電圧が伝達されることができる。従って、本発明に係る液晶表示パネルは、データラインが点線円部分から開放されて断線されたとしても、リペア工程なしに正常的に駆動されることができる。

【0045】

前述の実施の形態は、データ駆動回路41の一つの出力チャネルが二つのデータラインに接続されることを中心として説明したが、データ駆動回路41の一つの出力チャネルは二つ以上のデータラインに接続されることができる。例えば、本発明において、データ電圧を1/3水平期間の周期に時分割して、データ駆動回路41の一つの出力チャネルから順次発生される三つのデータ電圧を三つのデータラインで時分割供給することができる。この場合、データ駆動回路41のチャネル数は、従来対比1/3に減少する。

10

20

30

40

50

【 0 0 4 6 】

前述のように、本発明の実施の形態に係る液晶表示装置とその駆動方法は、データドライバ集積回路の出力チャンネルに、その出力チャンネル数より整数倍以上に多いデータラインを接続させ、複数のデータラインを上段と下段で段落させて閉ループを形成することにより、データラインの電氣的抵抗を減らして、負荷を減らすことができる。更に、本発明は、前記閉ループに接続されたデータラインの一部が断線されたとしても、データ電圧を全ての画素アレイに正常的に供給することができる。

【 0 0 4 7 】

以上説明した内容を通じて、当業者であれば、本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であるということが分かる。したがって、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲により決まらねばならない。

【図面の簡単な説明】

【 0 0 4 8 】

【図 1】液晶表示装置を示す図面である。

【図 2】図 1 に示す液晶表示パネルの液晶セルに供給される駆動信号と、その液晶セルに供給されるデータ電圧を示す波形図である。

【図 3】データライン数を減らすための従来の信号配線を示す図面である。

【図 4】本発明の実施の形態に係る液晶表示装置を示す図面である。

【図 5】図 4 に示す液晶表示パネルの信号配線を詳細に示す図面である。

【図 6】図 4 に示す液晶表示パネルの駆動信号を示す波形図である。

【図 7】図 5 に示す信号配線のうち、一部が断線された状態を示す図面である。

【符号の説明】

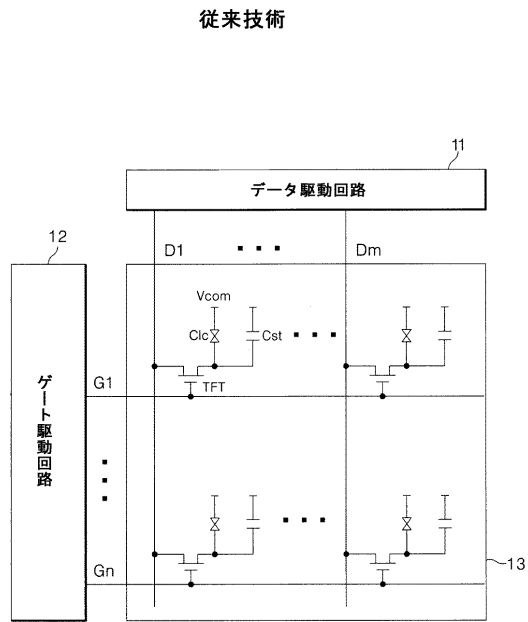
【 0 0 4 9 】

- 4 1 : データ駆動回路
- 4 2 : ゲート駆動信号
- 4 3 : 液晶表示パネル
- 4 4 : タイミングコントローラ

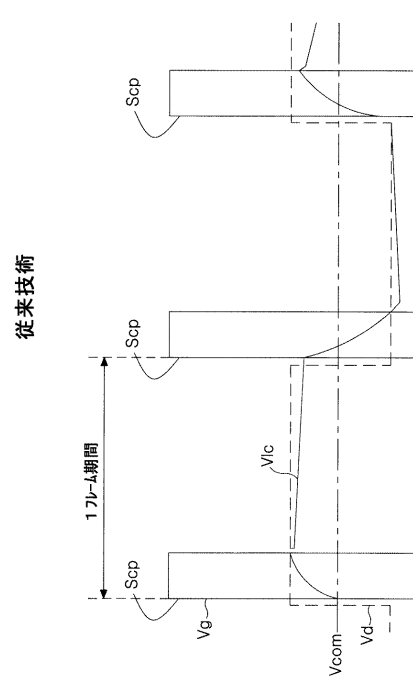
10

20

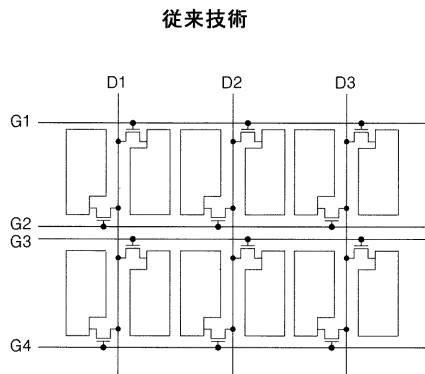
【図 1】



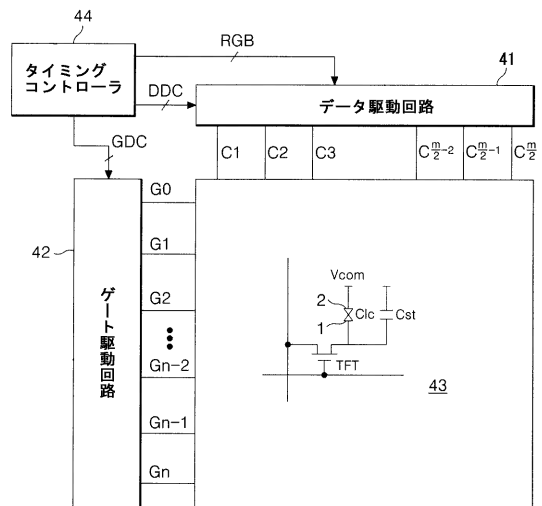
【図 2】



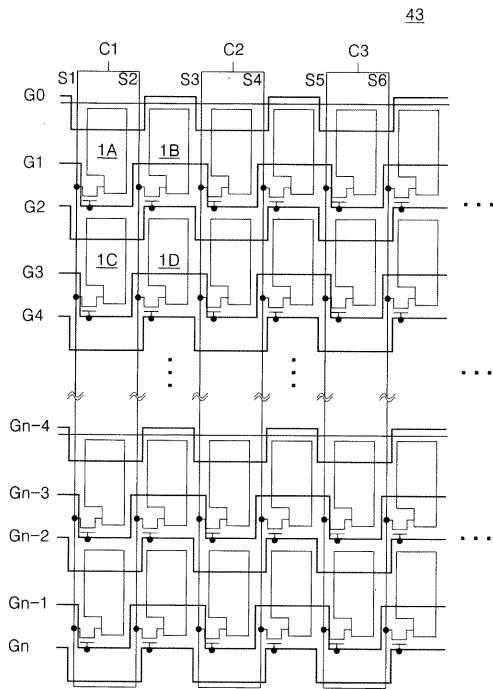
【図 3】



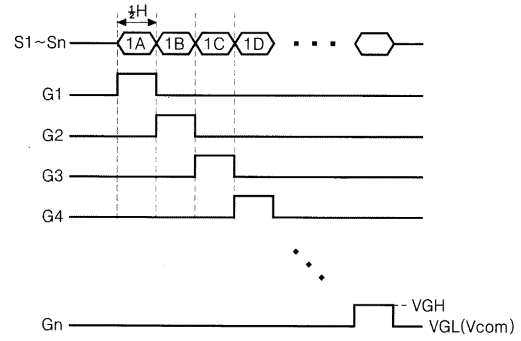
【図 4】



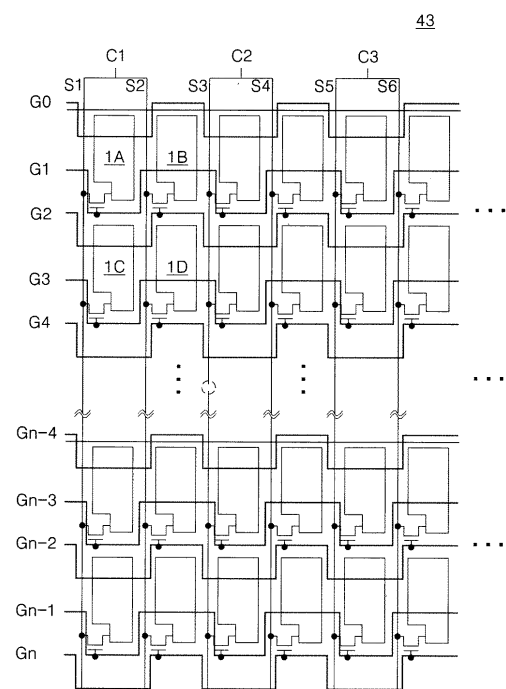
【図 5】



【図 6】



【図 7】



 フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 3 W

G 0 9 G 3/20 6 2 2 C

G 0 9 G 3/20 6 2 3 C

G 0 9 G 3/20 6 2 3 D

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 朴 権 植

大韓民国 ソウル特別市 江南区 道谷2洞 464 開浦 韓新 アパート 5 - 406号

(72)発明者 尹 洙 榮

大韓民国 京畿道 高陽市 徳陽区 幸信2洞 ムウォン メウル 10 ダンジ ソウァン ア
パート 1010 - 802号

(72)発明者 文 泰 雄

大韓民国 京畿道 城南市 盆唐区 書▲ヒョン▼洞 三星 アパート 129 - 1301号

審査官 奥田 雄介

(56)参考文献 特開平11 - 344724 (JP, A)

特開平04 - 360534 (JP, A)

特開昭59 - 009636 (JP, A)

特開2004 - 117689 (JP, A)

特開平7 - 318901 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP4597939B2	公开(公告)日	2010-12-15
申请号	JP2006283396	申请日	2006-10-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	朴權植 尹洙榮 文泰雄		
发明人	朴 權 植 尹 洙 榮 文 泰 雄		
IPC分类号	G02F1/1368 G09G3/36 G09G3/20		
CPC分类号	G09G3/3688 G09G3/3677 G09G2300/0426		
FI分类号	G02F1/1368 G09G3/36 G09G3/20.611.F G09G3/20.621.M G09G3/20.680.G G09G3/20.623.W G09G3/20.622.C G09G3/20.623.C G09G3/20.623.D		
F-TERM分类号	2H092/JA24 2H092/JB23 2H092/JB32 2H092/JB41 2H092/JB62 2H092/NA25 2H092/PA06 2H192/AA24 2H192/CC15 2H192/CC26 2H192/DA02 2H192/EA22 2H192/EA43 2H192/FB02 2H192/GD61 5C006/AC24 5C006/AC25 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BC20 5C006/EB04 5C006/EB05 5C006/FA43 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD24 5C080/DD27 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ04		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020060054825 2006-06-19 KR		
其他公开文献	JP2007334283A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其驱动方法，其中减少了数据驱动集成电路的数量以减少数据线上的负载。ŽSOLUTION：液晶显示装置包括：第一数据线，向其提供数据电压；第二数据线，其与第一数据线分开，其间具有像素行，并且在上部和下部连接到第一数据线，并且向其提供数据电压；第一栅极线，与第一和第二数据线交叉，并向其提供第一扫描脉冲；第二栅极线，与第一和第二数据线交叉，并向其提供第二扫描脉冲；第一开关器件，响应于第一扫描脉冲，将来自第一数据线的电压提供奇数像素行的像素电极；第二开关器件，响应于第二扫描脉冲，将来自第二数据线的电压提供偶数像素行的像素电极。Ž

1

