

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4547479号
(P4547479)

(45) 発行日 平成22年9月22日 (2010.9.22)

(24) 登録日 平成22年7月16日 (2010.7.16)

(51) Int. Cl.

F 1

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1335 (2006.01)

G O 2 F 1/1335 5 2 0

請求項の数 4 (全 13 頁)

(21) 出願番号 特願2003-383298 (P2003-383298)
 (22) 出願日 平成15年11月13日 (2003.11.13)
 (65) 公開番号 特開2005-43855 (P2005-43855A)
 (43) 公開日 平成17年2月17日 (2005.2.17)
 審査請求日 平成18年2月23日 (2006.2.23)
 (31) 優先権主張番号 092120338
 (32) 優先日 平成15年7月25日 (2003.7.25)
 (33) 優先権主張国 台湾 (TW)

(73) 特許権者 510134581
 奇美電子股▲ふん▼有限公司
 台湾新竹科学工業園區苗栗縣竹南鎮科學路
 1 6 0 號
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 沈 毓仁
 台湾台南市東区新東里裕豐街185巷33
 号
 (72) 発明者 陳 慶▲逸▼
 台湾苗栗縣竹南鎮中華里三民街2号
 審査官 小濱 健太

最終頁に続く

(54) 【発明の名称】 半スルー反射式液晶ディスプレイの画素機構

(57) 【特許請求の範囲】

【請求項 1】

第1 データシグナルラインと第2 データシグナルラインとの間に設置される半スルー反
 射式液晶ディスプレイ (LCD) の画素機構であって、

第1 トランジスタ、第1 反射層及び前記第1 トランジスタと接続されていない透過部を
 含む反射ユニットであって、前記第1 トランジスタは、スキャンシグナルラインに接続す
 るゲート電極と、前記第1 データシグナルラインに接続するソース電極と、前記第1 反射
 層に接続するドレイン電極と、を含み、且つ、前記第1 トランジスタは、前記第1 反射層
 により覆われる、反射ユニットと、

第2 トランジスタ、透明電極及び前記第2 トランジスタと接続されていない第2 反射層
 を含むスルーユニットであって、前記第2 トランジスタは、前記スキャンシグナルライン
 に接続するゲート電極と、前記第2 データシグナルラインに接続するソース電極と、前記
 透明電極に接続するドレイン電極と、を含み、且つ、前記第2 トランジスタは、前記第2
 反射層により覆われる、スルーユニットと、

を含む、

半スルー反射式液晶ディスプレイ (LCD) の画素機構。

【請求項 2】

第1 データシグナルラインと第2 データシグナルラインとの間に設置される半スルー反
 射式液晶ディスプレイ (LCD) の画素機構であって、

第1 トランジスタ及び第1 反射層を含む反射ユニットであって、前記第1 トランジスタ

10

20

は、スキャンシグナルラインに接続するゲート電極と、前記第 1 データシグナルラインに接続するソース電極と、前記第 1 反射層に接続するドレイン電極と、含む、反射ユニットと、

第 2 トランジスタ及び透明電極を含むスルーユニットであって、前記第 2 トランジスタは、前記スキャンシグナルラインに接続するゲート電極と、前記第 2 データシグナルラインに接続するソース電極と、前記透明電極に接続するドレイン電極と、を含む、スルーユニットと、

を含み、

前記第 1 トランジスタ及び前記第 2 トランジスタは、前記第 1 反射層により覆われ、

前記第 1 トランジスタ及び前記第 2 トランジスタの下方には金属層が設けられ、当該金属層は、蓄電器を形成する、

半スルー反射式液晶ディスプレイの画素機構。

【請求項 3】

第 1 データシグナルラインと第 2 データシグナルラインとの間に設置される半スルー反射式液晶ディスプレイ (LCD) の画素機構であって、

第 1 トランジスタ及び第 1 反射層を含む反射ユニットであって、前記第 1 トランジスタは、第 1 スキャンシグナルラインに接続するゲート電極と、前記第 1 データシグナルラインに接続するソース電極と、前記第 1 反射層に接続するドレイン電極と、を含み、且つ、前記第 1 トランジスタは、前記第 1 反射層により覆われる、反射ユニットと、

第 2 トランジスタ及び透明電極を含むスルーユニットであって、前記第 2 トランジスタは、第 2 スキャンシグナルラインに接続するゲート電極と、前記第 1 データシグナルラインに接続するソース電極と、前記透明電極に接続するドレイン電極と、を含み、且つ、前記第 2 トランジスタは、別の画素の第 1 反射層に覆われる、スルーユニットと、

を含む、

半スルー反射式液晶ディスプレイの画素機構。

【請求項 4】

第 1 データシグナルラインと第 2 データシグナルラインとの間に設置される半スルー反射式液晶ディスプレイ (LCD) の画素機構であって、

第 1 トランジスタ及び第 1 反射層を含む反射ユニットであって、前記第 1 トランジスタは、第 1 スキャンシグナルラインに接続するゲート電極と、前記第 1 データシグナルラインに接続するソース電極と、第 1 プラグにより前記第 1 反射層に接続するドレイン電極と、を含む、反射ユニットと、

第 2 トランジスタ及び透明電極を含むスルーユニットであって、前記第 2 トランジスタは、第 2 スキャンシグナルラインに接続するゲート電極と、前記第 1 データシグナルラインに接続するソース電極と、第 2 プラグにより前記透明電極に接続するドレイン電極と、を含む、スルーユニットと、

を含み、

前記第 1 トランジスタ及び前記第 2 トランジスタは、前記第 1 反射層に覆われ、

前記第 1 プラグと前記第 2 プラグの下方には、それぞれ、第 1 金属層と第 2 金属層が設けられ、当該第 1 金属層と当該第 2 金属層は、それぞれ、蓄電器を形成する、

半スルー反射式液晶ディスプレイの画素機構。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画素機構に関するものであり、特に半スルー反射式の液晶ディスプレイ (LCD) の画素機構に関するものである。

【背景技術】

【0002】

従来の半スルー反射式液晶ディスプレイの画素部品はスルーユニット及び反射ユニットを備えており、先天的に 2 倍の光学の位相差が存在し、従来の方式は反射ユニットのセル

10

20

30

40

50

ギャップを縮小し、それによって２部分の光学の位相差を縮めようというものであった。図９Ａは従来のスルー反射画素の切断面である。それは反射ユニット１０、スルーユニット２０、を含んでおり、反射ユニット１０は反射面１２を含み、そのセルギャップは d_1 であり、スルーユニット２０のセルギャップは d_2 である。

【０００３】

等量の電気回路図は図９Ｂに表示され、反射ユニット１０、スルーユニット２０は共に同一に蓄電器 C_s 、また薄膜トランジスタ T_1 に結合されるので、可能なのは１種類の駆動電圧を提供する事のみで、反射エリア及びスルーエリアによる明るさ、モノクロの対比の方式を防止するもので、重要なのはセルギャップ d_1 および d_2 を調整し、それにより反射ユニット１０及びスルーユニット２０の光学の位相差の食い違いを避ける事である。よって、セルギャップ d_1 、 d_2 は操作を行う液晶モデルを正確に調整せねばならず、この調整は大変困難を極めるものである。

10

【発明の開示】

【発明が解決しようとする課題】

【０００４】

よって、本発明の主要な目的は、液晶の反射及びスルーの特性を同時に精確に満たし、且つセルギャップの調整が不要な画素機構を提供することである。

【課題を解決するための手段】

【０００５】

前記の目的を達成するため、本発明は半スルー反射式液晶ディスプレイの画素機構を提供する。前記画素機構は第１、第２データシグナルラインの間に設置され、反射ユニットとスルーユニットを含んでいる。反射ユニットは第１トランジスタ及び第１反射層を含み、第１トランジスタはスキャンシグナルラインに接続するゲート電極、第１データシグナルラインに接続するソース電極、及び第１反射層に接続するドレイン電極を含み、また第１トランジスタは第１反射層に覆われている。スルーユニットは第２トランジスタ及び透明電極を含み、第２トランジスタはスキャンシグナルラインに接続するゲート電極、第２データシグナルラインに接続するソース電極、及び透明電極に接続するドレイン電極を含み、また第２トランジスタは第２反射層に覆われている。

20

【発明の効果】

【０００６】

30

本発明の画素機構はそれぞれトランジスタ T_1 、 T_2 及びその蓄電器によって、別々に反射ユニット及びスルーユニットの駆動電圧をコントロールでき、それによりセルギャップの調整の必要が無くなり、液晶の反射、スルー特性を達成できる。

【発明を実施するための最良の形態】

【０００７】

本発明についての目的、特徴、長所が一層明確に理解されるよう、以下に実施例を例示し、図面を参照にしながら、詳細に説明する。

【０００８】

図１は本発明の画素機構の等量の電気回路図である。本発明の画素機構は２組の薄膜トランジスタ T_1 、 T_2 及び、おのこの別々に反射ユニット１０をコントロールする蓄電器 C_{s1} 、 C_{s2} スルーユニット２０の駆動電圧を含む。反射ユニット１０、スルーユニット２０はおのこの異なるガンマ曲線を通して行っているので、特別にセルギャップを調整し光学の位相差を同じくする必要が無く、また同時に液晶の反射及びスルーの特性を満たす事ができる。

40

【実施例１】

【０００９】

図２Ａは本発明の画素機構を示す図である。図２Ｂは図２Ａの画素機構の分布図である。図２Ａ、図２Ｂで示されるように、本実施例の画素機構は第１、第２データシグナルライン DL_1 、 DL_2 の間に設置され、反射ユニット１０及びスルーユニット２０を含んでいる。

50

【 0 0 1 0 】

反射ユニット 1 0 はトランジスタ T 1 および反射層 R L 1 を含み、データシグナルライン D L 1 は凸部を含み、この凸部がトランジスタ T 1 のソース電極 T S 1 である。ゲート電極シグナルラインは 2 個の凸部を含んでおり、それぞれがトランジスタ T 1、及び T 2 のゲート電極 T G 1、T G 2 となる。トランジスタ T 1 のソース電極 T S 1 は第 1 データシグナルライン D L 1 に接続され、またドレイン電極 T D 1 は第 1 ブラグ P L 1 によって反射層 R L 1 に接続される。スルーユニット 2 0 はトランジスタ 2 0 及び透明電極 T L 1 を含み、データシグナルライン D L 2 は凸部を 1 つ含む。この凸部はトランジスタ T 2 のソース電極 T S 2 となり、そのソース電極 T S 2 はデータシグナルライン D L 2 に接続し、またドレイン電極 T D 2 も第 2 ブラグ P L 2 によって透明電極 T L 1 に接続し、トランジスタ T 1 及びトランジスタ T 2 のゲート電極 T G 1、T G 2 は同一のスキャンシグナルライン G L 1 に接続される。

10

【 0 0 1 1 】

この他、図 2 A、図 2 B で表示されるように、トランジスタ T 1 は反射層 R L 1 に覆われており、トランジスタ T 2 はまた別の画素の反射層 R L 2 に覆われている。透明電極 T L 1 はその別の画素の反射層 R L 2 の中央に位置し、並びに金属層 M 1、M 2 はそれぞれ第 1 ブラグ P L 1、第 2 ブラグ P L 2 の下方に設置され、個別に蓄電器を形成している。一般的に、透明電極は酸化インジウム・スズ (I T O) から構成される。

【 実施例 2 】

【 0 0 1 2 】

20

図 3 A は本発明の画素機構を示す図であり、図 3 B は図 3 A の画素機構の分布図である。図 3 A、図 3 B で示されるように、本実施例の画素機構は第 1、第 2 データシグナルライン D L 1、D L 2 間に設置され、反射ユニット 1 0 とスルーユニット 2 0 を含む。

【 0 0 1 3 】

反射ユニット 1 0 はトランジスタ T 1 及び反射層 R L 1 を含み、その中のデータシグナルライン D L 1 は凸部を含んでおり、それはトランジスタ T 1 のソース電極 T S 1 となる。ゲート電極シグナルラインは 2 個の凸部を含み、それぞれ個々にトランジスタ T 1 及び T 2 のゲート電極 T G 1、T G 2 となる。トランジスタ T 1 のソース電極 T S 1 は第 1 データシグナルライン D L 1 に接続され、ドレイン電極 T D 1 は第 1 ブラグ P L 1 により反射層 R L 1 に接続される。スルーユニット 2 0 はトランジスタ 2 0 及び透明電極 T L 1 を含み、その中のデータシグナルライン D L 2 は凸部を含み、この凸部はトランジスタ T 2 のソース電極 T S 2 となる。トランジスタ T 2 のソース電極 T S 2 はデータシグナルライン D L 2 に接続され、ドレイン電極 T D 2 は第 2 ブラグ P L 2 によって透明電極 T L 1 に接続され、トランジスタ T 1 及びトランジスタ T 2 のゲート電極 T G 1、T G 2 はどちらもスキャンシグナルライン G L 1 に接続している。

30

【 0 0 1 4 】

この他、トランジスタ T 1、T 2 は同時に反射層 R L 1 に覆われ、またどちらも透明電極 T L 1 の反対側に位置する。金属層 M 1、M 2 はそれぞれ個別に第 1 ブラグ P L 1、第 2 P L 2 の下方に設置され、個々に蓄電器を形成している。

【 0 0 1 5 】

40

図 3 C および図 3 D は、図 3 B の画素機構は別の 2 種類の状態を示す図である。図 3 C、図 3 D において、本実施例の画素機構は曲折式アレイの第 1、第 2 データシグナルライン D L 1、D L 2 間に設置され、反射ユニット 1 0 及びスルーユニット 2 0 を含む。

【 0 0 1 6 】

反射ユニット 1 0 はトランジスタ T 1 及び反射層 R L 1 を含み、その中のデータシグナルライン D L 1 は凸部を含み、それがトランジスタ T 1 のソース電極 T S 1 となる。ゲート電極シグナルラインは 2 個の凸部を含み、それぞれトランジスタ T 1 及び T 2 のゲート電極 T G 1、T G 2 となる。トランジスタ T 1 のソース電極 T S 1 は第 1 データシグナルライン D L 1 に接続し、ドレイン電極 T D 1 は第 1 ブラグ P L 1 によって反射層 R L 1 に接続する。スルーユニット 2 0 はトランジスタ 2 0 および透明電極 T L 1 を含み、その中

50

のデータシグナルラインDL2は凸部を含んでおり、これがトランジスタT2のソース電極TS2となる。トランジスタT2のソース電極TS2はデータシグナルラインDL2に接続し、ドレイン電極TD2は第2プラグPL2によって透明電極TL1に接続される。トランジスタT1及びトランジスタT2のゲート電極TG1、TG2は共にスキャンシグナルラインGL1に接続される。

【0017】

この他、トランジスタT1、T2は同時に反射層RL1に覆われ、並びに金属層M0も同時にトランジスタT1、T2のドレイン電極TD1、TD2の下方に設置され、個別に蓄電器を形成する。

【実施例3】

10

【0018】

図4Aは本発明の画素機構を示す図であり、図4Bは図4Aの画素機構の分布図である。図4A、図4Bに示されるように、本実施例の画素機構は第1、第2データシグナルラインDL1、DL2間に設置され、反射ユニット10及びスルーユニット20を含む。

【0019】

反射ユニット10はトランジスタT1及び反射層RL1を含み、その中のゲート電極シグナルラインGL1は凸部を含んでおり、それがトランジスタT1のゲート電極TG1となる。データシグナルラインDL1は2個の凸部を含み、それぞれが個々にトランジスタT1、T2のゲート電極TS1、TS2となる。トランジスタT1のゲート電極TG1はスキャンシグナルラインGL1に接続し、ドレイン電極TD1は第1プラグPL1により反射層RL1に接続される。スルーユニット10はトランジスタ20及び透明電極TL1を含み、その中のゲート電極シグナルラインGL2は凸部を含み、それがトランジスタT2のゲート電極TG2となる。トランジスタT2のゲート電極TG2はスキャンシグナルラインGL2に接続され、ドレイン電極TD2は第2プラグPL2によって透明電極TL1に接続される。トランジスタT1及びT2のソース電極TS1、TS2はどちらもデータシグナルラインDL1に接続される。

20

【0020】

この他、反射層RL1はトランジスタT1及び別の画素のトランジスタを覆い、またトランジスタT2は別の画素の反射層RL2に覆われ、透明電極TL1はトランジスタT1及びT2間に位置する。なお金属層M1、M2は個々に第1プラグPL1、第2プラグPL2の下方に設置され、別々に蓄電器を形成している。

30

【実施例4】

【0021】

図5Aは本発明の画素機構を示す図であり、図5Bは図5Aの画素機構の分布図である。図5A、図5Bで示すように、本実施例の画素機構は第1、第2データシグナルラインDL1、DL2間に設置され、反射ユニット10及びスルーユニット20を含んでいる。

【0022】

反射ユニット10はトランジスタT1及び反射層RL1を含み、ゲート電極シグナルラインGL1は凸部を含み、それはトランジスタT1のゲート電極TG1となる。データシグナルラインDL1は2個の凸部を含み、それぞれがトランジスタT1、T2のソース電極TS1及びTS2となる。トランジスタT1のゲート電極TG1はスキャンシグナルラインGL1に接続し、ドレイン電極TD1は第1プラグPL1により反射層RL1に接続される。スルーユニット20はトランジスタT2及び透明電極TL1を含み、ゲート電極シグナルラインGL2は凸部を含み、これがトランジスタT2のゲート電極TG2となる。トランジスタT2のゲート電極TG2はスキャンシグナルラインGL2に接続し、ドレイン電極は第2プラグPL2により透明電極TL1に接続され、トランジスタT1及びT2のソース電極TS1、TS2は共にデータシグナルラインDL1に接続される。

40

【0023】

この他、トランジスタT1、T2は同時に反射層RL1に覆われ、またどちらも透明電極TL1の反対側に位置する。金属層M1、M2は別々に第1プラグPL1、第2プラグ

50

P L 2 の下方に位置し、個々に蓄電器を形成する。

【 0 0 2 4 】

図 6 A 及び図 6 B は本実施例の別の形態を示す図である。図 6 A、図 6 B に示されるように、本実施例の画素機構は第 1、第 2 データシグナルライン D L 1、D L 2 間に設置され、反射ユニット 1 0 とスルーユニット 2 0 を含む。この形態において、トランジスタ T 1、T 2 は同時に反射層 R L 1 に覆われ、且つトランジスタ T 1、T 2 は透明電極 T L 1 の両側の下方に設置される。

【 0 0 2 5 】

図 7 A 及び図 7 B は本実施例の別の 2 種類の状態を示す図である。図 7 A、図 7 B に示されるように、本実施例の画素機構は第 1、第 2 ゲート電極シグナルライン G L 1、G L 2 間に設置され、反射ユニット 1 0、スルーユニット 2 0 を含んでいる。この形態において、トランジスタ T 1、T 2 は反射層 R L 1 に覆われ、透明電極 T L 1 は反射層に包囲され、金属層 M 1 はトランジスタ T 1 のドレイン電極 T D 1 の下方に設置され、また支部がトランジスタ T 2 のドレイン電極 T D 2 の下方に向かって延びている。

【 0 0 2 6 】

図 8 A は本実施例の別の状態を示す図である。図 8 A に示すように、本実施例の画素機構は曲折状のゲートシグナルライン G L 1、G L 2 間に設置され、反射ユニットとスルーユニットを含んでいる。この形態において、トランジスタ T 1、T 2 は反射層 R L 1 に覆われ、また透明電極 T L 1 は反射層 R L 1 に包囲される。他にも、曲折する金属層 M 1 はトランジスタ T 1 のドレイン電極 T D 1 の下方及びトランジスタ T 2 のドレイン電極 T D 2 の下方を通過する。

【 0 0 2 7 】

図 8 B は本実施例の別の状態を示す図である。図 8 B に示すように、本実施例の画素機構は曲折するゲート電極シグナルライン G L 1、G L 2 の間に設置され、反射ユニット及びスルーユニットを含む。この形態において、トランジスタ T 1、T 2 は反射層 R L 1 に覆われ、また透明電極 T L 1 は反射層 R L 1 に包囲される。他にも、金属層 M 1 はトランジスタ T 1 のドレイン電極 T D 1 の下方、及びトランジスタ T 2 のドレイン電極 T D 2 の下方を通過する。

【 0 0 2 8 】

以上、本発明の好適な実施例を例示したが、これは本発明を限定するものではなく、本発明の精神及び範囲を逸脱しない限りにおいては、当業者であれば行い得る少々の変更や修飾を付加することは可能である。従って、本発明が保護を請求する範囲は、特許請求の範囲を基準とする。

【図面の簡単な説明】

【 0 0 2 9 】

【図 1】本発明の画素機構の等量の電気回路図である。

【図 2 A】本発明の画素機構を示す図である。

【図 2 B】図 2 A の画素機構の分布図である。

【図 3 A】本発明の画素機構を示す図である。

【図 3 B】図 3 A の画素機構の分布図である。

【図 3 C】図 3 A の画素機構の別の状態を示す図である。

【図 3 D】図 3 A の画素機構の別の状態を示す図である。

【図 4 A】本発明の画素機構を示す図である。

【図 4 B】図 4 A の画素機構の分布図である。

【図 5 A】本発明の画素機構を示す図である。

【図 5 B】図 5 A の画素機構の分布図である。

【図 6 A】本発明の画素機構を示す図である。

【図 6 B】図 6 A の画素機構の分布図である。

【図 7 A】本発明の画素機構を示す図である。

【図 7 B】図 7 A の画素機構の分布図である。

【図 8 A】図 6 A の画素機構の別の状態を示す図である。

【図 8 B】図 6 A の画素機構の別の状態を示す図である。

【図 9 A】従来のスルー反射式画素の切断面を示す図である。

【図 9 B】図 9 A の略図である。

【符号の説明】

【 0 0 3 0 】

1 0 反射ユニット

2 0 スルーユニット

C s 蓄電器

d 1、d 2 セルギャップ

D L 1、D L 2 データシグナルライン

G L 1、G L 2 ゲート電極シグナルライン

T 1、T 2 トランジスタ

T L 1 スルー電極

R L 1、R L 2 反射層

P L 1、P L 2 プラグ

M 0 ~ M 2 金属層

T D 1、T D 2 ドレイン電極

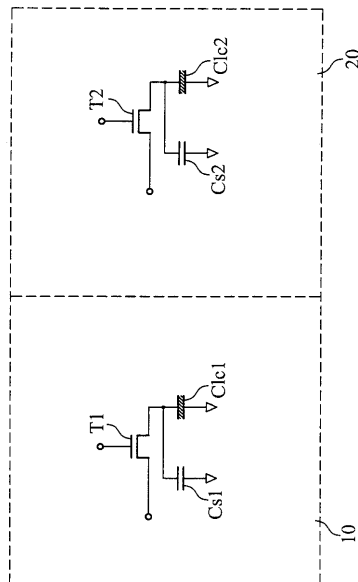
T G 1、T G 2 ゲート電極

T S 1、T S 2 ソース電極

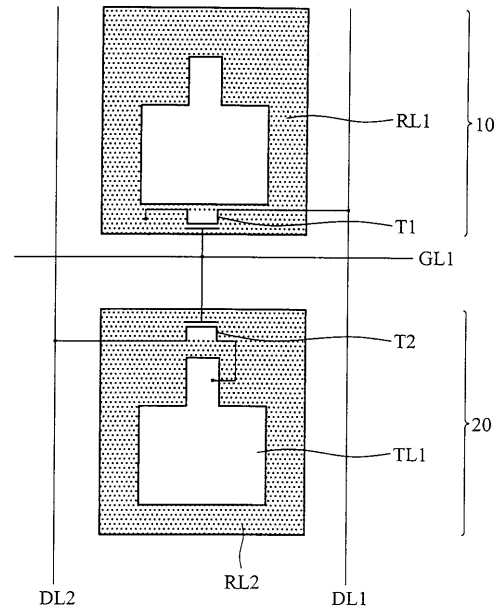
10

20

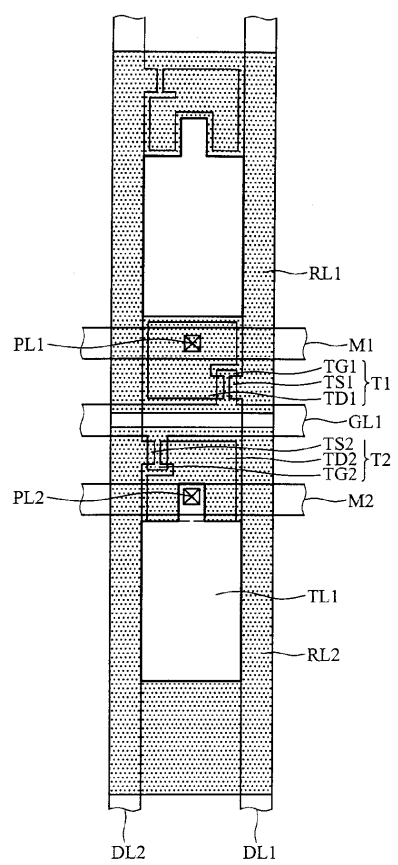
【図 1】



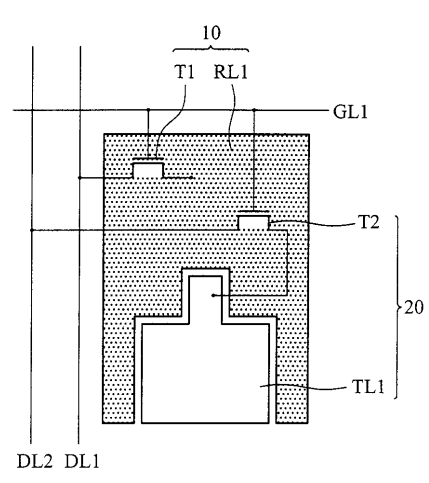
【図 2 A】



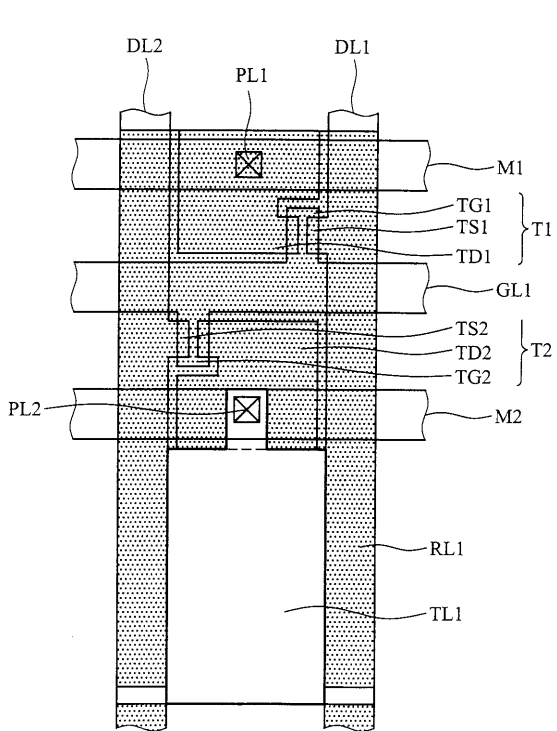
【図 2 B】



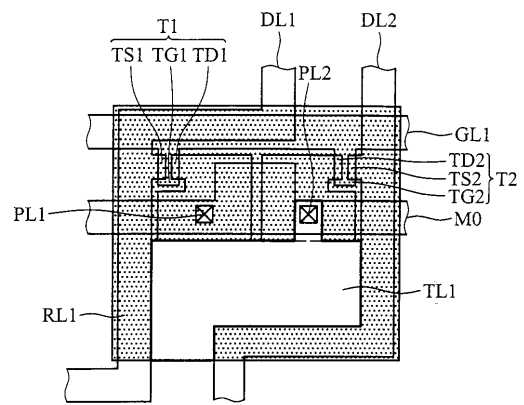
【図 3 A】



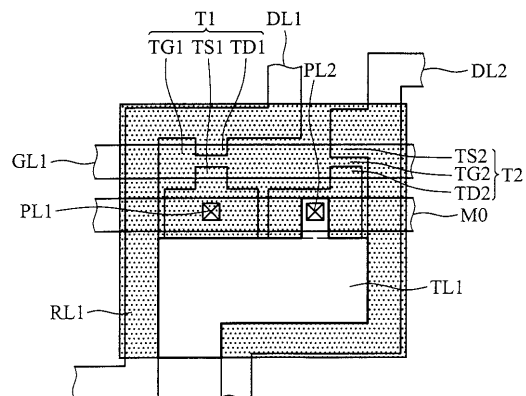
【図 3 B】



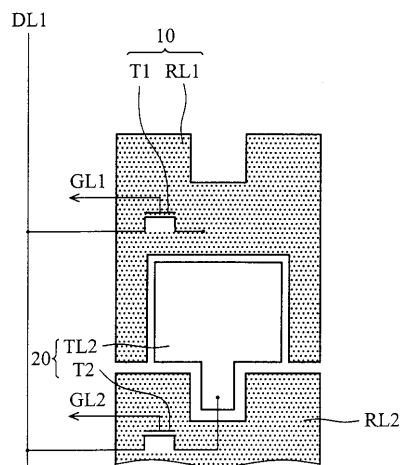
【図 3 C】



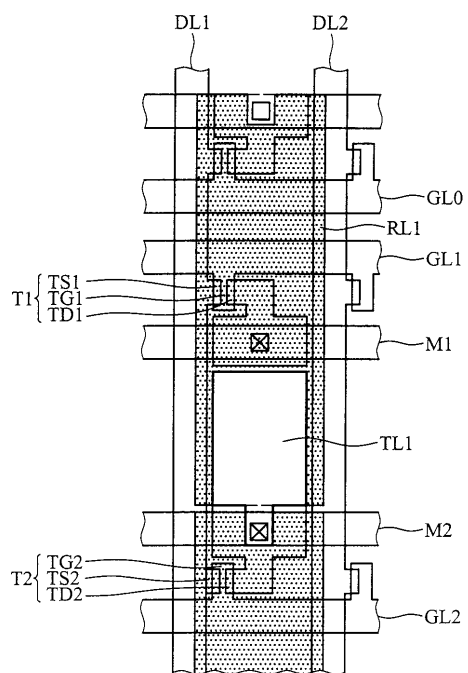
【図 3 D】



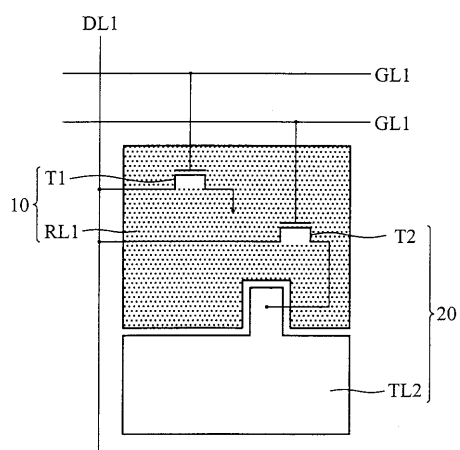
【図 4 A】



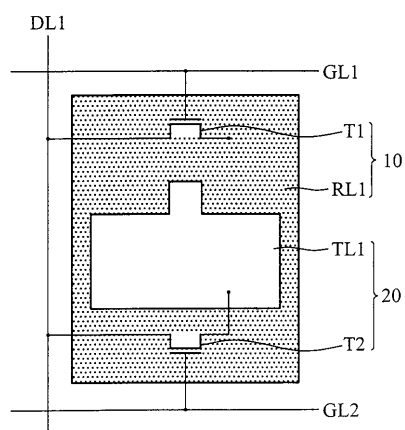
【図 4 B】



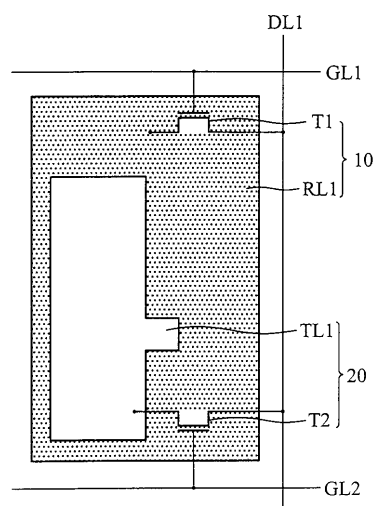
【図 5 A】



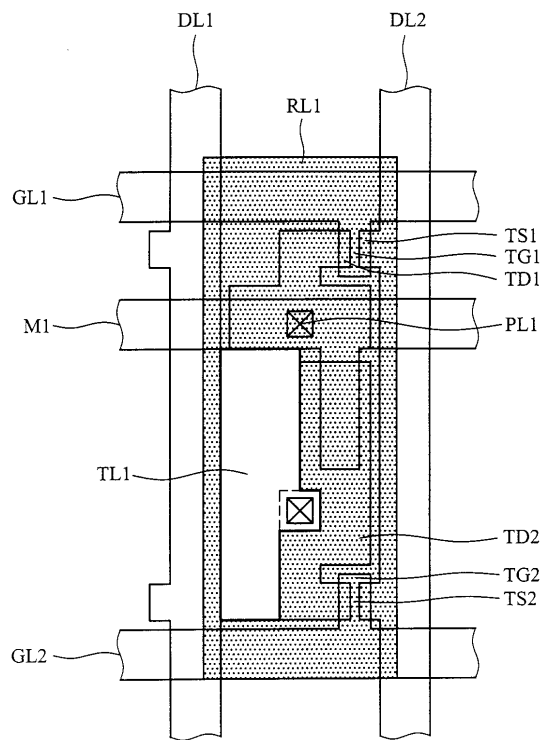
【圖 6 A】



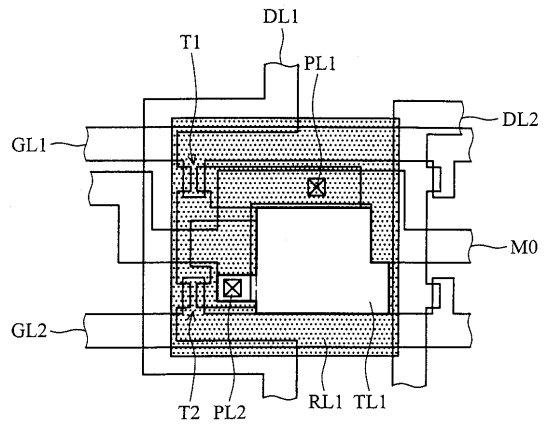
【圖 7 A】



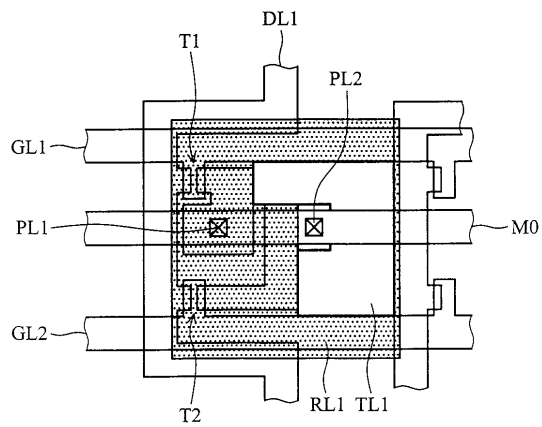
【図 7 B】



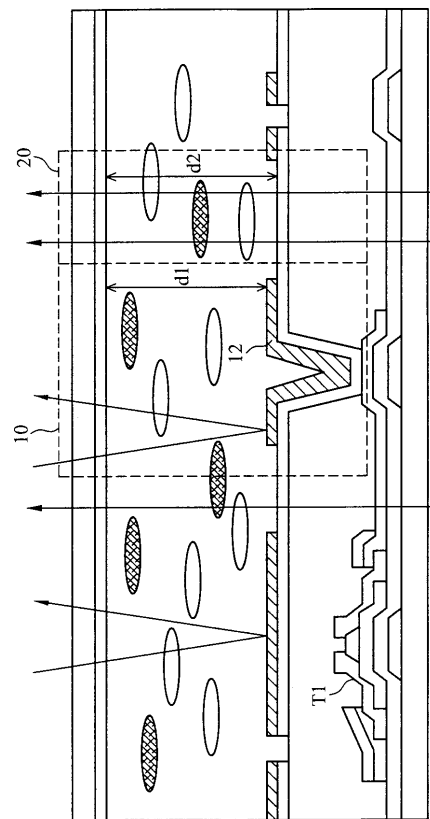
【図 8 A】



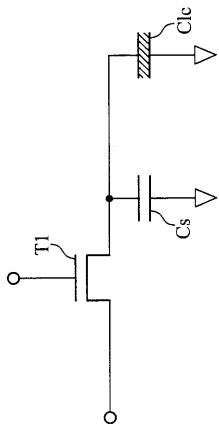
【図 8 B】



【図 9 A】



【図 9 B】



フロントページの続き

(56)参考文献 特開 2 0 0 5 - 0 2 4 6 8 0 (J P , A)
特開平 1 1 - 3 0 5 2 4 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 3 5

G 0 2 F 1 / 1 3 6 8

专利名称(译)	半透反射式液晶显示器的像素机制		
公开(公告)号	JP4547479B2	公开(公告)日	2010-09-22
申请号	JP2003383298	申请日	2003-11-13
[标]申请(专利权)人(译)	财团法人工业技术研究院		
申请(专利权)人(译)	财团法人工业技术研究院		
当前申请(专利权)人(译)	奇美电子股▲ふん▼有限公司		
[标]发明人	沈毓仁 陳慶逸		
发明人	沈 毓仁 陳 慶▲逸▼		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/13624 G02F1/133555 G02F2001/134345		
FI分类号	G02F1/1368 G02F1/1335.520		
F-TERM分类号	2H092/HA03 2H092/HA05 2H092/JA26 2H092/JB07 2H092/JB22 2H092/JB31 2H092/JB54 2H092/JB65 2H092/NA19 2H092/NA27 2H092/PA12 2H191/FA31Y 2H191/FB14 2H191/GA04 2H191/GA05 2H191/GA19 2H191/LA13 2H191/LA21 2H191/LA40 2H191/NA22 2H191/NA34 2H192/AA24 2H192/AA43 2H192/BC31 2H192/BC72 2H192/CC22 2H192/CC24 2H192/CC26 2H192/CC55 2H192/CC64 2H192/DA12 2H192/DA13 2H192/DA42 2H291/FA31Y 2H291/FB14 2H291/GA04 2H291/GA05 2H291/GA19 2H291/LA13 2H291/LA21 2H291/LA40 2H291/NA22 2H291/NA34		
代理人(译)	伊藤忠彦		
优先权	092120338 2003-07-25 TW		
其他公开文献	JP2005043855A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种半透反射液晶显示器的像素机构，其精确地满足反射和通过液晶的特性，并且不需要调整单元间隙。像素机构设置在第一和第二数据信号线之间，并包括反射单元和贯通单元。反射单元包括第一晶体管和第一反射电极，第一晶体管包括连接到扫描信号线的栅电极，连接到第一数据信号线的源电极，以及连接到第一反射电极的漏电极，第一反射电极覆盖第一晶体管。穿透单元包括第二晶体管和透明电极，第二晶体管包括连接到扫描信号线的栅电极，连接到第二数据信号线的源电极，连接到透明电极的漏电极，以及第二反射电极覆盖第二晶体管。点域2B

