

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4478077号
(P4478077)

(45) 発行日 平成22年6月9日(2010.6.9)

(24) 登録日 平成22年3月19日(2010.3.19)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1335 (2006.01)

G O 2 F 1/1335 5 O 5

請求項の数 15 (全 27 頁)

(21) 出願番号 特願2005-192296 (P2005-192296)
 (22) 出願日 平成17年6月30日(2005.6.30)
 (65) 公開番号 特開2006-18295 (P2006-18295A)
 (43) 公開日 平成18年1月19日(2006.1.19)
 審査請求日 平成17年6月30日(2005.6.30)
 (31) 優先権主張番号 10-2004-0050171
 (32) 優先日 平成16年6月30日(2004.6.30)
 (33) 優先権主張国 韓国(KR)
 (31) 優先権主張番号 10-2005-0010589
 (32) 優先日 平成17年2月4日(2005.2.4)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 2 O
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法及び液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に第1マスク工程でゲート配線とゲート電極を形成する段階と、
 前記ゲート配線とゲート電極を含む基板の全面にゲート絶縁膜を形成する段階と、
 前記ゲート絶縁膜上部に単一マスクを利用した第2マスク工程で、アクティブ層とオー
 ミックコンタクト層、ソース電極、ドレイン電極、及び前記ゲート配線と交差して画素領
 域を定義するデータ配線を形成する段階と、
 前記ソース及びドレイン電極とデータ配線を含む基板全面に第1保護膜を形成する段階
 と、

前記アクティブ層上部の第1保護膜上に第3マスク工程で、ブラックマトリックスを形
 成する段階と、

前記画素領域の前記第1保護膜上部に第4マスク工程で、カラーフィルター層を形成す
 る段階と、

前記カラーフィルター及びブラックマトリックスが形成された基板の全面に第2保護膜
 を形成する段階と、

第5マスク工程で、前記画素領域及び前記ドレイン電極の一部に対応する第2保護膜を
 露出する感光パターンを形成する段階と、

前記感光パターンをマスクとして前記露出した第2保護膜を除去して、前記第2保護膜
 に接触する第1保護膜部分を除去して前記ドレイン電極の一部を露出する段階と、

前記ドレイン電極の露出した部分を含み、前記感光パターンが形成された基板全面に透

10

20

明導電層を形成する段階と、

前記感光パターンと前記感光パターン上部の透明導電層を除去して、前記画素領域内に前記ドレイン電極の露出した部分と接触する画素電極を形成する段階と

を含む液晶表示装置の製造方法。

【請求項 2】

前記第 2 マスク工程は前記ゲート配線の一部に前記画素電極と接触する金属パターンを形成する段階を含むことを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 3】

前記第 1 マスク工程は前記ゲート配線の一部にゲートパッドを形成する段階を含んで、前記第 2 マスク工程は前記データ配線の一部にデータパッドを形成する段階を含むことを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

10

【請求項 4】

前記画素電極を形成する段階は前記ゲートパッドと接触するゲートパッド端子及び前記データパッドと接触するデータパッド端子を形成する段階を含むことを特徴とする請求項 3 に記載の液晶表示装置の製造方法。

【請求項 5】

前記画素電極と、ゲートパッド端子及びデータパッド端子は透明導電物質で形成されることを特徴とする請求項 4 に記載の液晶表示装置の製造方法。

【請求項 6】

前記画素電極を含む基板上に、前記ゲート及びデータ配線に対応する柱状のスペーサーを形成する段階をさらに含むことを特徴とする請求項 4 に記載の液晶表示装置の製造方法。

20

【請求項 7】

前記柱状のスペーサーを形成する段階は、前記ゲートパッド端子を覆う第 1 遮断層を形成する段階と、前記データパッド端子を覆う第 2 遮断層を形成する段階を含むことを特徴とする請求項 6 に記載の液晶表示装置の製造方法。

【請求項 8】

前記第 2 マスク工程は、

前記ゲート絶縁膜上に純粋非晶質シリコン層と不純物非晶質シリコン層と金属層と感光層を積層する段階と、

30

前記金属層上部に感光層を形成する段階と、

前記感光層上部に、透過部と半透過部及び遮断部を含む前記単一マスクを位置させる段階と、

前記単一マスクを介して前記感光層を露光して現像して、互いに異なる厚さを有する感光パターンを形成する段階と、

前記感光パターンにより露出した前記金属層と不純物非晶質シリコン層及び純粋非晶質シリコン層の一部を除去する段階と、

さらに薄い厚さを有する前記感光パターンの部分を除去して前記単一マスクの半透過部に対応する金属層を露出する段階と、

前記露出した金属層を除去して不純物非晶質シリコンを露出する段階と、

40

前記露出した不純物非晶質シリコン層を除去する段階と、

前記残っている感光パターンを除去する段階を含むことを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 9】

前記単一マスクを利用して前記データ配線下部に、純粋非晶質シリコン層と不純物非晶質シリコン層を含む半導体パターンを形成する段階をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 10】

前記第 2 保護膜は前記画素領域で選択的にパターンニングされて前記カラーフィルター層を選択的に露出することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

50

【請求項 1 1】

前記画素電極と離隔されて同じ層上に位置する共通電極を形成する段階をさらに含むことを特徴とする請求項 1 0 に記載の液晶表示装置の製造方法。

【請求項 1 2】

基板と、
前記基板上に形成されたゲート配線とゲート電極と、
前記ゲート配線とゲート電極上部のゲート絶縁膜と、
前記ゲート電極上部のゲート絶縁膜上に形成されたアクティブ層と、
前記アクティブ層上部のオーミックコンタクト層と、
前記オーミックコンタクト層上部に形成されたソース電極とドレイン電極、及び前記ゲート配線と交差して画素領域を定義するデータ配線と、
前記ソース及びドレイン電極とデータ配線上部の第 1 保護膜と、
前記アクティブ層上部の前記第 1 保護膜上に形成されたブラックマトリックスと、
前記画素領域の第 1 保護膜上に形成されたカラーフィルター層と、
前記ブラックマトリックス及びカラーフィルター層上部に形成されて、前記画素領域のカラーフィルター層を露出する第 2 保護膜と、
前記第 2 保護膜と水平に重畳することなく前記第 2 保護膜と同じ層上に位置し、前記画素領域の露出したカラーフィルター層上部に形成されて、前記ドレイン電極と連結された画素電極と
を含む液晶表示装置。 10 20

【請求項 1 3】

前記ゲート配線及びデータ配線上部に柱状のスペーサーをさらに含むことを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 1 4】

前記第 2 保護膜は前記画素領域で選択的にパターニングされて前記カラーフィルター層を選択的に露出することを特徴とする請求項 1 2 に記載の液晶表示装置。

【請求項 1 5】

前記画素領域で選択的に露出したカラーフィルター層上に、前記画素電極と離隔して設けられ同じ層上に位置する共通電極をさらに含むことを特徴とする請求項 1 4 に記載の液晶表示装置。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、カラーフィルターオン薄膜トランジスタ（COT: color filter on TFT）構造の液晶表示装置用アレイ基板の製造方法に関する。

【背景技術】

【0002】

一般的に、液晶表示装置は、液晶分子の光学的異方性と複屈折特性を利用して画像を表現するものであって、電界が印加されると液晶の配列が変わり、変わった液晶の配列方向によって光が透過する特性も変わる。 40

【0003】

液晶表示装置は、電界生成電極がそれぞれ形成されている両基板を両電極が形成されている面が向かい合うように配置し、両基板間に液晶物質を注入した後に、両電極に電圧を印加して生成される電界により前記液晶分子を動かすようにすることによって、これにより変わる光の透過率により画像を表現する装置である。

【0004】

図 1 は、従来による液晶表示装置を概略的に示した図面である。

【0005】

図示したように、一般的なカラー液晶表示装置 1 1 は、赤、緑、青のカラーフィルターを含むカラーフィルター層 8 と、カラーフィルター層 8 のカラーフィルター間に形成され 50

たブラックマトリックス 6 と、前記カラーフィルター層 8 とブラックマトリックス 6 を覆う共通電極 1 8 が形成された上部基板 5 と、画素領域 P が定義されて画素領域には画素電極 1 7 とスイッチング素子 T が形成され、画素領域 P の周辺でアレイ配線が形成された下部基板 2 2 とを含み、上部基板 5 と下部基板 2 2 との間には液晶 1 4 が充填されている。

【 0 0 0 6 】

前記下部基板 2 2 は、アレイ基板ともいい、スイッチング素子である薄膜トランジスタ T がマトリックス状に位置して、このような複数の薄膜トランジスタ T を交差してゲート配線 1 3 とデータ配線 1 5 が形成される。

【 0 0 0 7 】

ここで、前記画素領域 P は、前記ゲート配線 1 3 とデータ配線 1 5 とが交差して定義される領域であり、前記画素領域 P 上には前述したように透明な画素電極 1 7 が形成される。

10

【 0 0 0 8 】

前記画素電極 1 7 は、インジウム - スズ - オキサイド (indium tin oxide: ITO) のように光の透過率が比較的優れた透明導電性金属を用いる。

【 0 0 0 9 】

前記画素電極 1 7 と並列に連結されたストレージキャパシター C_{ST} がゲート配線 1 3 の上部に構成され、ストレージキャパシター C_{ST} の第 1 電極でゲート配線 1 3 の一部を使用し、第 2 電極でソース及びドレイン電極と同一層同一物質で形成されたアイランド状の金属パターン 3 0 を使用する。

20

【 0 0 1 0 】

ここで、前記金属パターン 3 0 は、画素電極 1 7 と接触して画素電極の信号を受けるように形成される。

【 0 0 1 1 】

ところが、前述したように、上部カラーフィルター基板 5 と下部アレイ基板 2 2 とを合着して液晶パネルを製作する場合には、カラーフィルター基板 5 とアレイ基板 2 2 との合着誤差による光漏れ不良などが発生する確率が非常に高い。

【 0 0 1 2 】

これに対して、以下、図 2 を参照しながら説明する。

【 0 0 1 3 】

30

図 2 は図 1 の II - II を切断して図示した液晶表示装置の断面図である。

【 0 0 1 4 】

図示したように、第 1 基板 2 2 は、スイッチング領域 S を含む画素領域 P とストレージ領域 ST で定義される。

【 0 0 1 5 】

前記スイッチング領域 S には、ゲート電極 3 2 とアクティブ層 3 4 とソース電極 3 6 とドレイン電極 3 8 で構成された薄膜トランジスタ T が形成されて、前記画素領域 P には透明な画素電極 1 7 が形成される。

【 0 0 1 6 】

前記ストレージ領域 ST には、ゲート配線 1 3 を第 1 電極にし、前記ゲート配線 1 3 の上部にアイランド状に形成されて前記画素電極 1 7 と接触する金属パターン 3 0 を第 2 電極にするストレージキャパシター C_{ST} が構成される。

40

【 0 0 1 7 】

ここで、前記ストレージキャパシター C_{ST} は、多様な構造及び形態で構成することができる。

【 0 0 1 8 】

前記第 1 基板 2 2 と液晶層 1 4 を間に置いて離隔された第 2 基板 5 の対向面には、前記薄膜トランジスタ T とゲート配線及びデータ配線 1 3、1 5 に対応してブラックマトリックス 6 が形成されて、前記画素領域 P に対応する面にはカラーフィルター 8 a、8 b、8 c が形成される。

50

【 0 0 1 9 】

前記カラーフィルター 8 a、8 b、8 c とブラックマトリックス 6 が形成された基板 5 の全面には透明な共通電極 1 8 が形成される。

【 0 0 2 0 】

一般的に、前述した第 1 基板 2 2 と第 2 基板 5 は別途に製作されてそれぞれの製作が完了すると合着する工程が進められる。

【 0 0 2 1 】

ここで、合着誤差が発生するようになれば、前記ブラックマトリックス 6 の位置が最初に設計された位置から外れるようになり、これにより、前記薄膜トランジスタ T には光が入り漏れ電流が発生するようになり、前記ゲート及びデータ配線 1 3、1 5 に対応する領域、すなわち、データ配線 1 5 と画素電極 1 7 の離隔された領域 A と前記ゲート配線 1 3 と前記画素電極 1 7 間の離隔された領域 C で光漏れ現象が発生する問題がある。

10

【 0 0 2 2 】

したがって、従来は、このような問題を解決するために、合着工程時の誤差を勘案して設計時合着マージン (align margin) をさらに設けて設計するようになる。

【 0 0 2 3 】

すなわち、前記ブラックマトリックス 6 のサイズをさらに大きく設計することである。

【 0 0 2 4 】

このようにすれば、合着誤差が発生しても上述した不良が発生しない。

【 0 0 2 5 】

しかし、輝度及び開口率が減少される問題がある。

20

【 0 0 2 6 】

したがって、これを解決するための方法で前記カラーフィルターを薄膜トランジスタアレイ配線の上部に形成する C O T 構造の液晶表示装置が提案された。

【 0 0 2 7 】

図 3 は、従来による C O T 構造の液晶表示装置用アレイ基板の一部を示した拡大平面図である。

【 0 0 2 8 】

図示したように、基板 5 0 上に一方向に延長されて相互に平行するように離隔された複数のゲート配線 5 2 と、前記ゲート配線 5 2 と垂直に交差して画素領域 P を定義して相互に平行するように離隔された複数のデータ配線 6 8 を形成する。

30

【 0 0 2 9 】

前記ゲート配線 5 2 の一端にはゲートパッド 5 6 及びここに接触する透明なゲートパッド端子 9 4 が形成されて、前記データ配線 6 8 の一端にはデータパッド及びここに接触する透明なデータパッド端子 7 0、9 6 が形成される。

【 0 0 3 0 】

前記ゲート配線 5 2 とデータ配線 6 8 の交差点毎にゲート電極 5 4 と半導体層 6 0 とソース電極 6 4 とドレイン電極 6 6 を含む薄膜トランジスタ T が形成される。

【 0 0 3 1 】

ここで、前記半導体層 6 0 から前記データ配線 6 8 の下部に半導体層 6 0 の延長部 6 2 を形成することができ、これは前記データ配線 6 8 の付着特性を改善するための用途である。

40

【 0 0 3 2 】

前記ゲート配線 5 2 とデータ配線 6 8 が交差して定義される画素領域 P 毎にカラーフィルター 7 8 a、7 8 b、7 8 c が形成されて、前記薄膜トランジスタ T に対応してブラックマトリックス 7 6 が形成される。

【 0 0 3 3 】

場合によっては、図示したように、前記ブラックマトリックス 7 6 は前記ゲート配線 5 2 とデータ配線 6 8 に対応しても形成される。

【 0 0 3 4 】

50

前記画素領域 P に対応するカラーフィルター 78 a、78 b、78 c の上部には前記ドレイン電極 66 と接触する画素電極 92 が形成される。

【0035】

前述した構成は、前記カラーフィルター 78 a、78 b、78 c とブラックマトリックス 76 を上部基板（図示せず）ではない下部アレイ基板に形成することによって、前述した合着マージンなどを考慮しなくても良いので、合着マージンだけの領域を開口領域に拡大して用いることができる長所がある。

【0036】

前記ゲート配線 52 の一部上部にはストレージキャパシター C_{ST} が構成されるが、前記ストレージキャパシター C_{ST} は第 1 電極をゲート配線 52 にし、前記ゲート配線 52 の一部上部にアイランド状で形成されて前記画素電極 92 と接触した金属パターン 72 を第 2 電極にする。

10

【0037】

ここで、前記ストレージキャパシター C_{ST} の構成及び位置は多様に変形することができる。

【0038】

以下、工程断面図を参照して前述した従来による COT 構造液晶表示装置用アレイ基板を形成する方法を説明する。

【0039】

図 4 A と図 4 B 及び図 4 C は、従来の第 1 マスク工程と第 2 マスク工程を示した図面であって、それぞれ図 3 の IVA - IVA 線、IVB - IVB 線、IVC - IVC 線に沿って切断した面に対応する断面図である。

20

【0040】

基板 50 上にスイッチング領域 S を含む画素領域 P と、画素領域 P の一側にストレージ領域 ST と、ゲートパッド領域 GP と、データパッド領域 DP を定義する。

【0041】

前記複数の領域 S、P、ST、GP、DP が定義された基板 50 上にアルミニウム (Al)、アルミニウム合金 (AlNd) 等を含む金属物質を蒸着してパターニングして、ゲート電極 54 とゲート配線 52 を形成する。ゲート電極 54 は前記スイッチング領域 S に対応して、ゲート配線 52 の一部は前記ストレージ領域 ST に対応する。ゲート配線 52 は一端にゲートパッド 56 を含むが、ゲートパッド 56 はゲートパッド領域 GP に対応する。

30

【0042】

前記ゲート電極 54 とゲート配線 52 が形成された基板 50 の全面に窒化シリコン (SiN_x) と酸化シリコン (SiO_2) を含む無機絶縁物質グループのうちから選択された一つまたはそれ以上の物質を蒸着してゲート絶縁膜 58 を形成する。

【0043】

前記ゲート絶縁膜 58 の上部に純粋な非晶質シリコン層と不純物が含まれた非晶質シリコン層を積層して第 2 マスク工程でパターニングして、前記ゲート電極 54 に対応するゲート絶縁膜 58 の上部にアクティブ層 60 a とオーミックコンタクト層 60 b で構成された半導体層 60 と前記半導体層 60 で垂直するように延長された延長部 62 を形成する。

40

【0044】

ここで、前記延長部 62 は形成しないこともある。

【0045】

図 5 A と図 5 B 及び図 5 C は、第 3 マスク工程を示した図面であって、それぞれ図 3 の IVA - IVA 線、IVB - IVB 線、IVC - IVC 線に沿って切断した面に対応する断面図である。

【0046】

前記アクティブ層 60 a とオーミックコンタクト層 60 b が形成された基板 50 の全面

50

に前述した導電性金属グループのうちから選択された一つまたはそれ以上を蒸着して第3マスク工程でパターニングして、前記オーミックコンタクト層60bの上部で相互に離隔されたソース電極64とドレイン電極66を形成して、前記ソース電極64から前記データパッド領域DPに延長形成されて一端にデータパッド70を含むデータ配線68が形成される。

【0047】

同時に、前記ストレージ領域STに対応するゲート配線52の上部にアイランド状の金属パターン72を形成する。

【0048】

続いて、前記ソース及びドレイン電極64、66をエッチングマスクにして露出したオーミックコンタクト層60bを除去して下部のアクティブ層60aを露出する工程を行う。

10

【0049】

図6Aと図6B及び図6Cは、第4マスク工程と第5マスク工程を示した図面であって、それぞれ図3のIVA-IVA線、IVB-IVB線、IVC-IVC線に沿って切断した面に対応する断面図である。

【0050】

前記ソース及びドレイン電極64、66とデータ配線68が形成された基板50の全面に窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を含む無機絶縁物質グループのうちから選択された一つを蒸着して保護膜74を形成する。

20

【0051】

前記保護膜74が形成された基板50の全面にブラック樹脂を塗布した後第4マスク工程でパターニングして、前記ソース及びドレイン電極64、66と露出したアクティブ層60aに対応してブラックマトリックス76を形成する。

【0052】

場合によって、前記ブラックマトリックス76は前記ゲート配線52とデータ配線68に対応してさらに形成することができる。

【0053】

次に、カラー樹脂を塗布して第5マスク工程を介してパターニングして、カラーフィルター層、例えば、緑色カラーフィルター78bを画素領域Pの保護膜74上部に形成する

30

【0054】

図7Aと図7B及び図7Cは、第6マスク工程を示した図面であって、それぞれ図3のIVA-IVA線、IVB-IVB線、IVC-IVC線に沿って切断した面に対応する断面図である。

【0055】

次に、前記カラーフィルター78bが形成された基板50の全面にベンゾシクロブテン(BCB)とアクリル系樹脂を含む平坦化膜80を形成して第6マスク工程でパターニングして、前記ドレイン電極66を露出するドレインコンタクトホール82と、前記金属パターン72を露出するストレージコンタクトホール84と、前記ゲートパッド56を露出するゲートパッドコンタクトホール86と、前記データパッド70を露出するデータパッドコンタクトホール88を形成する。

40

【0056】

図8Aと図8B及び図8Cは、第7マスク工程を示した図面であって、それぞれ図3のIVA-IVA線、IVB-IVB線、IVC-IVC線に沿って切断した面に対応する断面図である。

【0057】

図示したように、前記平坦化膜80が形成された基板50の全面にインジウム-スズ-オキサイド(ITO)とインジウム-ジnk-オキサイド(IZO)を含む透明な導電性金属グループのうちから選択された一つを蒸着してパターニングして、前記ドレイン電極66と前記金属パターン72に同時に接触しながら前記画素領域Pに位置した画素電極9

50

2と、前記ゲートパッド56と接触するゲートパッド端子94と前記データパッド70と接触するデータパッド端子96が形成される。

【0058】

前述したような7マスク工程を介して従来によるCOT構造の液晶表示装置用アレイ基板を製作することができる。

【0059】

前述した工程は、前記ブラックマトリックスと前記カラーフィルターを形成するための2マスク工程を除外すれば、画素電極を含むアレイ配線及び電極を形成するために5マスク工程を行っている。

【0060】

一般的に、液晶パネルを製作するにおいて工程数が多ければ工程時間が遅れ工程費用の高くなる問題がある同時に不良確率が大きくなり、製品の収率が低下する問題が発生する。

【発明の開示】

【発明が解決しようとする課題】

【0061】

本発明は前述した問題を解決するための目的で提案されたもので、カラーフィルターをアレイ基板に形成したCOT構造の液晶表示装置を製作する際、工程を単純化する方法を提案する。

【課題を解決するための手段】

【0062】

前述した目的を達成するための本発明による液晶表示装置の製造方法は、基板上に第1マスク工程でゲート配線とゲート電極を形成する段階と、前記ゲート配線とゲート電極を含む基板の全面にゲート絶縁膜を形成する段階と、前記ゲート絶縁膜上部に単一マスクを利用した第2マスク工程で、アクティブ層とオーミックコンタクト層、ソース電極、ドレイン電極、そして前記ゲート配線と交差して画素領域を定義するデータ配線を形成する段階と、前記ソース及びドレイン電極とデータ配線を含む基板全面に第1保護膜を形成する段階と、前記アクティブ層上部の第1保護膜上に第3マスク工程で、ブラックマトリックスを形成する段階と、前記画素領域の前記第1保護膜上部に第4マスク工程で、カラーフィルター層を形成する段階と、前記カラーフィルター及びブラックマトリックスが形成された基板の全面に第2保護膜を形成する段階と、第5マスク工程で、前記画素領域及び前記ドレイン電極の一部に対応する第2保護膜を露出する感光パターンを形成する段階と、前記感光パターンをマスクとして前記露出した第2保護膜を除去して、前記第2保護膜に接触する第1保護膜部分を除去して前記ドレイン電極の一部を露出する段階と、前記ドレイン電極の露出した部分を含み、前記感光パターンが形成された基板全面に透明導電層を形成する段階と、前記感光パターンと前記感光パターン上部の透明導電層を除去して、前記画素領域内に前記ドレイン電極の露出した部分と接触する画素電極を形成する段階を含む。

【0063】

また、本発明による液晶表示装置は、基板と、前記基板上に形成されたゲート配線とゲート電極と、前記ゲート配線とゲート電極上部のゲート絶縁膜と、前記ゲート電極上部のゲート絶縁膜上に形成されたアクティブ層と、前記アクティブ層上部のオーミックコンタクト層と、前記オーミックコンタクト層上部に形成されたソース電極とドレイン電極、そして前記ゲート配線と交差して画素領域を定義するデータ配線と、前記ソース及びドレイン電極とデータ配線上部の第1保護膜と、前記アクティブ層上部の前記第1保護膜上に形成されたブラックマトリックスと、前記画素領域の第1保護膜上に形成されたカラーフィルター層と、前記ブラックマトリックス及びカラーフィルター層上部に形成されて、前記画素領域のカラーフィルター層を露出する第2保護膜と、前記第2保護膜と水平に重畳することなく前記第2保護膜と同じ層上に位置し、前記画素領域の露出したカラーフィルター層上部に形成されて、前記ドレイン電極と連結された画素電極を含む。

【発明の効果】

【0064】

したがって、本発明によるCOT構造液晶表示装置用アレイ基板は、第一に、COT構造であるのでブラックマトリックスを上部基板に構成する時の合着マージンを開口領域で用いることができるので開口率改善及びこれによる輝度が改善される効果がある。

【0065】

第二に、薄膜トランジスタアレイ部を減少させた工程を介して製作することによって、工程単純化を介した工程時間の短縮及び固定費用を低めることができると同時に工程中発生する不良確率を低めることができ、製品の収率を改善することができる効果がある。

【発明を実施するための最良の形態】

10

【0066】

以下、添付した図面を参照して、本発明による望ましい実施の形態を説明する。

- 第1の実施の形態 -

【0067】

本発明の特徴は、カラーフィルター及びブラックマトリックスを含むアレイ基板の構成で、前記ブラックマトリックス及びカラーフィルターを除外したアレイ基板の構成を3マスク工程で製作することを特徴とする。

【0068】

以下、工程断面図を参照して本発明によるCOT構造の液晶表示装置用アレイ基板の製造工程を説明する。

20

【0069】

図9A、図9B及び図9Cは、本発明の第1マスク工程を示した図面であって、それぞれ画素領域と、ゲートパッド領域及びデータパッド領域に対応する断面図である。

【0070】

図示したように、基板100上にスイッチング領域Sを含む画素領域Pを定義して、ゲートパッド領域GPとデータパッド領域DPと、前記画素領域Pの一部に対応するストレージ領域STを定義する。

【0071】

前記複数の領域S、ST、P、GP、DPが定義された基板100上に、アルミニウム(Al)、アルミニウム合金(AlNd)、銅(Cu)、タングステン(W)、クロム(Cr)、モリブデン(Mo)等を含む導電性金属グループのうちから選択された一つまたはそれ以上の物質を蒸着して第1マスク工程によりパターニングして、ゲート電極104とゲート配線102を形成する。ゲート電極104は、前記画素領域Pのスイッチング領域Sに位置して、ゲート配線102の一部は、前記ストレージ領域STに対応する。ゲート配線102は、前記ゲート電極104と連結されて、一端にゲートパッド106を含むが、ゲートパッド106はゲートパッド領域GPに位置する。

30

【0072】

図10A、図10B、図10Cないし図14A、図14B、図14Cは、第2マスク工程を工程順序に従って示した図面であって、それぞれ画素領域と、ゲートパッド領域及びデータパッド領域に対応する断面図である。

40

【0073】

まず、図10A、図10B及び図10Cに示したように、前記ゲートパッド及びゲート配線106、102とゲート電極104が形成された基板100の全面に、窒化シリコン(SiN_x)と酸化シリコン(SiO₂)を含む無機絶縁物質グループのうちから選択された一つまたはそれ以上の物質を蒸着してゲート絶縁膜108を形成する。

【0074】

続いて、前記ゲート絶縁膜108が形成された基板100の全面に、純粋非晶質シリコン(a-Si:H)と不純物非晶質シリコン(n+またはp+またはa-Si:H)を順次蒸着して、純粋非晶質シリコン層110と不純物非晶質シリコン層112を形成して、前記不純物非晶質シリコン層112の上部に前述した導電性金属を蒸着して導

50

電性金属層 1 1 4 を形成する。

【 0 0 7 5 】

次に、前記導電性金属層 1 1 4 が形成された基板 1 0 0 の全面に、フォトリジストを塗布して感光層 1 1 6 を形成する。

【 0 0 7 6 】

前記感光層 1 1 6 の離隔された上部に遮断部 A 2 と透過部 A 1 と半透過部 A 3 で構成されたマスク M を位置させる。

【 0 0 7 7 】

ここで、前記マスク M の遮断部 A 2 は、スイッチング領域 S とストレージ領域 S T とデータパッド領域 D P に対応するようにし、前記半透過部 A 3 は、前記スイッチング領域 S のうち前記ゲート電極 1 0 4 の中心一部領域に位置するように構成する。それ以外の領域には、前記透過部 A 1 が対応するようにする。

【 0 0 7 8 】

前記感光層 1 1 6 がポジティブ特性を有したと仮定した場合、前記マスク M の透過部 A 1 に対応する感光層 1 1 6 は完全に露光されて、前記マスク M の半透過部 A 3 に対応する感光層 1 1 6 は一部だけが露光される特性を有する。

【 0 0 7 9 】

前記マスク M の上部に光を照射して下部の感光層 1 1 6 を露光して現像する工程を行う。

【 0 0 8 0 】

このようにすれば、図 1 1 A、図 1 1 B 及び図 1 1 C に示したように、前記スイッチング領域 S に対応して互いに異なる第 1 及び第 2 厚さを有する第 1 感光パターン 1 1 8 a と、前記ストレージ領域 S T と、データパッド領域 D P に対応して第 1 感光パターン 1 1 8 a の第 1 厚さと同様な厚さの第 2 感光パターン 1 1 8 b を形成する。第 1 感光パターン 1 1 8 a の第 1 厚さは、図 1 0 A のマスク M の遮断部 A 2 に対応し、第 2 厚さは第 1 厚さより薄いし図 1 0 A のマスク M の透過部 A 3 に対応する。

【 0 0 8 1 】

ここで、前記データパッド領域 D P に形成された第 2 感光パターン 1 1 8 b は、前記第 1 感光パターン 1 1 8 a と延長されて前記ゲート配線 1 0 2 とは垂直方向で延長されて形成された形状である。

【 0 0 8 2 】

次に、図 1 2 A、図 1 2 B 及び図 1 2 C に示したように、前記第 1 及び第 2 感光パターン 1 1 8 a、1 1 8 b の周辺で露出した金属層 1 1 4 とその下部の不純物非晶質シリコン層 1 1 2 と純粋非晶質シリコン層 1 1 0 を除去する工程を行う。

【 0 0 8 3 】

このようにすれば、前記スイッチング領域 S に対応する第 1 感光パターン 1 1 8 a の下部にはパターンニングされたソースドレインパターン 1 1 9 が形成され、前記ストレージ領域 S T に対応する第 2 感光パターン 1 1 8 b の下部にはアイランド状の金属パターン 1 2 0 が形成され、前記データパッド領域 D P に対応する第 2 感光パターン 1 1 8 b の下部には前記ソースドレインパターン 1 1 9 と連結されて一方向に延長されて一端にデータパッド 1 2 2 を含むデータ配線（図示せず）が形成される。

【 0 0 8 4 】

そして、ソースドレインパターン 1 1 9 と金属パターン 1 2 0 及びデータパッド 1 2 2 下部にはパターンニングされた不純物非晶質シリコン層 1 1 2 と純粋非晶質シリコン層 1 1 0 が残るようになる。

【 0 0 8 5 】

図 1 3 A、図 1 3 B 及び図 1 3 C は、前記第 1 及び第 2 感光パターン 1 1 8 a、1 1 8 b を灰化（ashing）する工程を示した図面である。

【 0 0 8 6 】

図示したように、前記第 1 感光パターン 1 1 8 a の第 2 厚さを完全に除去することによ

10

20

30

40

50

って、下部のソースドレインパターン 119 を露出する工程を行う。ここで、第 1 感光パターン 118 a の第 1 厚さ及び第 2 感光パターン 118 b も一部除去されて厚さが薄くなり、第 1 及び第 2 感光パターン 118 a、118 b の縁も除去される。

【0087】

したがって、前記ソースドレインパターン 119 はその周辺 F も一定領域露出して、前記金属パターン 120 とデータパッド 122 及びデータ配線（図示せず）の周辺 F も一定領域露出する形状になる。

【0088】

図 14 A、図 14 B 及び図 14 C に示したように、露出したソースドレインパターンを除去して、その下部の不純物非晶質シリコン層 112 を除去する工程を行う。

10

【0089】

このようにすれば、前記ゲート電極 104 に対応して離隔されたソース電極（124）とドレイン電極 126 が形成される。

【0090】

一方、ソース及びドレイン電極 124、126 とデータパッド 122 及び金属パターン 120 下部に第 1 半導体パターン 111 と第 2 半導体パターン 113 及び第 3 半導体パターン 115 がそれぞれ形成される。半導体パターン 111、113、115 のそれぞれは不純物非晶質シリコン層 112 と純粋非晶質シリコン層 110 を含む。

【0091】

ここで、前記ソース及びドレイン電極 124、126 の下部に形成された第 1 半導体パターン 111 の純粋非晶質シリコン層をアクティブ層 111 a といい、不純物非晶質シリコン層をオーミックコンタクト層 111 b という。不純物非晶質シリコン層と純粋非晶質シリコン層を含んで、第 1 及び第 2 半導体パターン 111、113 と連結されるまた他の半導体パターンがデータ配線下部にさらに形成されることもできる。

20

【0092】

次に、前記ソース及びドレイン電極 124、126 と、金属パターン 120 と、データパッド 122 及びデータ配線（図示せず）の上部に位置した第 1 及び第 2 感光パターン 118 a、118 b を除去する工程を行う。

【0093】

前述したような工程を介して本発明による第 2 マスク工程を完了する。

30

【0094】

図 15 A、図 15 B 及び図 15 C は、本発明の第 3 マスク工程を示した図面であって、それぞれ画素領域と、ゲートパッド領域及びデータパッド領域に対応する断面図である。

【0095】

図 15 A、図 15 B 及び図 15 C に示したように、前記ソース及びドレイン電極 124、126 とデータパッド 122 及びデータ配線（図示せず）が形成された基板 100 の全面に、窒化シリコン（ SiN_x ）と酸化シリコン（ SiO_2 ）を含む無機絶縁物質グループのうちから選択された一つを蒸着して第 1 保護膜 128 を形成する。前記第 1 保護膜 128 が形成された基板 100 の全面に、ブラック樹脂を塗布した後、第 3 マスク工程でパターニングして前記スイッチング領域 S に対応してブラックマトリックス 129 を形成する。

40

【0096】

次に、図 16 A、図 16 B 及び図 16 C は、本発明の第 4 マスク工程を示した図面であって、それぞれ画素領域と、ゲートパッド領域及びデータパッド領域に対応する断面図である。

【0097】

図 16 A、図 16 B 及び図 16 C に示したように、第 1 保護膜 128 上部にカラー樹脂を塗布して第 4 マスク工程でパターニングして前記画素領域 P に対応するカラーフィルター層、例えば緑色カラーフィルター 130 を形成する。

【0098】

50

前記カラーフィルター層は、赤、緑、青色カラーフィルターを含み、複数の画素領域に対応して赤色（RED）と緑色（GREEN）及び青色（BLUE）のカラーフィルターを順次形成するのが一般的である。ここで、赤色及び青色カラーフィルターは、緑色カラーフィルター１３０と同一な方法で形成される。

【００９９】

前記ブラックマトリックス１２９とカラーフィルター１３０を形成する時は、前記ドレイン電極１２６の一部と前記金属パターン１２０の一部に対応する部分の第１保護膜１２８が露出するようにする。ゲートパッド１０６及びデータパッド１２２上部にはカラーフィルターを形成しない。

【０１００】

次に、図１７Ａ、図１７Ｂ、図１７Ｃないし図２１Ａ、図２１Ｂ、図２１Ｃは、本発明の第５マスク工程を示した図面であって、それぞれ画素領域と、ゲートパッド領域及びデータパッド領域に対応する断面図である。

【０１０１】

図１７Ａ、図１７Ｂ及び図１７Ｃに示したように、前記ブラックマトリックス１２９とカラーフィルター１３０が形成された基板１００の全面に、前述した絶縁物質を蒸着して第２保護膜１３２を形成する。

【０１０２】

図１８Ａ、図１８Ｂ及び図１８Ｃに示したように、前記第２保護膜１３２が形成された基板１００の全面に、フォトリソを塗布した後、第５マスク工程でパターニングして、画素領域Ｐと前記ドレイン電極１２６の一部、前記金属パターン１２０の一部、前記データパッド１２２及びゲートパッド１０６に対応する第２保護膜１３２が露出されるように感光パターン１３４を形成する。

【０１０３】

次に、図１９Ａ、図１９Ｂ及び図１９Ｃに示したように、前記スイッチング領域Ｓとストレージ領域ＳＴに対応して、前記感光パターン１３４の間で露出した第２保護膜１３２とその下部の第１保護膜１２８を除去してドレインコンタクトホール１３６とストレージコンタクトホール１３８を形成し、前記ゲートパッド領域ＧＰに対応して第２保護膜１３２とその下部の第１保護膜１２８とゲート絶縁膜１０８を除去してゲートパッドコンタクトホール１４０を形成し、前記データパッド領域ＤＰに対応して第２保護膜１３２とその下部の第１保護膜１２８を除去してデータパッドコンタクトホール１４２を形成する。

【０１０４】

図２０Ａ、図２０Ｂ及び図２０Ｃに示したように、前記感光パターン１３４が形成された基板１００の全面に、インジウム－スズ－オキサイド（ITO）とインジウム－ジnk－オキサイド（IZO）を含む透明な導電性金属グループのうちから選択された一つを蒸着して透明な金属層１４６を形成する。

【０１０５】

次に、図２１Ａ、図２１Ｂ及び図２１Ｃに示したように、前記感光パターン（図２０Ａ、図２０Ｂ、図２０Ｃの１３４）を除去する工程を行い、前記ドレイン電極１２６と金属パターン１２０に同時に接触しながら前記画素領域Ｐに位置する画素電極１４８を形成する。

【０１０６】

同時に、前記ゲートパッド１０６と接触するアイランド状のゲートパッド端子１５０、そして前記データパッド１２２と接触するアイランド状のデータパッド端子１５２を形成する。

【０１０７】

前述したような工程を介して本発明によるCOT構造の液晶表示装置用アレイ基板を製作することができ、前述したアレイ基板に透明な共通電極を形成した第２基板を合着する工程を介してCOT構造の液晶表示装置を製作することができる。

【０１０８】

10

20

30

40

50

前述した本発明によるCOT構造の液晶表示装置用アレイ基板は、総5マスク工程で製作され、従来に比べて製造工程が減少し費用及び時間を減らすことができる。

【0109】

一方、柱状のスペーサーを本発明のアレイ基板上部にさらに形成することができる。

【0110】

図22A、図22B及び図22Cは、本発明による柱状のスペーサーを含むアレイ基板を示したものであって、それぞれ画素領域と、ゲートパッド領域及びデータパッド領域に対応する断面図である。

【0111】

図示したように、絶縁基板200上にスイッチング領域Sを含む画素領域Pと、ストレージ領域ST、ゲートパッド領域GP及びデータパッド領域DPが定義される。

10

【0112】

ゲート配線202とゲート電極204及びゲートパッド206が基板200上に形成される。ゲート電極204はスイッチング領域Sに位置し、ゲート配線202の一部はストレージ領域STに位置し、ゲートパッド206はゲートパッド領域GPに位置する。図示しなかったが、ゲート電極204はゲート配線202に連結し、ゲートパッド206はゲート配線202の一端に位置する。

【0113】

ゲート絶縁膜208はゲート配線202とゲート電極204及びゲートパッド206上部に形成される。

20

【0114】

第1、第2、第3半導体パターン211、213、215はゲート絶縁膜208上部のスイッチング領域S、データパッド領域DP及びストレージ領域STにそれぞれ形成される。半導体パターン211、213、215のそれぞれは純粋非晶質シリコン層210と不純物非晶質シリコン層212を含む。第1半導体パターン211の純粋非晶質シリコン層はアクティブ層211aになって、第1半導体パターン211の不純物非晶質シリコン層はオーミックコンタクト層211bになる。

【0115】

ソース電極224とドレイン電極226は第1半導体パターン211上部に形成され、データパッド222は第2半導体パターン213上部に形成され、金属パターン220は第3半導体パターン215上部に形成される。図示しなかったが、データ配線はソース及びドレイン電極224、226とデータパッド222及び金属パターン220と同じ層上に形成される。データ配線はゲート配線202と交差してソース電極224に連結し、データパッド222はデータ配線の一端に位置する。金属パターン220はゲート配線202と重なって、金属パターン220とゲート配線202を第1及び第2キャパシター電極にするストレージキャパシターが形成される。

30

【0116】

ゲート電極204と第1半導体パターン211、ソース電極224及びドレイン電極226は薄膜トランジスタTを形成する。

【0117】

40

第1保護膜228はソース及びドレイン電極224、226、データパッド222及び金属パターン220上部に形成される。続いて、ブラックマトリックス229はスイッチング領域Sにある薄膜トランジスタT上部の第1保護膜228上に形成される。カラーフィルター層230はスイッチング領域Sを除外した画素領域Pの第1保護膜228上に形成される。カラーフィルター層230は赤、緑、青色カラーフィルターを含み、各カラーフィルターは画素領域Pに対応する。カラーフィルターはそれぞれの画素領域に順次形成される。

【0118】

第2保護膜232はブラックマトリックス229とカラーフィルター層230上部に形成される。第2保護層232はスイッチング領域Sを除外した画素領域Pとストレージ領

50

域 S T、ゲートパッド領域 G P 及びデータパッド領域 D P を露出する。

【 0 1 1 9 】

画素電極 2 5 0 とゲートパッド端子 2 5 4 及びデータパッド端子 2 5 6 は第 2 保護膜 2 3 2 で露出した領域のブラックマトリックス 2 2 9 及びカラーフィルター層 2 3 0 上部に形成される。画素電極 2 5 0 とゲートパッド端子 2 5 4 及びデータパッド端子 2 5 6 は透明導電物質で形成される。画素電極 2 5 0 はドレイン電極 2 2 6 及び金属パターン 2 2 0 と接触し、ゲートパッド端子 2 5 4 はゲートパッド 2 0 6 と接触して、データパッド端子 2 5 6 はデータパッド 2 2 2 と接触する。

【 0 1 2 0 】

柱状のスペーサー 2 8 0 は画素電極 2 5 0 を含む基板 2 0 0 上に形成される。スペーサー 2 8 0 はゲート配線 2 0 2 とデータ配線（図示せず）に対応する。スペーサー 2 8 0 は感光性や非感光性樹脂を基板 2 0 0 全面に塗布してマスクを利用したフォトリソグラフィ工程を介してパターンニングして形成される。

10

【 0 1 2 1 】

第 1 遮断層 2 8 2 と第 2 遮断層 2 8 4 はゲートパッド 2 0 6 とデータパッド 2 2 2 上部にスペーサー 2 8 0 と同じ層でそれぞれ形成される。ゲートパッド 2 0 6 とデータパッド 2 2 2 がアルミニウム（A l）を含む金属物質で形成される時、スペーサー 2 8 0 をパターンニングするためのエッチング液により、ゲートパッド 2 0 6 とゲートパッド端子 2 5 4 間またはデータパッド 2 2 2 とデータパッド端子 2 5 6 間にガルバニック現象が発生して、ゲートパッド 2 0 6 またはデータパッド 2 2 2 が除去することができる。したがって、このような問題を防止するために、第 1 遮断層 2 8 2 はゲートパッド 2 0 6 を覆っており、第 2 遮断層 2 8 4 はデータパッド 2 2 2 を覆う。

20

【 0 1 2 2 】

ゲートパッド端子 2 5 4 とデータパッド端子 2 5 6 に信号を印加するために、第 1 及び第 2 遮断層 2 8 2、2 8 4 は次の段階で除去される。

【 0 1 2 3 】

スペーサー 2 8 0 と第 1 及び第 2 遮断層 2 8 2、2 8 4 を除外した図 2 2 A と図 2 2 B 及び図 2 2 C のアレイ基板は前述したのと同様な工程を介して製造されることができる。

【 0 1 2 4 】

図 2 3 A、図 2 3 B 及び図 2 3 C は、本発明の他の実施の形態によるアレイ基板を示したものであって、それぞれ画素領域と、ゲートパッド領域及びデータパッド領域に対応する断面図である。前記アレイ基板は画素電極と共通電極を含み、また柱状のスペーサーを含む。

30

【 0 1 2 5 】

図示したように、絶縁基板 3 0 0 上にスイッチング領域 S を含む画素領域 P と、ストレージ領域 S T、ゲートパッド領域 G P 及びデータパッド領域 D P が定義される。

【 0 1 2 6 】

ゲート配線 3 0 2 とゲート電極 3 0 4 及びゲートパッド 3 0 6 が基板 3 0 0 上に形成される。ゲート電極 3 0 4 はスイッチング領域 S に位置して、ゲート配線 3 0 2 の一部はストレージ領域 S T に位置し、ゲートパッド 3 0 6 はゲートパッド領域 G P に位置する。図示しなかったが、ゲート電極 3 0 4 はゲート配線 3 0 2 に連結して、ゲートパッド 3 0 6 はゲート配線 3 0 2 の一端に位置する。

40

【 0 1 2 7 】

ゲート絶縁膜 3 0 8 がゲート配線 3 0 2 とゲート電極 3 0 4 及びゲートパッド 3 0 6 上部に形成される。

【 0 1 2 8 】

第 1、第 2、第 3 半導体パターン 3 1 1、3 1 3、3 1 5 はゲート絶縁膜 3 0 8 上部のスイッチング領域 S、データパッド領域 D P 及びストレージ領域 S T にそれぞれ形成される。半導体パターン 3 1 1、3 1 3、3 1 5 のそれぞれは純粋非晶質シリコン層 3 1 0 と不純物非晶質シリコン層 3 1 2 を含む。第 1 半導体パターン 3 1 1 の純粋非晶質シリ

50

コーン層はアクティブ層 3 1 1 a になって、第 1 半導体パターン 3 1 1 の不純物非晶質シリコン層はオーミックコンタクト層 3 1 1 b になる。

【 0 1 2 9 】

ソース電極 3 2 4 とドレイン電極 3 2 6 は第 1 半導体パターン 3 1 1 上部に形成され、データパッド 3 2 2 は第 2 半導体パターン 3 1 3 上部に形成され、金属パターン 3 2 0 は第 3 半導体パターン 3 1 5 上部に形成される。図示しなかったが、データ配線はソース及びドレイン電極 3 2 4、3 2 6 とデータパッド 3 2 2 そして金属パターン 3 2 0 と同じ層上に形成される。データ配線はゲート配線 3 0 2 と交差してソース電極 3 2 4 に連結し、データパッド 3 2 2 はデータ配線の一端に位置する。金属パターン 3 2 0 はゲート配線 3 0 2 と重なって、金属パターン 3 2 0 とゲート配線 3 0 2 を第 1 及び第 2 キャパシター電極にするストレージキャパシターが形成される。

10

【 0 1 3 0 】

ゲート電極 3 0 4 と第 1 半導体パターン 3 1 1、ソース電極 3 2 4 及びドレイン電極 3 2 6 は薄膜トランジスタを形成する。

【 0 1 3 1 】

第 1 保護膜 3 2 8 はソース及びドレイン電極 3 2 4、3 2 6、データパッド 3 2 2 及び金属パターン 3 2 0 上部に形成される。続いて、ブラックマトリックス 3 2 9 はスイッチング領域 S にある薄膜トランジスタ上部の第 1 保護膜 3 2 8 上に形成される。カラーフィルター層 3 3 0 はスイッチング領域 S を除外した画素領域 P の第 1 保護膜 3 2 8 上に形成される。カラーフィルター層 3 3 0 は、赤、緑、青色カラーフィルターを含み、各カラーフィルターは画素領域 P に対応する。カラーフィルターはそれぞれの画素領域に順次形成される。

20

【 0 1 3 2 】

第 2 保護膜 3 3 2 はブラックマトリックス 3 2 9 とカラーフィルター層 3 3 0 上部に形成される。第 2 保護膜 3 3 2 はスイッチング領域 S を除外した画素領域 P とストレージ領域 S T、ゲートパッド領域 G P 及びデータパッド領域 D P を露出する。第 2 保護膜 3 3 2 は画素領域 P でパターニングされてカラーフィルター層 3 3 0 を選択的に露出する。

【 0 1 3 3 】

画素電極 3 5 0 と共通電極 3 5 8、ゲートパッド端子 3 5 4 及びデータパッド端子 3 5 6 は、第 2 保護膜 3 3 2 で露出した領域のブラックマトリックス 3 2 9 及びカラーフィルター層 3 3 0 上部に形成される。画素電極 3 5 0 と共通電極 3 5 8 は画素領域 P に位置し、相互に平行するように離隔されている。画素電極 3 5 0 は共通電極 3 5 8 と互い違いのように配置される。画素電極 3 5 0 と共通電極 3 5 8 のそれぞれは複数の部分を含む。画素電極 3 5 0 はドレイン電極 3 2 6 及び金属パターン 3 2 0 と接触し、ゲートパッド端子 3 5 4 はゲートパッド 3 0 6 と接触して、データパッド端子 3 5 6 はデータパッド 3 2 2 と接触する。画素電極 3 5 0 と共通電極 3 5 8、ゲートパッド端子 3 5 4 及びデータパッド端子 2 5 6 は透明導電物質で形成される。

30

【 0 1 3 4 】

共通配線（図示せず）がゲート配線 3 0 2 に平行するように形成されて共通電極 3 5 8 と連結されることができる。

40

【 0 1 3 5 】

一方、柱状のスペーサー 3 8 0 は画素電極 3 5 0 を含む基板 3 0 0 上に形成される。スペーサー 3 8 0 はゲート配線 3 0 2 とデータ配線（図示せず）に対応する。スペーサー 3 8 0 は感光性或非感光性樹脂を基板 3 0 0 全面に塗布してマスクを利用したフォトリソグラフィ工程を介してパターニングして形成される。

【 0 1 3 6 】

ゲートパッド 3 0 6 とデータパッド 3 2 2 上部に、第 1 遮断層 3 8 2 と第 2 遮断層 3 8 4 がスペーサー 3 8 0 と同じ層でそれぞれ形成される。ゲートパッド 3 0 6 とデータパッド 3 2 2 がアルミニウム（A1）を含む金属物質で形成される時、スペーサー 3 8 0 をパターニングするためのエッチング液により、ゲートパッド 3 0 6 とゲートパッド端子 3 5

50

4 間またはデータパッド 3 2 2 とデータパッド端子 3 5 6 間にガルバニック現象が発生して、ゲートパッド 3 0 6 またはデータパッド 3 2 2 が除去されることができる。したがって、このような問題を防止するために、第 1 遮断層 3 8 2 はゲートパッド 3 0 6 を覆っており、第 2 遮断層 3 8 4 はデータパッド 3 2 2 を覆う。一方、前記遮断層 3 8 2、3 8 4 は前記共通配線の終端リンク部に対応して形成することもできる。

【0137】

ゲートパッド端子 3 5 4 とデータパッド端子 3 5 6 に信号を印加するために、第 1 及び第 2 遮断層 3 8 2、3 8 4 は次の段階で除去される。

【図面の簡単な説明】

【0138】

10

【図 1】一般的な液晶表示装置を概略的に示した分解斜視図である。

【図 2】一般的な液晶表示装置を概略的に示した断面図である。

【図 3】一般的な C O T 構造の液晶表示装置用アレイ基板の一部を拡大した拡大平面図である。

【図 4 A】従来の第 1 及び第 2 マスク工程を示した図面であって、図 3 の I V A - I V A 線に沿って切断した面に対応する工程断面図である。

【図 4 B】従来の第 1 及び第 2 マスク工程を示した図面であって、図 3 の I V B - I V B 線に沿って切断した面に対応する工程断面図である。

【図 4 C】従来の第 1 及び第 2 マスク工程を示した図面であって、図 3 の I V C - I V C 線に沿って切断した面に対応する工程断面図である。

20

【図 5 A】従来の第 3 マスク工程を示した図面であって、図 3 の I V A - I V A 線線に沿って切断した面に対応する工程断面図である。

【図 5 B】従来の第 3 マスク工程を示した図面であって、図 3 の I V B - I V B 線に沿って切断した面に対応する工程断面図である。

【図 5 C】従来の第 3 マスク工程を示した図面であって、図 3 の I V C - I V C 線に沿って切断した面に対応する工程断面図である。

【図 6 A】従来の第 4 及び第 5 マスク工程を示した図面であって、図 3 の I V A - I V A 線に沿って切断した面に対応する工程断面図である。

【図 6 B】従来の第 4 及び第 5 マスク工程を示した図面であって、図 3 の I V B - I V B 線に沿って切断した面に対応する工程断面図である。

30

【図 6 C】従来の第 4 及び第 5 マスク工程を示した図面であって、図 3 の I V C - I V C 線に沿って切断した面に対応する工程断面図である。

【図 7 A】従来の第 6 マスク工程を示した図面であって、図 3 の I V A - I V A 線に沿って切断した面に対応する工程断面図である。

【図 7 B】従来の第 6 マスク工程を示した図面であって、図 3 の I V B - I V B 線に沿って切断した面に対応する工程断面図である。

【図 7 C】従来の第 6 マスク工程を示した図面であって、図 3 の I V C - I V C 線に沿って切断した面に対応する工程断面図である。

【図 8 A】従来の第 7 マスク工程を示した図面であって、図 3 の I V A - I V A 線に沿って切断した面に対応する工程断面図である。

40

【図 8 B】従来の第 7 マスク工程を示した図面であって、図 3 の I V B - I V B 線に沿って切断した面に対応する工程断面図である。

【図 8 C】従来の第 7 マスク工程を示した図面であって、図 3 の I V C - I V C 線に沿って切断した面に対応する工程断面図である。

【図 9 A】本発明の第 1 マスク工程を示した図面であって、画素領域に対応する工程断面図である。

【図 9 B】本発明の第 1 マスク工程を示した図面であって、ゲートパッド領域に対応する工程断面図である。

【図 9 C】本発明の第 1 マスク工程を示した図面であって、データパッド領域に対応する工程断面図である。

50

【図１０Ａ】本発明の第２マスク工程を工程順序によって示す図面であって、画素領域に対応する工程断面図である。

【図１０Ｂ】本発明の第２マスク工程を工程順序によって示す図面であって、ゲートパッド領域に対応する工程断面図である。

【図１０Ｃ】本発明の第２マスク工程を工程順序によって示す図面であって、データパッド領域に対応する工程断面図である。

【図１１Ａ】図１０Ａに続く工程断面図である。

【図１１Ｂ】図１０Ｂに続く工程断面図である。

【図１１Ｃ】図１０Ｃに続く工程断面図である。

【図１２Ａ】図１１Ａに続く工程断面図である。

10

【図１２Ｂ】図１１Ｂに続く工程断面図である。

【図１２Ｃ】図１１Ｃに続く工程断面図である。

【図１３Ａ】図１２Ａに続く工程断面図である。

【図１３Ｂ】図１２Ｂに続く工程断面図である。

【図１３Ｃ】図１２Ｃに続く工程断面図である。

【図１４Ａ】図１３Ａに続く工程断面図である。

【図１４Ｂ】図１３Ｂに続く工程断面図である。

【図１４Ｃ】図１３Ｃに続く工程断面図である。

【図１５Ａ】本発明の第３マスク工程を示した図面であって、画素領域に対応する工程断面図である。

20

【図１５Ｂ】本発明の第３マスク工程を示した図面であって、ゲートパッド領域に対応する工程断面図である。

【図１５Ｃ】本発明の第３マスク工程を示した図面であって、データパッド領域に対応する工程断面図である。

【図１６Ａ】本発明の第４マスク工程を示した図面であって、画素領域に対応する工程断面図である。

【図１６Ｂ】本発明の第４マスク工程を示した図面であって、ゲートパッド領域に対応する工程断面図である。

【図１６Ｃ】本発明の第４マスク工程を示した図面であって、データパッド領域に対応する工程断面図である。

30

【図１７Ａ】本発明の第５マスク工程を示した図面であって、画素領域に対応する断面図である。

【図１７Ｂ】本発明の第５マスク工程を示した図面であって、ゲートパッド領域に対応する断面図である。

【図１７Ｃ】本発明の第５マスク工程を示した図面であって、データパッド領域に対応する断面図である。

【図１８Ａ】図１７Ａに続く工程断面図である。

【図１８Ｂ】図１７Ｂに続く工程断面図である。

【図１８Ｃ】図１７Ｃに続く工程断面図である。

【図１９Ａ】図１８Ａに続く工程断面図である。

40

【図１９Ｂ】図１８Ｂに続く工程断面図である。

【図１９Ｃ】図１８Ｃに続く工程断面図である。

【図２０Ａ】図１９Ａに続く工程断面図である。

【図２０Ｂ】図１９Ｂに続く工程断面図である。

【図２０Ｃ】図１９Ｃに続く工程断面図である。

【図２１Ａ】図２０Ａに続く工程断面図である。

【図２１Ｂ】図２０Ｂに続く工程断面図である。

【図２１Ｃ】図２０Ｃに続く工程断面図である。

【図２２Ａ】本発明による柱状のスペーサーを含む液晶表示装置用アレイ基板の断面図であって、画素領域に対応する断面図である。

50

【図 2 2 B】本発明による柱状のスペーサーを含む液晶表示装置用アレイ基板の断面図であって、ゲートパッド領域に対応する断面図である。

【図 2 2 C】本発明による柱状のスペーサーを含む液晶表示装置用アレイ基板の断面図であって、データパッド領域に対応する断面図である。

【図 2 3 A】本発明の他の実施の形態による液晶表示装置用アレイ基板の断面図であって、画素領域に対応する断面図である。

【図 2 3 B】本発明の他の実施の形態による液晶表示装置用アレイ基板の断面図であって、ゲートパッド領域に対応する断面図である。

【図 2 3 C】本発明の他の実施の形態による液晶表示装置用アレイ基板の断面図であって、データパッド領域に対応する断面図である。

10

【符号の説明】

【 0 1 3 9 】

1 0 0 : 基板

1 0 2 : ゲート配線

1 0 4 : ゲート電極

1 0 8 : ゲート絶縁膜

1 1 0 : 純粋非晶質シリコン層

1 1 2 : 不純物非晶質シリコン層

1 2 0 : 金属パターン

1 2 4 : ソース電極

1 2 6 : ドレイン電極

1 2 8 : 第 1 保護膜

1 3 0 : カラーフィルター層

1 3 2 : 第 2 保護膜

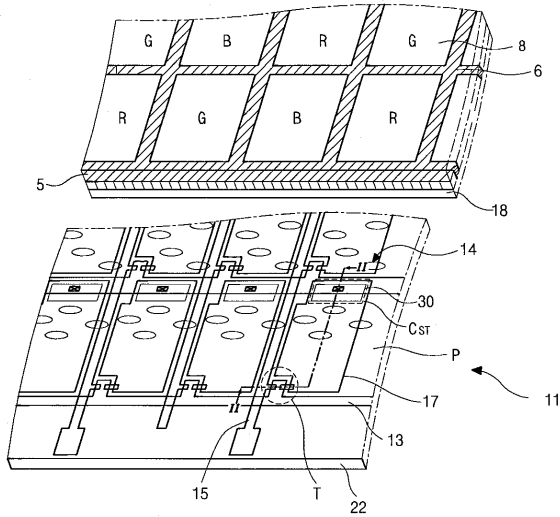
1 3 4 : 感光パターン

1 3 6 : ドレインコンタクトホール

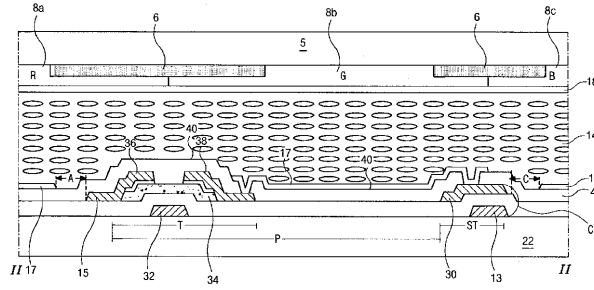
1 3 8 : ストレージコンタクトホール

20

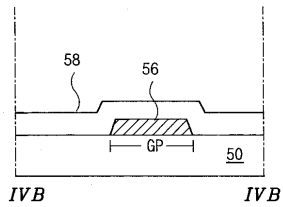
【図 1】



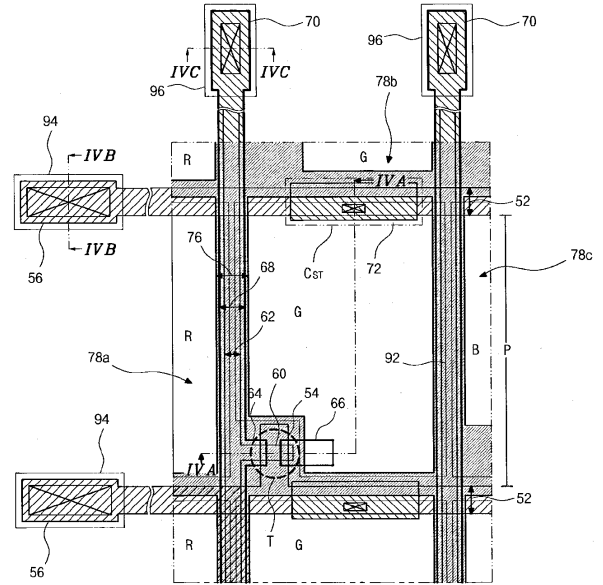
【図 2】



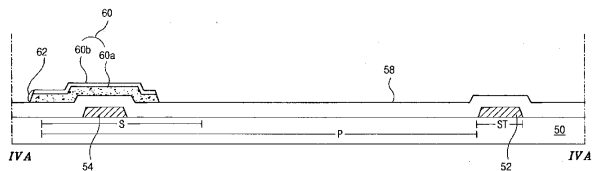
【図 4 B】



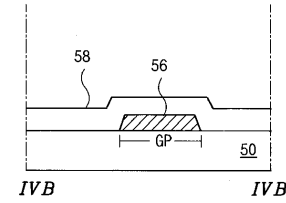
【図 3】



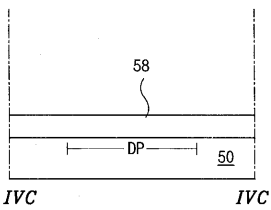
【図 4 A】



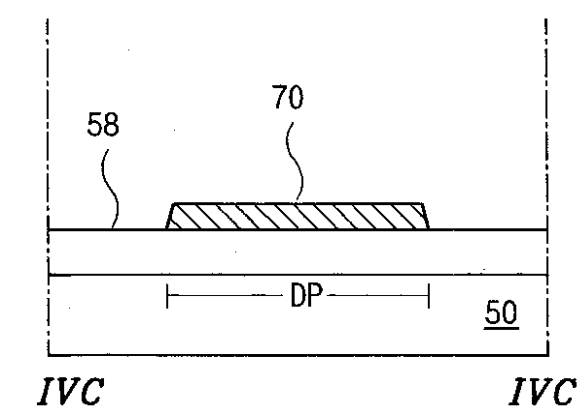
【図 5 B】



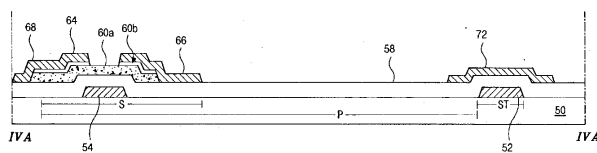
【図 4 C】



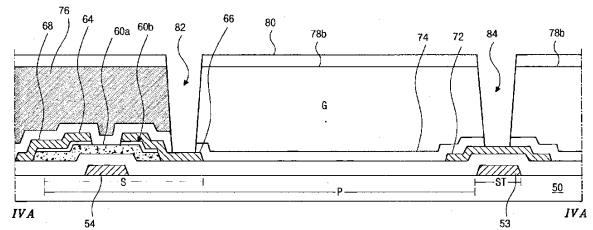
【図 5 C】



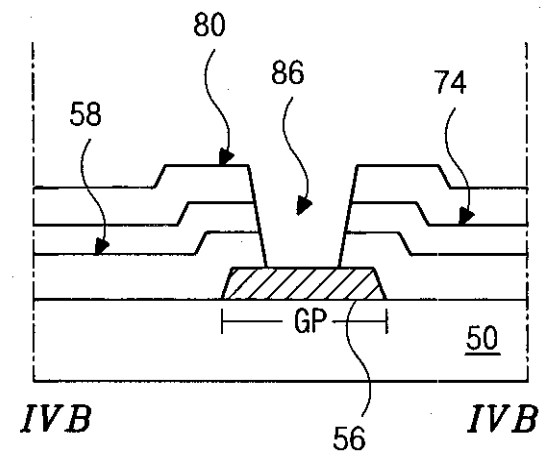
【図 5 A】



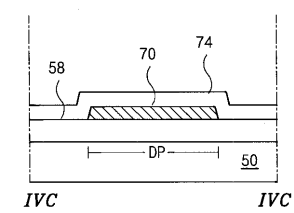
【 図 7 A 】



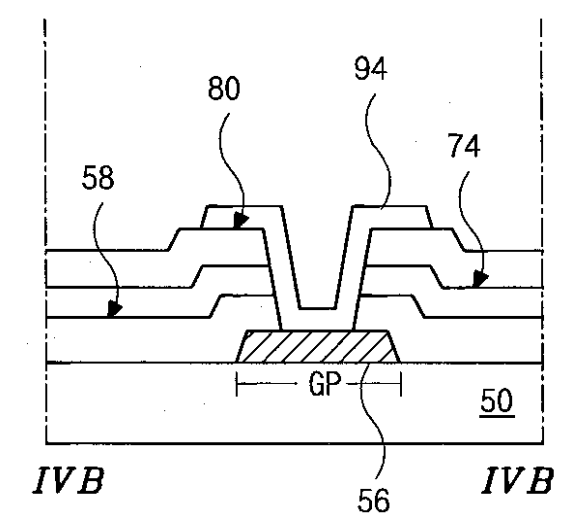
【 図 7 B 】



【 図 6 C 】

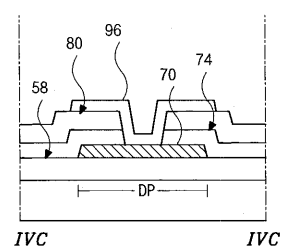


【 図 8 B 】

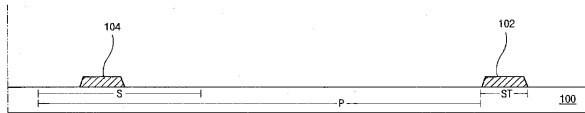


【 図 8 A 】

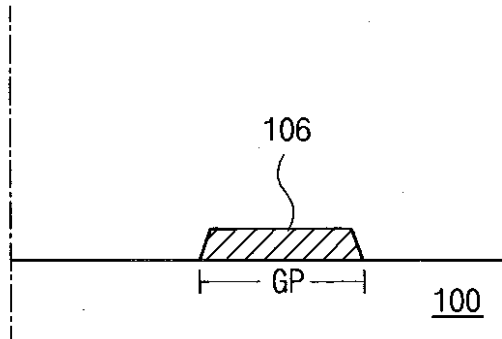
【 図 8 C 】



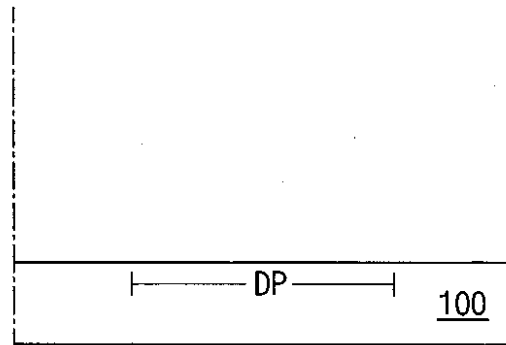
【図 9 A】



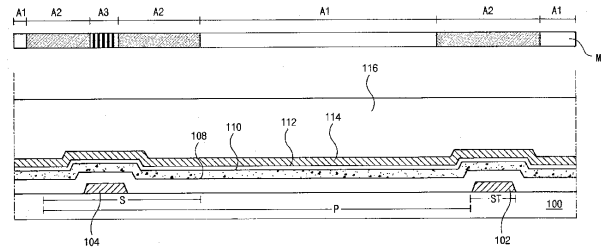
【図 9 B】



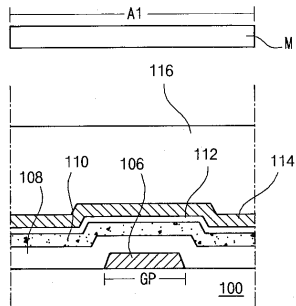
【図 9 C】



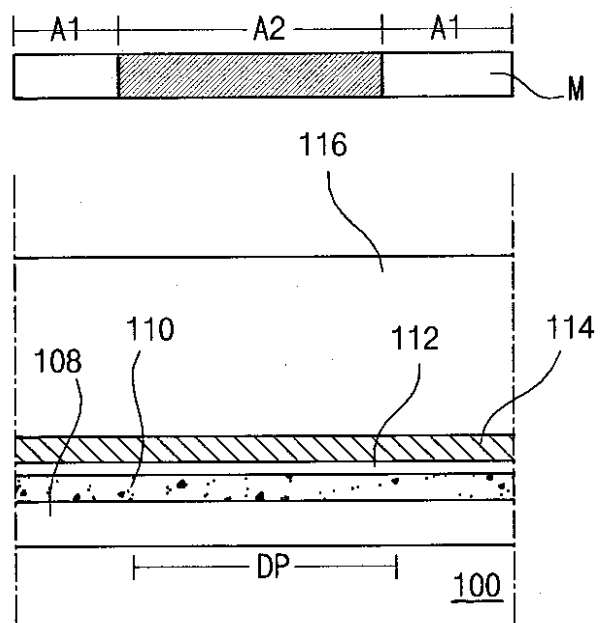
【図 10 A】



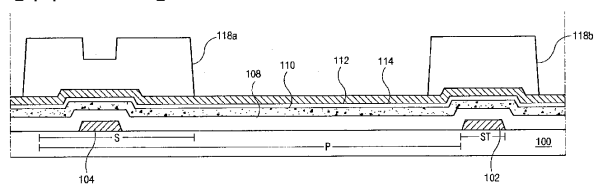
【図 10 B】



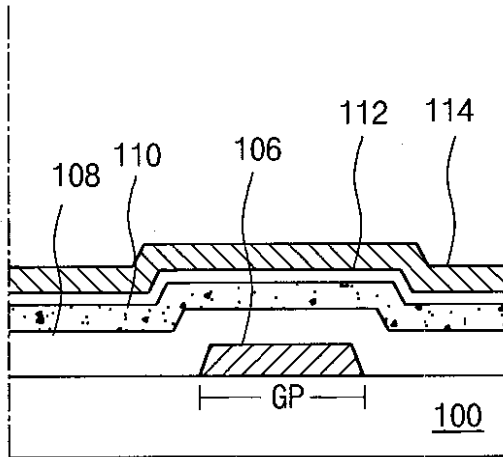
【図 10 C】



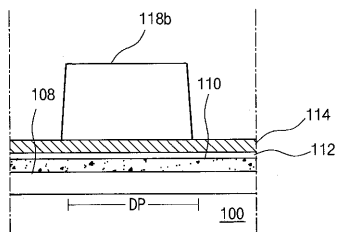
【図 11 A】



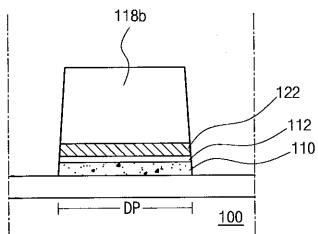
【図 11 B】



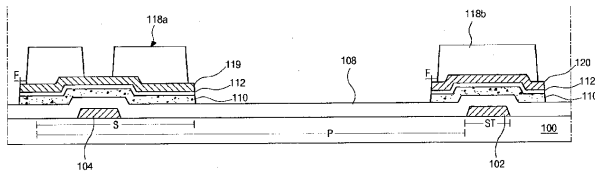
【図 11 C】



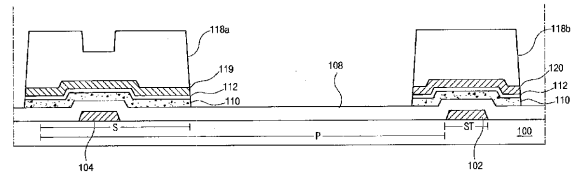
【図 12 C】



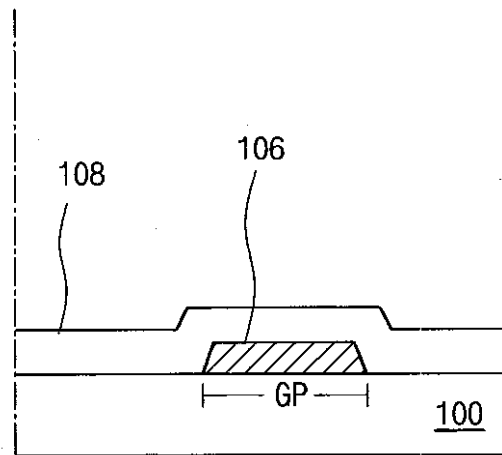
【図 13 A】



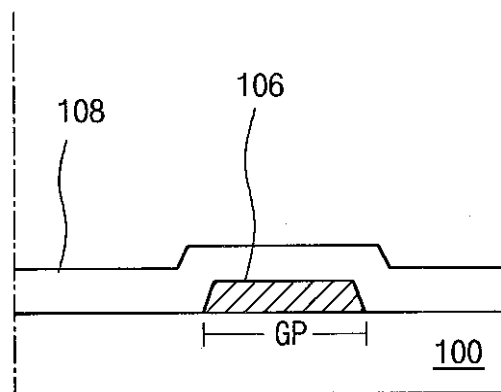
【図 12 A】



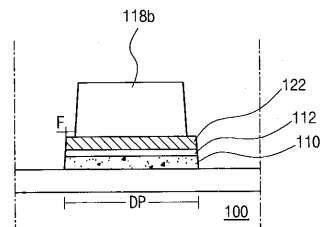
【図 12 B】



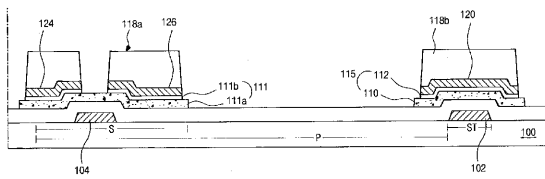
【図 13 B】



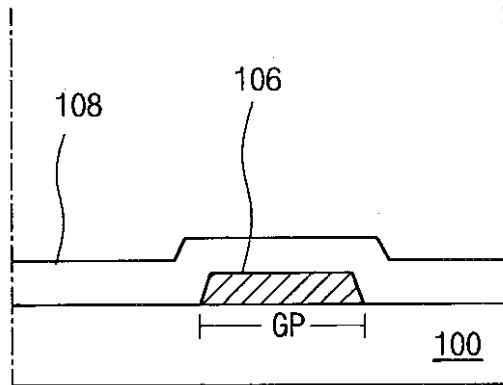
【図 13 C】



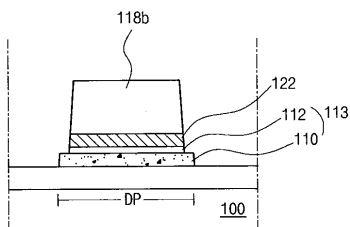
【図 14 A】



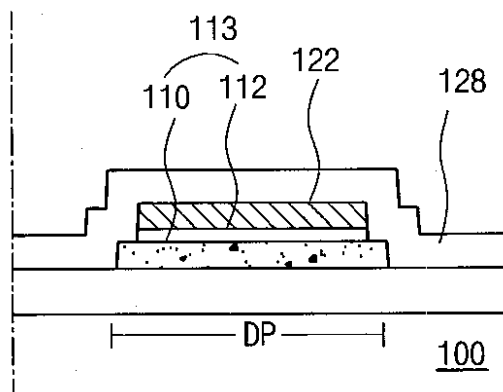
【図 14 B】



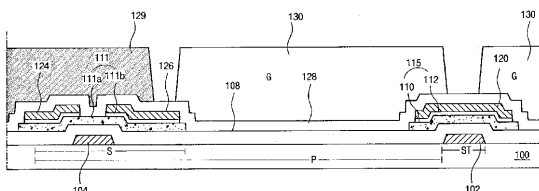
【図 14 C】



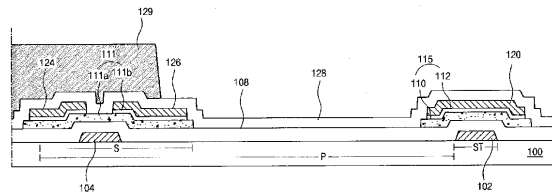
【図 15 C】



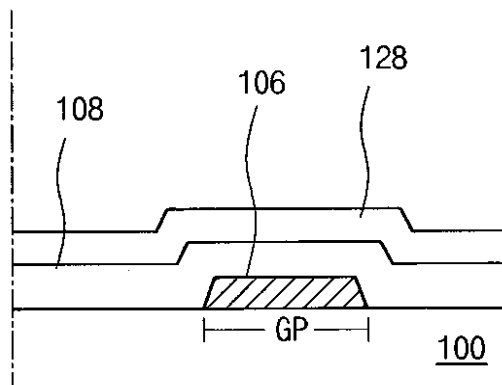
【図 16 A】



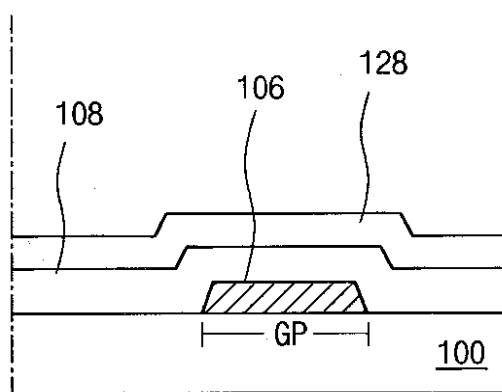
【図 15 A】



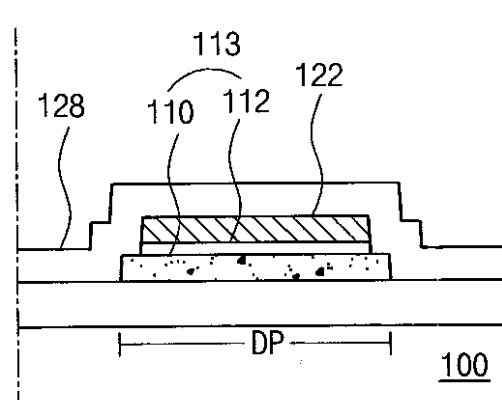
【図 15 B】



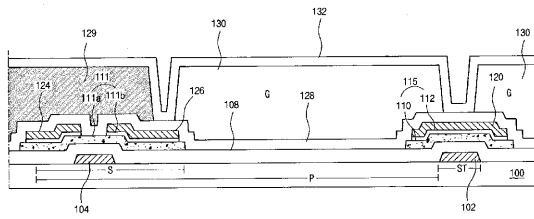
【図 16 B】



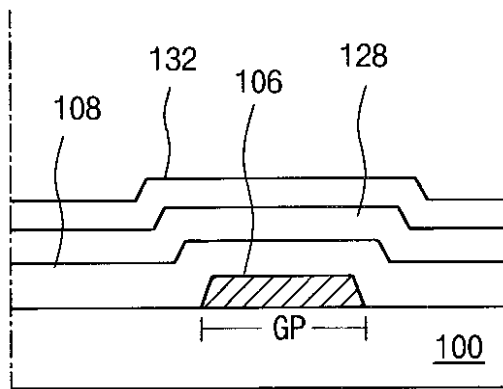
【図 16 C】



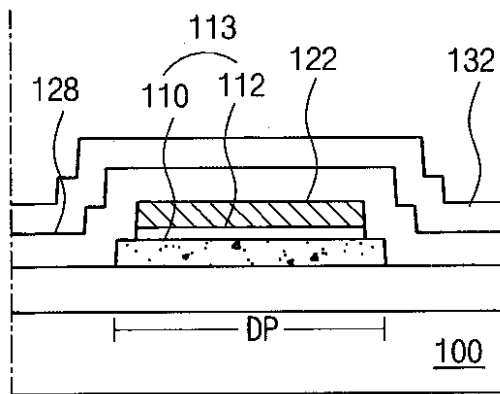
【図 17 A】



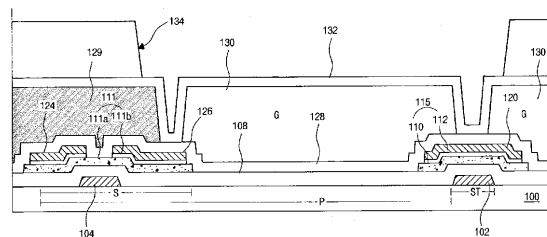
【図 17 B】



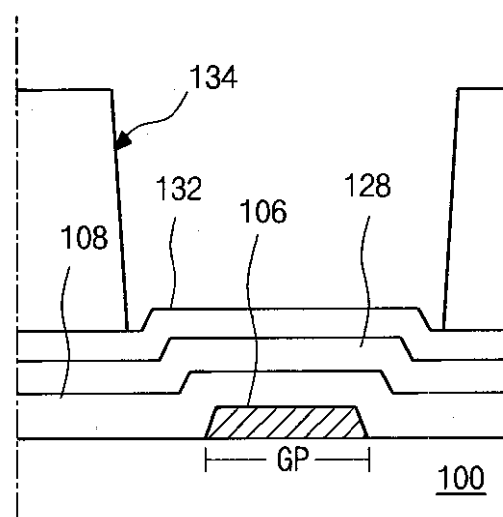
【図 17 C】



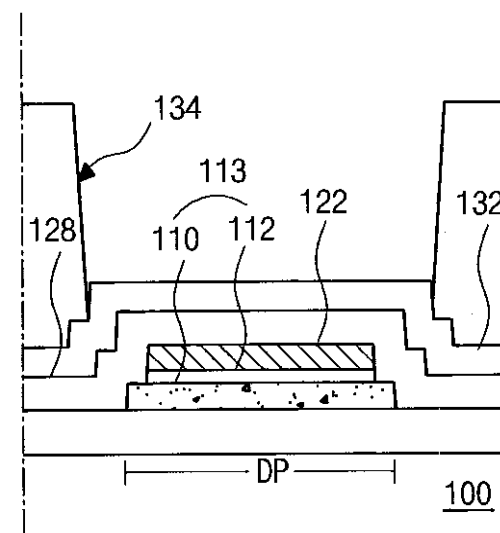
【図 18 A】



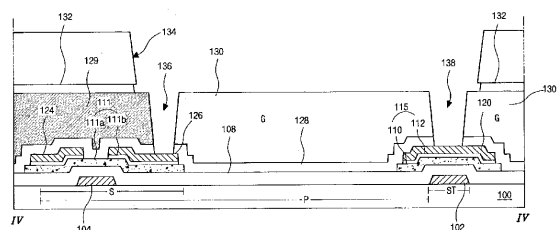
【図 18 B】



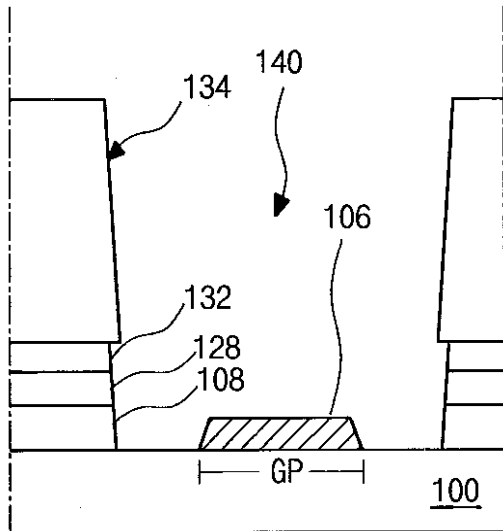
【図 18 C】



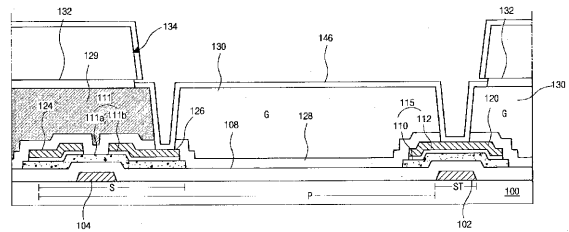
【図 19 A】



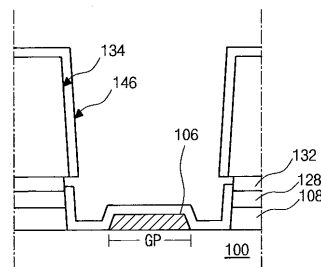
【図 19 B】



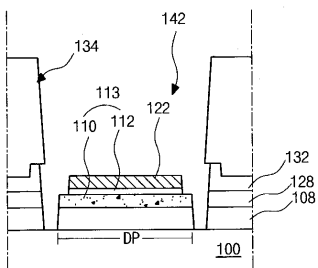
【図 20 A】



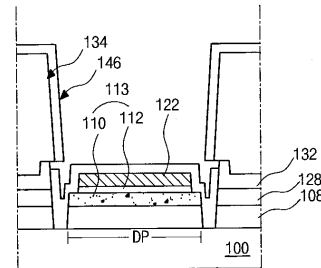
【図 20 B】



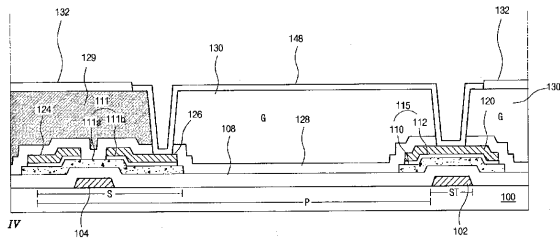
【図 19 C】



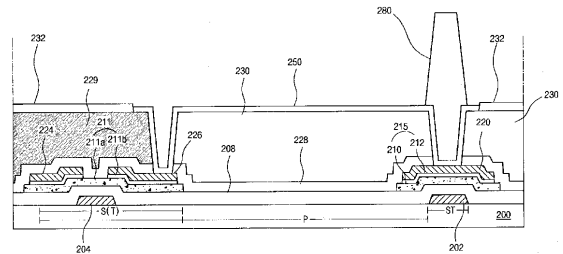
【図 20 C】



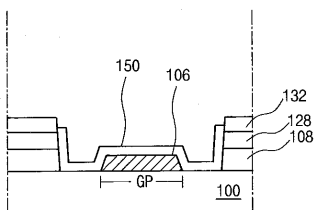
【図 21 A】



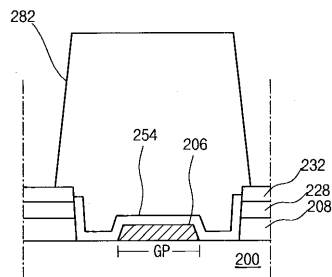
【図 22 A】



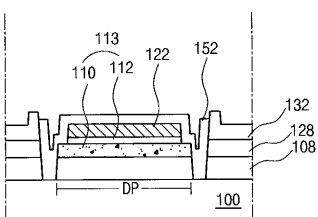
【図 21 B】



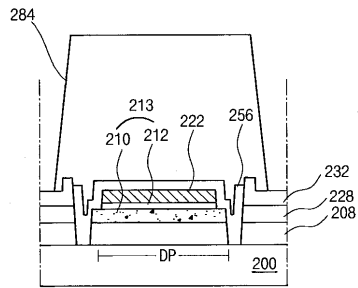
【図 22 B】



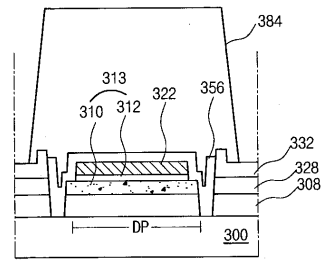
【図 21 C】



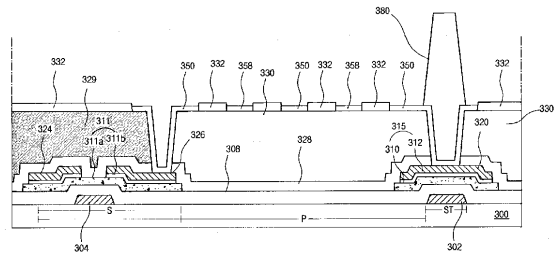
【図 2 2 C】



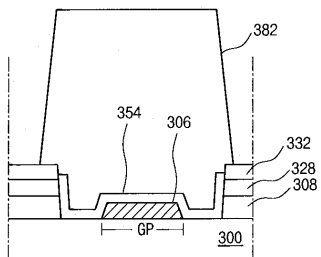
【図 2 3 C】



【図 2 3 A】



【図 2 3 B】



フロントページの続き

(72)発明者 ジョン・チン・パク

大韓民国、431-070 キョンギ-ド、アニョン-シ、ドンアン-グ、ピョンチョン-ドン
897-5、チョウォン・アパートメント 604-602

審査官 吉田 英一

(56)参考文献 特開2002-055363(JP,A)

特開2001-100652(JP,A)

特開2003-029297(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

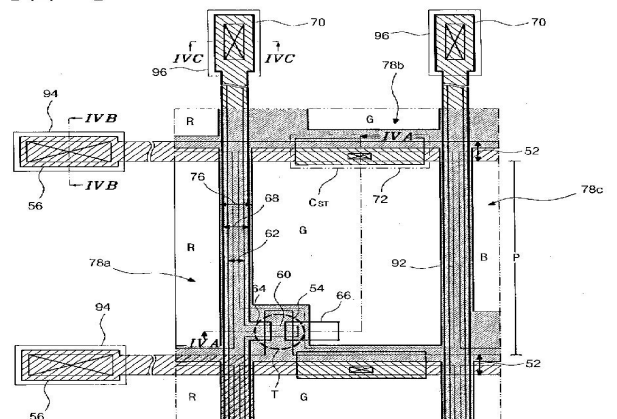
G02F 1/1335

专利名称(译)	液晶显示装置的制造方法和液晶显示装置		
公开(公告)号	JP4478077B2	公开(公告)日	2010-06-09
申请号	JP2005192296	申请日	2005-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ジョンチンパク		
发明人	ジョン-チン・パク		
IPC分类号	G02F1/1368 G02F1/1335		
CPC分类号	H01L27/1288 G02F1/13458 G02F1/136209 G02F1/136227 G02F2001/136222 H01L27/1214 H01L27/124		
FI分类号	G02F1/1368 G02F1/1335.505		
F-TERM分类号	2H091/FA02Y 2H091/FA34Y 2H091/FA35Y 2H091/GA13 2H091/GA16 2H091/LA12 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB57 2H092/JB58 2H092/KB26 2H092/MA13 2H092/MA17 2H092/MA37 2H092/NA27 2H092/PA08 2H191/FA02Y 2H191/FA13Y 2H191/FA14Y 2H191/GA19 2H191/GA22 2H191/LA13 2H192/AA24 2H192/BC31 2H192/CB05 2H192/DA02 2H192/EA13 2H192/EA42 2H192/HA44 2H192/HA47 2H291/FA02Y 2H291/FA13Y 2H291/FA14Y 2H291/GA19 2H291/GA22 2H291/LA13		
代理人(译)	英年古河 Kajinami秩序		
审查员(译)	吉田荣一		
优先权	1020040050171 2004-06-30 KR 1020050010589 2005-02-04 KR		
其他公开文献	JP2006018295A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了简化制造COT结构的液晶显示装置的过程，其中在阵列基板上形成滤色器。在栅电极上方的栅极绝缘膜上形成的有源层；有源层上的欧姆接触层；以及欧姆接触层形成在有源层的上部的源电极和漏电极，与栅极布线交叉以限定像素区域的数据布线，源电极和漏电极上的第一保护膜以及数据布线和第一保护膜在像素区域中的第一保护膜上形成滤色器层，在黑矩阵和滤色器层上形成第二保护以暴露像素区域中的滤色器层，膜和像素电极形成在像素区域的暴露的滤色器层上并连接到漏电极号（图19A）

【图 3】



【图 4 A】