

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4306654号
(P4306654)

(45) 発行日 平成21年8月5日(2009.8.5)

(24) 登録日 平成21年5月15日(2009.5.15)

(51) Int.Cl.	F 1
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1345 (2006.01)	GO2F 1/1345
GO9F 9/30 (2006.01)	GO9F 9/30 338

請求項の数 2 (全 13 頁)

(21) 出願番号	特願2005-215717 (P2005-215717)	(73) 特許権者	000001443
(22) 出願日	平成17年7月26日 (2005.7.26)		カシオ計算機株式会社
(65) 公開番号	特開2007-33760 (P2007-33760A)		東京都渋谷区本町 1 丁目 6 番 2 号
(43) 公開日	平成19年2月8日 (2007.2.8)	(74) 代理人	100090033
審査請求日	平成18年10月3日 (2006.10.3)		弁理士 荒船 博司
		(74) 代理人	100093045
			弁理士 荒船 良男
		(72) 発明者	中村 やよい
			東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子技術センター内
		審査官	奥田 雄介

最終頁に続く

(54) 【発明の名称】 トランジスタアレイパネル

(57) 【特許請求の範囲】

【請求項 1】

基板上の表示領域内において複数の画素電極がマトリクス状に配置されるとともに、複数のゲートラインと複数のデータラインとが互いに絶縁膜を挟んだ状態で直交するように配置され、

前記複数のゲートラインと前記複数のデータラインとの各交差部において薄膜トランジスタが配置され、

前記薄膜トランジスタのゲートが前記ゲートラインに接続され、前記薄膜トランジスタのドレインまたはソースの一方が前記データラインに接続され、他方が前記画素電極のいずれかと接続されたトランジスタアレイパネルにおいて、

前記表示領域の外周部には、前記ゲートライン及び前記データラインと絶縁された状態で直交するように保護ラインが配置され、前記ゲートラインまたは前記データラインと前記保護ラインとは保護素子を介して接続され、

前記表示領域内において、前記ゲートライン、前記データライン、前記画素電極と絶縁された導電膜パターンが形成され、

前記導電膜パターンは前記各画素電極の一部と重なるように形成されて補助容量を形成するとともに、前記表示領域の外周部において前記保護素子及び前記保護ラインと絶縁された補助容量の共通ラインと接続されており、

前記補助容量の共通ラインは前記保護素子または前記保護ラインと絶縁膜を介して重ねられていることを特徴とするトランジスタアレイパネル。

10

20

【請求項 2】

前記導電膜パターン及び前記補助容量の共通ラインは同一の導電膜をパターンニングして形成されていることを特徴とする請求項 1 に記載のトランジスタアレイパネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタアレイパネルに関する。

【背景技術】

【0002】

アクティブマトリクス駆動方式の液晶ディスプレイパネルは、薄膜トランジスタ、画素電極等がアレイ状にパターンニングされたトランジスタアレイパネルと、対向電極等がべた一面に形成された対向基板とを対向させ、トランジスタアレイパネルと対向基板との間に液晶を挟持した構造となっている。

10

【0003】

従来のトランジスタアレイパネルは、行方向に配列された複数のゲートラインと、列方向に配列された複数のデータラインとを備え、ゲートライン及びデータラインの各交差部に薄膜トランジスタ、画素電極が形成されている。複数の薄膜トランジスタ及び画素電極がマトリクス状に配列されている領域が表示領域となる。

【0004】

ゲートラインは表示領域の左側又は右側において引き回し配線と接続され、引き回し配線を介して図示しない駆動回路に接続されている。また、データラインは表示領域の上側又は下側において引き回し配線と接続され、引き回し配線を介して図示しない駆動回路に接続されている。

20

【0005】

また、画素電極が配列される表示領域の外周部には、ゲートラインやデータラインを静電気から保護するためにゲートラインやデータラインに保護素子を介して接続された保護ラインや、保護ラインに抵抗素子を介して接続された環状の保護回路の共通ラインが、ゲートラインやデータラインと直交して設けられている。

【0006】

なお、データラインと直交する保護回路の共通ラインや保護ライン、ゲートラインは薄膜トランジスタのゲート電極やゲートラインと同時にパターンニングされたもの（ゲートメタル）である。また、ゲートラインと直交する保護回路の共通ラインや保護ライン、データラインは薄膜トランジスタのソース電極・ドレイン電極やデータラインと同時に、ゲートメタルを被覆したゲート絶縁膜上にパターンニングされたもの（ドレインメタル）である。このため、ゲートラインとデータラインとの間、及びこれらと直交する保護回路の共通ラインや保護ラインとの間はゲート絶縁膜により絶縁されている。

30

【0007】

ゲートメタル、ドレインメタルで形成された保護回路の共通ラインは交差部においてゲート絶縁膜を貫通するコンタクトホールにより導通され、環状に形成されている。また、保護素子や抵抗素子は薄膜トランジスタの形成と同時にゲートメタルまたはドレインメタルにより形成されている（例えば特許文献 1 参照）。

40

【特許文献 1】特開 2005-93459 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、液晶ディスプレイパネルの表示領域の外周部には、保護ラインや保護回路の共通ライン、保護素子や抵抗素子を設ける必要があるが、上述の通り、これらは何れもゲートメタルまたはドレインメタルにより形成されているので、これらを互いに絶縁するためには、同じメタルで形成された部分を平面視して互いに離間するように形成しなければならない。また、一般に、トランジスタアレイパネルの表示領域には補助容量を形成する

50

ための導電膜パターンが形成され、この導電膜パターンは表示領域の外周部において補助容量の共通ラインに接続される。この補助容量の共通ラインをゲートメタルやドレインメタルによって形成すると、表示領域の外周部がさらに広がってしまう。

【0009】

そこで、本発明は、上記のような課題を解決しようとしてなされたものであり、表示領域の外周部に保護ラインや保護回路の共通ラインと、保護素子や抵抗素子、及び補助容量の共通ラインを設けるのに必要なスペースを小さくすることができ、液晶表示パネルの狭額縁化を図ることができるトランジスタアレイパネルを提供することを目的とする。

【課題を解決するための手段】

【0010】

以上の課題を解決するため、請求項1に記載の発明は、基板上の表示領域内において複数の画素電極がマトリクス状に配置されるとともに、複数のゲートラインと複数のデータラインとが互いに絶縁膜を挟んだ状態で直交するように配置され、前記複数のゲートラインと前記複数のデータラインとの各交差部において薄膜トランジスタが配置され、前記薄膜トランジスタのゲートが前記ゲートラインに接続され、前記薄膜トランジスタのドレインまたはソースの一方が前記データラインに接続され、他方が前記画素電極のいずれかと接続されたトランジスタアレイパネルにおいて、前記表示領域の外周部には、前記ゲートライン及び前記データラインと絶縁された状態で直交するように保護ラインが配置され、前記ゲートラインまたは前記データラインと前記保護ラインとは保護素子を介して接続され、前記表示領域内において、前記ゲートライン、前記データライン、前記画素電極と絶縁された導電膜パターンが形成され、前記導電膜パターンは前記各画素電極の一部と重なるように形成されて補助容量を形成するとともに、前記表示領域の外周部において前記保護素子及び前記保護ラインと絶縁された補助容量の共通ラインと接続されており、前記補助容量の共通ラインは前記保護素子または前記保護ラインと絶縁膜を介して重ねられていることを特徴とする。

【0011】

請求項1に記載の発明によれば、表示領域の外周部において、補助容量の共通ラインが保護素子または保護ラインと絶縁膜を介して重ねられているので、表示領域の外周部に必要なスペースを小さくすることができる。

【0012】

請求項2に記載の発明は、請求項1に記載のトランジスタアレイパネルにおいて、前記導電膜パターン及び前記補助容量の共通ラインは同一の導電膜をパターンニングして形成されていることを特徴とする。

【0013】

請求項2に記載の発明によれば、導電膜パターン及び補助容量の共通ラインが同一の導電膜をパターンニングして形成されるので、トランジスタアレイパネルの製造工程を簡略化することができる。

【発明の効果】

【0014】

本発明によれば、トランジスタアレイパネルの表示領域の外周部に必要なスペースを小さくすることができ、液晶表示パネルの狭額縁化を図ることができる。

【発明を実施するための最良の形態】

【0015】

図1はトランジスタアレイパネル1の構成要素の一部を回路記号で示した等価回路的な平面図である。トランジスタアレイパネル1の破線で囲まれた表示領域100には、液晶表示素子101を構成する画素電極8がマトリクス状に配列されている。また、マトリクス状に形成された画素電極8の行に沿ってゲートライン2が、列に沿ってデータライン3が設けられており、ゲートライン2とデータライン3との交差部分に薄膜トランジスタ10が設けられている。薄膜トランジスタ10のゲート電極11はゲートライン2と接続されており、ドレイン電極16はデータライン3と接続されており、ソース電極17は画素

電極 8 と接続されている。

【0016】

ゲートライン 2 は薄膜トランジスタのゲート電極 11 に走査信号を供給する。データライン 3 は薄膜トランジスタ 10 のドレイン電極 16 にデータ信号を供給する。なお、ドレイン電極 16 を画素電極 8 と接続し、ソース電極 17 をデータラインと接続してもよい。

【0017】

液晶表示素子 101 は、各画素電極 8 と共通電極 103 との間に液晶が封入された構造である。液晶表示素子 101 は、図 1 では表示領域 100 内に 2×2 個だけ図示されているが、これは図面の明確化のためであり、実際には数百×数百個もしくはそれ以上の個数が配列されている。

10

【0018】

なお、トランジスタアレイパネル 1 の画素電極 8 が設けられた側の面と、図示しない対向基板の共通電極 103 が設けられた側の面とが対向配置され、トランジスタアレイパネル 1 と対向基板とが矩形枠状のシール材を介して接合されて密封構造となる。この密封構造内に液晶が封入されることにより液晶表示パネルが形成される。

【0019】

トランジスタアレイパネル 1 の表示領域 100 の外周部には、保護ライン 4、5 と、薄膜トランジスタ 20、30、40、50、60、70 と、保護回路の共通ライン 6 と、補助容量の共通ライン 7 とが設けられている。

【0020】

20

保護回路の共通ライン 6 は抵抗素子としての複数の薄膜トランジスタ 50、60、70 を介して保護ライン 4、5 と接続されている。補助容量の共通ライン 7 の一部は表示領域 100 の外周部に環状に形成されており、環状部分は保護素子としての薄膜トランジスタ 20、30、40 の上に形成されている。なお、補助容量の共通ライン 7 はコンタクトホール 7a に充填された導体を介して保護回路の共通ライン 6 と導通している。また、保護回路の共通ライン 6 と補助容量の共通ライン 7 は、図示しない導通部材により対向基板の共通電極 103 と接続されている。

【0021】

図 2 は表示領域 100 の一部を示す透過平面図である。図 2 に示すように、表示領域 100 には、行方向に配列された複数のゲートライン 2 と、列方向に配列された複数のデータライン 3 とが設けられ、ゲートライン 2 及びデータライン 3 の各交差部の付近に薄膜トランジスタ 10 が設けられている。また、ゲートライン 2 及びデータライン 3 により区画された領域には、画素電極 8 が設けられている。

30

【0022】

ゲートライン 2 と、薄膜トランジスタ 10 のゲート電極 11 とは一体に形成されている。また、データライン 3 と、薄膜トランジスタ 10 のドレイン電極 16 とは一体に形成されている。

【0023】

図 9 (d) は図 2 の IX-IX 矢視断面図である。薄膜トランジスタ 10 は、図 9 (d) に示すように、ゲート電極 11、半導体薄膜 12、チャネル保護膜 13、オーミックコンタクト層 14、15、ドレイン電極 16、及びソース電極 17 からなる。

40

ゲート電極 11 及びゲートライン 2 は絶縁性の透明基板 51 上にパターンニングされ、窒化シリコン等からなるゲート絶縁膜 52 により被覆されている。

【0024】

半導体薄膜 12 はゲート電極 11 と対応する位置のゲート絶縁膜 52 上に形成されており、真性アモルファスシリコン層からなる。チャネル保護膜 13 はゲート電極 11 と対応する位置の半導体薄膜 12 上に形成されており、窒化シリコン等の絶縁膜からなる。オーミックコンタクト層 14、15 は半導体薄膜 12 及びチャネル保護膜 13 の上に離れて形成されており、n 型または p 型のアモルファスシリコン層からなる。ドレイン電極 16 及びソース電極 17 はそれぞれオーミックコンタクト層 14、15 上に形成されており、金

50

属層からなる。

【0025】

データライン3は、真性アモルファスシリコン層3a、アモルファスシリコン層3b、金属層3cの三層が順にゲート絶縁膜52上に積層されてなる。なお、データライン3の真性アモルファスシリコン層3aは薄膜トランジスタ10の半導体薄膜12と一体に形成され、アモルファスシリコン層3bはオーミックコンタクト層14と一体に形成され、金属層3cはドレイン電極16と一体に形成される。

薄膜トランジスタ10及びデータライン3は、層間絶縁膜53により被覆されている。

【0026】

層間絶縁膜53上には、ゲートライン2、データライン3、及び薄膜トランジスタ10の上部を覆うように、キャパシタ層9が網目状に形成されている。キャパシタ層9はオーバーコート絶縁膜54により被覆されている。

【0027】

オーバーコート絶縁膜54上には、キャパシタ層9の網目を塞ぐように画素電極8が設けられている。なお、図2、図9(d)に示すように、画素電極8と薄膜トランジスタ10のソース電極17との重なり部分において、層間絶縁膜53及びオーバーコート絶縁膜54を貫通してコンタクトホール8aが設けられている。コンタクトホール8a内には画素電極8と同様の素材からなる導体8bが画素電極8と一体に充填されており、この導体8bを介して画素電極8と薄膜トランジスタ10のソース電極17とが導通されている。

【0028】

画素電極8及び導体8bは光透過性及び導電性を有する透明導電膜により形成される。このような透明導電膜としては、例えば、ITO(Indium Tin Oxide; 錫ドープ酸化インジウム)、IZO(Indium Zinc Oxide; 亜鉛ドープ酸化インジウム)、CTO(Cadmium Tin Oxide; 錫ドープ酸化カドミウム)等の酸化物半導体を用いた透明導電膜が挙げられる。

【0029】

なお、図2に示すように、画素電極8の外周部はオーバーコート絶縁膜54を挟んでキャパシタ層9の上に重ね合わせられている。この重なり部分が補助容量102として機能する。また、薄膜トランジスタ10のソース電極17と画素電極8との重なり部分において、コンタクトホール8aが設けられる部分には、キャパシタ層9が形成されていない。このため、コンタクトホール8a内の導体8bとキャパシタ層9とは絶縁されている。

【0030】

次に、表示領域100の外周部について説明する。まず、表示領域100の右側外周部について説明する。なお、表示領域100の左側外周部については右側外周部と同様であるので省略する。

図3は表示領域100の右側外周部(図1のA部)を示す透過平面図である。図3において、左側が表示領域100、右側が表示領域外であり、表示領域100の外周に沿って図3の上下方向に、保護ライン4及び補助容量の共通ライン7が設けられている。

【0031】

図3において、ゲートライン2が表示領域100内(図3の左側)から表示領域100外(図3の右側)へ延在している。なお、ゲートライン2は保護ライン4や補助容量の共通ライン7よりも外側(図3の右側)において、図示しない引き回し配線を介して駆動回路に接続されている。

【0032】

図4は図3のIV-IV矢視断面図であり、図5は図3のV-V矢視断面図である。ゲートライン2と交差する保護ライン4は、データライン3と同様に、真性アモルファスシリコン層4a、アモルファスシリコン層4b、金属層4cの三層が順にゲート絶縁膜52上に積層されてなる。保護ライン4はゲート絶縁膜52によりゲートライン2と絶縁されている。

【0033】

保護ライン4は図1に示すように、3個の薄膜トランジスタ50, 60, 70を介して保護回路の共通ライン6と接続されている。保護回路の共通ライン6はゲートライン2と同時に透明基板51上にパターンニングされ、窒化シリコン等からなるゲート絶縁膜52により被覆されている。

【0034】

また、ゲートライン2と保護ライン4との交差部分には、ゲートライン2に生じた静電気を保護ライン4に逃がす保護素子として、2つの薄膜トランジスタ20, 30が設けられている。

【0035】

図4、図5に示すように、薄膜トランジスタ20, 30は、ゲート電極21, 31、半導体薄膜22, 32、チャネル保護膜23, 33、オーミックコンタクト層24, 25, 34, 35、ドレイン電極26, 36、及びソース電極27, 37からなる。

【0036】

薄膜トランジスタ20, 30のゲート電極21, 31はゲートライン2と同時に透明基板51上にパターンニングされ、窒化シリコン等からなるゲート絶縁膜52により被覆されている。なお、薄膜トランジスタ20のゲート電極21はゲートライン2と一体に形成されるが、薄膜トランジスタ30のゲート電極31はゲートライン2から独立したフローティングゲートとなっている。

【0037】

半導体薄膜22, 32はゲート電極21, 31と対応する位置のゲート絶縁膜52上に形成されており、保護ライン4の真性アモルファスシリコン層4aと一体に形成されている。チャネル保護膜23, 33はゲート電極21, 31と対応する位置の半導体薄膜22, 32上に形成されており、窒化シリコン等の絶縁膜からなる。オーミックコンタクト層24, 25, 34, 35は半導体薄膜22, 32及びチャネル保護膜23, 33の上に離れて形成されており、アモルファスシリコン層からなる。なお、オーミックコンタクト層24, 34は保護ライン4のアモルファスシリコン層4bと一体に形成されている。ドレイン電極26, 36、及びソース電極27, 37はそれぞれオーミックコンタクト層24, 25, 34, 35上に形成されており、金属層からなる。なお、ドレイン電極26, 36は保護ライン4の金属層4cと一体に形成される。

【0038】

薄膜トランジスタ20, 30の半導体薄膜22, 32、オーミックコンタクト層25, 35、ソース電極27, 37は保護ライン4と平行に設けられた接続配線55により接続されている。接続配線55は真性アモルファスシリコン層55a、アモルファスシリコン層55b、金属層55cの三層が順にゲート絶縁膜52上に積層されてなり、真性アモルファスシリコン層55aは薄膜トランジスタ20, 30の半導体薄膜22, 32と一体に形成され、アモルファスシリコン層55bはオーミックコンタクト層25, 35と一体に形成され、金属層55cはソース電極27, 37と一体に形成される。

接続配線55とゲートライン2との交差部分にはゲート絶縁膜52を貫通するコンタクトホール56が形成されており、コンタクトホール56には金属層55cと同じ導体56aが充填される。ゲートライン2と接続配線55とは導体56aを介して導通している。

【0039】

薄膜トランジスタ20, 30、接続配線55及び保護ライン4は、層間絶縁膜53により被覆されている。

補助容量の共通ライン7は薄膜トランジスタ20, 30と対応する位置の層間絶縁膜53上に上下方向に形成される。補助容量の共通ライン7はキャパシタ層9と一体に形成され、オーバーコート絶縁膜54により被覆されている。

【0040】

次に、表示領域100の下側外周部について説明する。なお、表示領域100の上側外周部については下側外周部と同様であるので省略する。

【0041】

図6は表示領域100の下側外周部(図1のB部)を示す透過平面図である。図6において、上側が表示領域100、下側が表示領域外であり、表示領域100の外周に沿って図6の左右方向に、保護ライン5及び補助容量の共通ライン7が設けられている。

【0042】

図6において、データライン3が表示領域100内(図6の上側)から表示領域100外(図6の下側)へ延在している。なお、データライン3は保護ライン5や補助容量の共通ライン7よりも外側(図6の下側)において、引き回し配線を介して駆動回路に接続されている。

【0043】

データライン3と交差する保護ライン5はゲートライン2と同時に透明基板51上にパターンニングされ、窒化シリコン等からなるゲート絶縁膜52により被覆されている。データライン3はゲート絶縁膜52上に形成されるので、保護ライン5から絶縁されている。

【0044】

保護ライン5は図1に示すように、2個の薄膜トランジスタ60、70を介して保護回路の共通ライン6と接続されている。

また、データライン3と保護ライン5との交差部分には、データライン3に生じた静電気を保護ライン5に逃がす保護素子として、薄膜トランジスタ40が設けられている。

【0045】

図7は図6のVII-VII矢視断面図である。薄膜トランジスタ40は、図7に示すように、ゲート電極41、半導体薄膜42、チャネル保護膜43、オーミックコンタクト層44、45、ドレイン電極46、及びソース電極47からなる。

【0046】

薄膜トランジスタ40のゲート電極41はゲートライン2や保護ライン5と同時に透明基板51上にパターンニングされ、窒化シリコン等からなるゲート絶縁膜52により被覆されている。なお、薄膜トランジスタ40のゲート電極41はゲートライン2や保護ライン5から独立したフローティングゲートとなっている。

【0047】

半導体薄膜42はゲート電極41と対応する位置のゲート絶縁膜52上に形成されており、データライン3の真性アモルファスシリコン層3aと一体に形成されている。チャネル保護膜43はゲート電極41と対応する位置の半導体薄膜42上に形成されており、窒化シリコン等の絶縁膜からなる。オーミックコンタクト層44、45は半導体薄膜42及びチャネル保護膜43の上に離れて形成されており、アモルファスシリコン層からなる。なお、オーミックコンタクト層44はデータライン3のアモルファスシリコン層3bと一体に形成されている。ドレイン電極46及びソース電極47はそれぞれオーミックコンタクト層44、45上に形成されており、金属層からなる。なお、ドレイン電極46はデータライン3の金属層3cと一体に形成される。

【0048】

なお、薄膜トランジスタ40の半導体薄膜42、オーミックコンタクト層44、45、ソース電極47はデータライン3と平行に設けられた接続配線57と接続されている。接続配線57は真性アモルファスシリコン層57a、アモルファスシリコン層57b、金属層57cの三層が順にゲート絶縁膜52上に積層されてなり、真性アモルファスシリコン層57aは薄膜トランジスタ40の半導体薄膜42と一体に形成され、アモルファスシリコン層57bはオーミックコンタクト層45と一体に形成され、金属層57cはソース電極47と一体に形成される。

【0049】

接続配線57と保護ライン5との交差部分にはゲート絶縁膜52を貫通するコンタクトホール58が形成されており、コンタクトホール58には金属層57cと同じ導体58aが充填される。保護ライン5と接続配線57とは導体58aを介して導通している。

【0050】

薄膜トランジスタ40、接続配線57及びデータライン3は、層間絶縁膜53により被

10

20

30

40

50

覆されている。

補助容量の共通ライン7は薄膜トランジスタ40と対応する位置の層間絶縁膜53上に左右方向に形成される。補助容量の共通ライン7はキャパシタ層9と一体に形成され、オーバーコート絶縁膜54により被覆されている。

【0051】

次に、トランジスタアレイパネル1の形成方法について図8、図9を用いて説明する。

まず、気相成長法（スパッタリング法、CVD法、PVD法等）によって透明基板51にゲート膜をべた一面に成膜し、フォトリソグラフィ法及びエッチング法によってゲート膜をパターンニングする。これにより、複数のゲートライン2、複数の薄膜トランジスタ10、20、30、40、50、60、70のゲート電極、保護ライン5、保護回路の共通ライン6を同時に形成する（図8（a））。 10

【0052】

次に、気相成長法によって透明基板51上にゲート絶縁膜52をべた一面に成膜し、ゲート絶縁膜52により複数のゲートライン2、複数の薄膜トランジスタ10、20、30、40、50、60、70のゲート電極、保護ライン5、保護回路の共通ライン6を被覆する。次いで、ゲート絶縁膜52上に真性アモルファスシリコン層61及び保護絶縁膜62をべた一面に成膜する（図8（b））。 20

【0053】

次に、保護絶縁膜62に対してフォトリソグラフィ法、エッチング法を順に行うことによって、複数の薄膜トランジスタ10、20、30、40、50、60、70のチャネル保護膜を形成する（図8（c））。 20

【0054】

次に、気相成長法によってゲート絶縁膜52上にべた一面のアモルファスシリコン層63を成膜する（図8（d））。次に、接続配線55とゲートライン2との交差部分、及び、接続配線57と保護ライン5との交差部分に対応する位置に、ゲート絶縁膜52、真性アモルファスシリコン層61、及びアモルファスシリコン層63を貫通するコンタクトホール56、58を形成する。次に、気相成長法によってアモルファスシリコン層上にべた一面の金属層64を形成する（図8（d））。これにより、コンタクトホール56、58に導体56a、58aが充填される。 30

【0055】

次に、真性アモルファスシリコン層、アモルファスシリコン層、金属層に対してフォトリソグラフィ法、エッチング法を順に行うことによって、複数の薄膜トランジスタ10、20、30、40、50、60、70の半導体薄膜、オーミックコンタクト層、ドレイン電極、ソース電極、データライン3、保護ライン4、接続配線55、57を形成する（図8（e））。 30

【0056】

次に、気相成長法によって層間絶縁膜53をべた一面に成膜し、層間絶縁膜53により複数のデータライン3、複数の薄膜トランジスタ10、20、30、40、50、60、70、接続配線55、57、及び保護ライン4を被覆する（図9（a））。 40

【0057】

次に、ゲート絶縁膜52、層間絶縁膜53を貫通するコンタクトホール7aを形成する。次に、気相成長法、フォトリソグラフィ法、エッチング法を順に行うことによって、コンタクトホール7aに導体を充填するとともに、キャパシタ層9、補助容量の共通ライン7を形成する（図9（b））。 40

次に、気相成長法によってオーバーコート絶縁膜54をべた一面に成膜し、オーバーコート絶縁膜54によりキャパシタ層9、補助容量の共通ライン7を被覆する。

次に、層間絶縁膜53及びオーバーコート絶縁膜54のうち各薄膜トランジスタのソース電極に重なる部分にコンタクトホール8aを形成する（図9（c））。 50

【0058】

次に、気相成長法によってオーバーコート絶縁膜54上に透明導電膜をべた一面に成膜 50

する。すると、コンタクトホール 8 a に導体 8 b が充填される。その後フォトリソグラフィ法及びエッチング法によって画素電極 8 をパターンニングする。以上により、トランジスタアレイパネル 1 が完成する（図 9（d））。

【0059】

製造したトランジスタアレイパネル 1 に配向膜を形成し、トランジスタアレイパネル 1 と対向基板を対向させ、トランジスタアレイパネル 1 と対向基板との間に液晶を挟んで、液晶をシールにより封止すれば、液晶ディスプレイパネルが出来上がる。

【0060】

上記のトランジスタアレイパネル 1 では、補助容量の共通ライン 7 を薄膜トランジスタ 10、20、30、40、50、60、70 や、ゲートライン 2、データライン 3、保護ライン 4、5 と別の層に形成するため、保護素子（薄膜トランジスタ 20、30、40）と補助容量の共通ライン 7 とを重ねて配置することができる。したがって、保護素子や抵抗素子と、保護ラインや保護回路の共通ライン、及び補助容量の共通ラインを並べて配置していた従来のトランジスタアレイパネルと比較して、表示領域 100 の外周部の幅を狭くすることができる。

【0061】

なお、以上の実施形態においては、保護素子と補助容量の共通ライン 7 とを重ね合わせたが、本発明はこれに限らず、保護ライン 4、5 と補助容量の共通ライン 7 とを重ね合わせてもよい。また、補助容量の共通ライン 7 を幅広にして保護素子及び保護ライン 4、5 の両方と重ね合わせてもよい。

【0062】

また、保護素子として薄膜トランジスタ、あるいはゲート電極が独立したフローティングゲート型の薄膜トランジスタを用いたが、本発明はこれに限らず、例えばゲート電極がない SCLC（Space Charge Limited Current；空間電荷制限電流）素子を用いてもよい。

【0063】

なお、表示領域 100 においてキャパシタ層 9 がゲートライン 2、データライン 3 及び画素電極 8 と絶縁されていて、表示領域 100 の外周部において保護ライン 4、5 がゲートライン 2 及びデータライン 3 と絶縁されていて、補助容量の共通ライン 7 が薄膜トランジスタ 20、30、40 を含む保護素子及び保護ライン 4、5 と絶縁されていればよく、これらの積層順序を変えた場合にも、上記実施形態と同様に液晶表示パネルの狭額縁化を図ることができる。

【図面の簡単な説明】

【0064】

【図 1】トランジスタアレイパネル 1 の等価回路的な平面図である。

【図 2】表示領域 100 の一部を示す透過平面図である。

【図 3】図 1 の A 部を示す透過平面図である。

【図 4】図 3 の IV-IV 矢視断面図である。

【図 5】図 3 の V-V 矢視断面図である。

【図 6】図 1 の B 部を示す透過平面図である。

【図 7】図 6 の VII-VII 矢視断面図である。

【図 8】（a）～（e）はトランジスタアレイパネルの製造方法を示す断面図である。

【図 9】（a）～（d）はトランジスタアレイパネルの製造方法を示す断面図である。

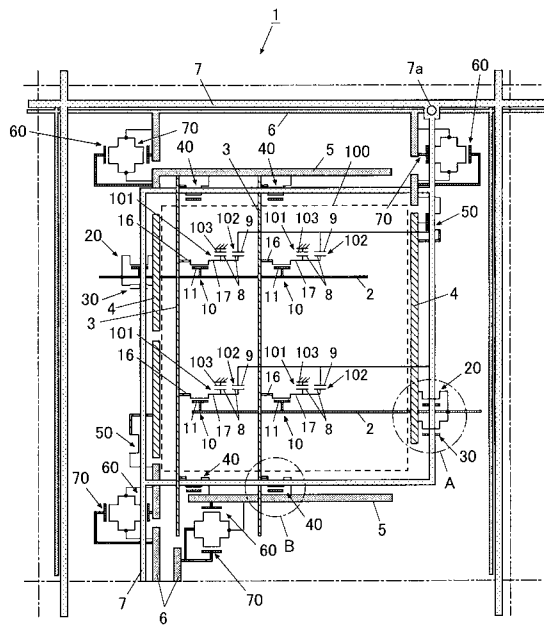
【符号の説明】

【0065】

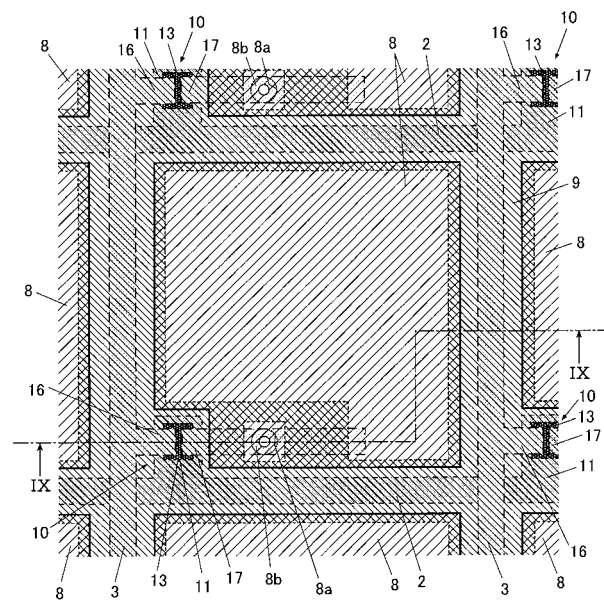
- 1 トランジスタアレイパネル
- 2 ゲートライン
- 3 データライン
- 4, 5 保護ライン
- 6 保護回路の共通ライン

- 7 補助容量の共通ライン
- 8 画素電極
- 9 キャパシタ層（導電膜パターン）
- 20, 30, 40 薄膜トランジスタ（保護素子）
- 52, 53, 54 絶縁膜
- 100 表示領域

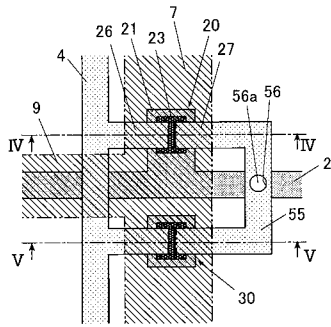
【図 1】



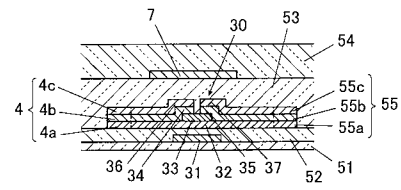
【図 2】



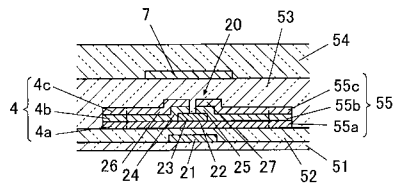
【図 3】



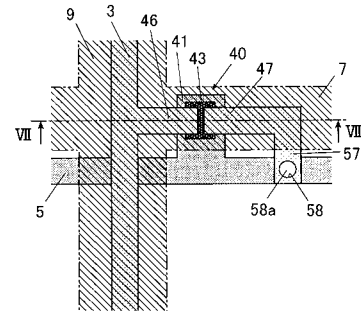
【図 5】



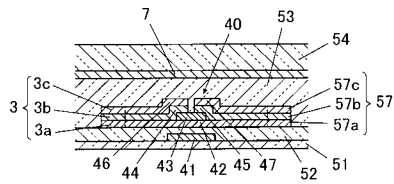
【図 4】



【図 6】

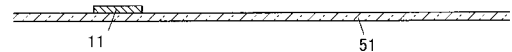


【図 7】

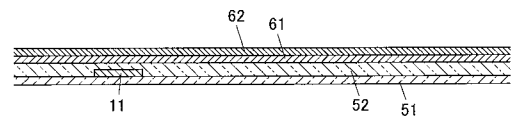


【図 8】

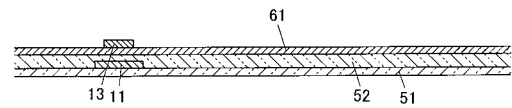
(a)



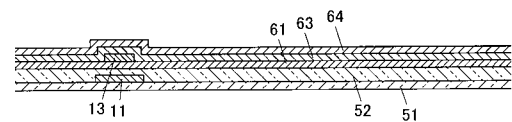
(b)



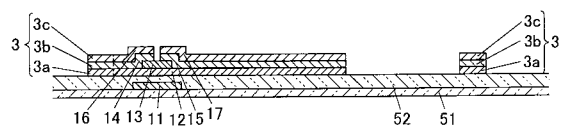
(c)



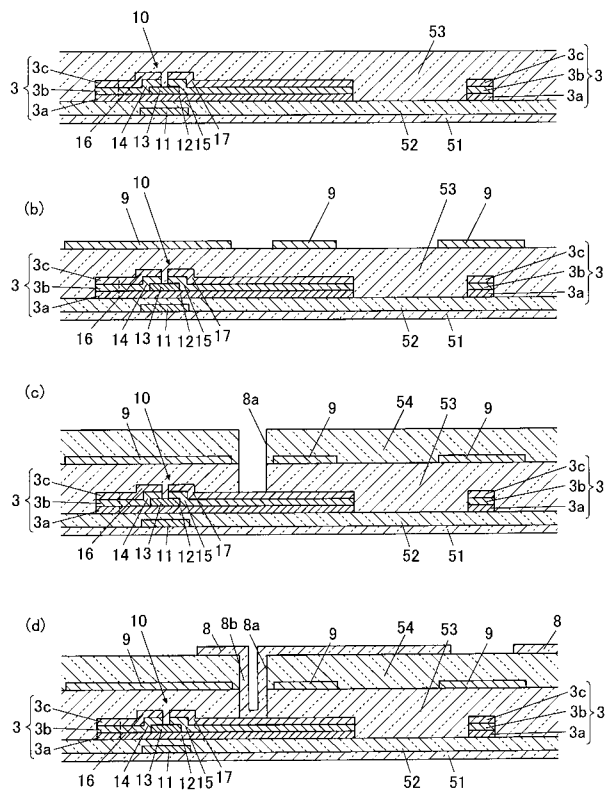
(d)



(e)



(a)



フロントページの続き

- (56)参考文献 特開2004-341186 (JP, A)
特開平08-179360 (JP, A)
特開平05-088198 (JP, A)
特開平5-323376 (JP, A)
特開平7-104316 (JP, A)
特開2000-321592 (JP, A)
特開平10-10494 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1345

专利名称(译)	晶体管阵列面板		
公开(公告)号	JP4306654B2	公开(公告)日	2009-08-05
申请号	JP2005215717	申请日	2005-07-26
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	中村やよい		
发明人	中村 やよい		
IPC分类号	G02F1/1368 G02F1/1345 G09F9/30		
CPC分类号	G02F1/136213 G02F1/136286 G02F2201/50 H01L27/0288 H01L27/12 H01L27/124		
FI分类号	G02F1/1368 G02F1/1345 G09F9/30.338		
F-TERM分类号	2H092/GA12 2H092/GA45 2H092/GA64 2H092/HA04 2H092/HA28 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JA47 2H092/JB22 2H092/JB31 2H092/JB56 2H092/JB58 2H092/JB69 2H092/KA05 2H092/MA05 2H092/MA07 2H092/MA13 2H092/MA17 2H092/NA14 2H092/NA25 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB71 2H192/CC72 2H192/DA12 2H192/GA13 2H192/GA15 5C094/AA15 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA10 5C094/FB12		
其他公开文献	JP2007033760A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减小液晶显示器面板的框架宽度。 解决方案：保护线4,5设置在晶体管阵列面板1的显示区域100的外围，以便在栅极线2或数据线3插入其间的情况下彼此正交，并且栅极线2或者数据线3和保护线4,5通过保护元件20,30,40连接。在显示区域100中，形成与栅极线2，数据线3和像素电极8绝缘的导电膜图案9，以便与像素电极8的一部分隔着绝缘膜54重叠，并且导电膜图案9在图30和40中，辅助电容器的公共线7与显示区域100的外围中的保护线4和5绝缘。辅助电容的公共线7连接到保护元件20,30,40。或者保护线4和5之间插入有绝缘膜52和53。 点域1

