

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3975633号

(P3975633)

(45) 発行日 平成19年9月12日(2007.9.12)

(24) 登録日 平成19年6月29日(2007.6.29)

(51) Int.Cl.	F I	
GO2F 1/133 (2006.01)	GO2F	1/133 550
GO9F 9/30 (2006.01)	GO2F	1/133 510
GO9G 3/20 (2006.01)	GO9F	9/30 307
GO9G 3/36 (2006.01)	GO9F	9/30 338
	GO9G	3/20 623Y
請求項の数 9 (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2000-3935 (P2000-3935)	(73) 特許権者	000002369
(22) 出願日	平成12年1月12日(2000.1.12)		セイコーエプソン株式会社
(65) 公開番号	特開2001-194645 (P2001-194645A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成13年7月19日(2001.7.19)	(74) 代理人	100110179
審査請求日	平成16年3月11日(2004.3.11)		弁理士 光田 敦
前置審査		(74) 代理人	100095728
			弁理士 上柳 雅普
		(74) 代理人	100107076
			弁理士 藤綱 英吉
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	小澤 徳郎
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		最終頁に続く	

(54) 【発明の名称】 電気光学パネル、電気光学パネルのデータ線駆動方法およびデータ線駆動回路、電気光学装置ならびに電子機器

(57) 【特許請求の範囲】

【請求項1】

素子基板に形成された複数のデータ線と、素子基板における実装端子と同じ辺側に設けられたデータ線駆動回路と、複数の走査線と、それらの各交点に対応して設けられる各スイッチング素子と、各スイッチング素子に各々接続される各画素電極とを備える電気光学パネルのデータ線駆動方法であって、

複数色の各々に対応する画像データを前記データ線数に応じた数の点順次画像データに各々変換し、

前記点順次画像データを前記走査線の選択周期毎にラッチして線順次画像データに変換し、

各色の線順次画像データに対してパラレル-シリアル変換を施して、各データ線に対応する各シリアルデータを生成し、

各シリアルデータをDA変換して各画像信号を生成し、

各画像信号を各データ線に各々供給し、該各データ線に沿って形成されている各色に対応する画素領域に該各画素領域に対応する画像データを順次供給することを特徴とする電気光学パネルのデータ線駆動方法。

【請求項2】

複数のデータ線と、複数の走査線と、それらの各交点に対応して設けられる各スイッチング素子と、各スイッチング素子に各々接続される各画素電極とを備える電気光学パネルの素子基板における実装端子と同じ辺側に設けられたデータ線駆動回路であって、

複数色の各々に対応する画像データを前記データ線数に応じた数の点順次画像データに変換する第1変換部と、

前記点順次画像データを前記走査線の選択周期毎にラッチして線順次画像データに変換するとともに、各色の線順次画像データに対してパラレル-シリアル変換を施して、各データ線に対応する各シリアルデータを生成する第2変換部と、

各シリアルデータをDA変換して得た各画像信号を各データ線に各々供給するDA変換部とを備え、

前記各画像信号を各データ線に各々供給し、該各データ線に沿って形成されている各色に対応する画素領域に該各画素領域に対応する画像データを順次供給する構成であることを特徴とする電気光学パネルのデータ線駆動回路。

10

【請求項3】

前記第2変換部は、各データ線に対応した各ユニットを備え、1つのユニットは各色に対応する各サブユニットを縦続接続してなり、各サブユニットは前記走査線の選択期間開始時に前記点順次画像データをラッチするラッチ回路と、前記走査線の選択期間中に各サブユニットの出力信号を次段のサブユニットの前記ラッチ回路の入力に転送する転送回路とを備えることを特徴とする請求項2に記載の電気光学パネルのデータ線駆動回路。

【請求項4】

前記画像データは、第1色、第2色、および第3色に各々対する3種類のデータであり、

前記第2変換部は、第1色、第2色、第3色の順にパラレル-シリアル変換した前記シリアルデータを出力し、

20

前記ユニットは、第1色に対応するとともに前記シリアルデータを取り出す第1サブユニットと、前記第1サブユニットの前段に設けられ第2色に対応する第2サブユニットと、前記第2サブユニットの前段に設けられ第3色に対応する第3サブユニットとを備え、

前記各サブユニットのラッチ回路は、前記走査線の選択期間開始時にアクティブとなる第1転送信号に基づいて、前記点順次画像データをラッチし、

前記第3サブユニットの転送回路は、前記第1転送信号のアクティブ期間終了して一定時間が経過した時点から当該走査線の選択期間が終了するまでの期間アクティブとなる第2転送信号に基づいて、前記第3サブユニットの出力信号を前記第2サブユニットの入力に転送し、

前記第2サブユニットの転送回路は、前記第2転送信号が非アクティブからアクティブに遷移し一定時間が経過した時点から当該走査線の選択期間が終了するまでの期間アクティブとなる第3転送信号に基づいて、前記第2サブユニットの出力信号を前記第1サブユニットの入力に転送することを特徴とする請求項3に記載のデータ線駆動回路。

30

【請求項5】

前記第2変換部は、各データ線に対応した各ユニットを備え、1つのユニットは各色に対応する各サブユニットを環状に接続してなり、

各サブユニットは前記走査線の選択期間開始時に前記点順次画像データをラッチするラッチ回路と、前記走査線の選択期間中に各サブユニットの出力信号を次段のサブユニットの前記ラッチ回路の入力に転送する転送回路とを備えることを特徴とする請求項2に記載の電気光学パネルのデータ線駆動回路。

40

【請求項6】

前記画像データは、第1色、第2色、および第3色に各々対する3種類のデータであり、

前記第2変換部は、第1色、第2色、第3色の順にパラレル-シリアル変換した前記シリアルデータを出力し、

前記ユニットは、第1色に対応するとともに前記シリアルデータを取り出す第1サブユニットと、前記第1サブユニットの前段に設けられ第2色に対応する第2サブユニットと、前記第2サブユニットの前段に設けられ第3色に対応する第3サブユニットとを備え、

前記各サブユニットのラッチ回路は、前記走査線の選択期間開始時にアクティブとなる第1転送信号に基づいて、前記点順次画像データをラッチし、

前記各サブユニットの転送回路は、前記第1転送信号がアクティブから非アクティブに

50

変化した時点から当該走査線の選択期間が終了するまでの期間において3回アクティブとなる第2転送信号に基づいて、次段の出力信号を後段のサブユニットの入力に転送することを特徴とする請求項5に記載の電気光学パネルのデータ線駆動回路。

【請求項7】

請求項2乃至6のうちいずれか1項に記載した電気光学パネルのデータ線駆動回路と画像領域とを備える電気光学パネルであって、

前記画像領域は、

横方向に延在する複数のデータ線と、

縦方向に延在する複数の走査線と、

それらの各交点に対応して設けられる各スイッチング素子と、

各スイッチング素子に各々接続される各画素電極とを備え、

前記データ線駆動回路を電気光学パネルの短辺側に配置したことを特徴とする電気光学パネル。

10

【請求項8】

請求項7に記載した電気光学パネルと、

入力画像データの行と列の関係を入れ替えて前記電気光学パネルに供給する画像処理部とを備えることを特徴とする電気光学装置。

【請求項9】

請求項8に記載の電気光学装置を表示部として備えたことを特徴とする電子機器。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、電気光学パネル、電気光学パネルのデータ線駆動方法およびデータ線駆動回路、電気光学装置ならびに電子機器に関する。

【0002】

【従来の技術】

従来の電気光学装置、例えば、アクティブマトリクス方式の液晶表示装置は、液晶パネルとそこに制御信号等を供給する周辺回路とから構成されている。液晶パネルは、主に、マトリクス状に配列した画素電極の各々にスイッチング素子が設けられた素子基板と、カラーフィルタなどが形成された対向基板と、これら両基板との間に充填された液晶とから構成される。

30

【0003】

このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して、画素電極に画像信号を印加すると、当該画素電極および対向電極（共通電極）の間の液晶層に所定の電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、液晶層の抵抗が十分に高ければ、当該液晶層における電荷の蓄積が維持される。このように、各スイッチング素子を駆動して蓄積させる電荷の量を制御すると、画素毎に液晶の配向状態が変化して、所定の情報を表示することが可能となる。

【0004】

40

この際、各画素の液晶層に電荷を蓄積させるのは一部の期間で良いため、第1に、走査線駆動回路によって、各走査線を順次選択するとともに、第2に、走査線の選択期間において、データ線駆動回路によって、1本または複数本のデータ線を順次選択し、第3に、選択されたデータ線に画像信号を供給する構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

【0005】

ところで、液晶表示装置には、その用途によって横長画面のものと縦長画面のものがある。例えば、前者はコンピュータ等の表示部として用いられ、後者は携帯端末（PDA）の表示部として用いられることがある。

【0006】

50

図 1 4 は、横長画面の液晶パネルの主要部を示すブロック図である。この図に示すように、横長画面の液晶パネルにおいては、走査線 1 2 A を画面長手方向（X 方向）に形成するとともにデータ線 1 3 A を走査線 1 2 A に直交する方向（Y 方向）に形成している。この液晶パネルにおいては、データ線 1 2 A と走査線 1 3 A との交差に対応して赤、緑、青の各色を表示する R 画素領域 R、G 画素領域 G、B 画素領域 B が設けられている。以下の説明では、R 画素領域 R、G 画素領域 G および B 画素領域 B の組を 1 画素と呼ぶことにする。

【 0 0 0 7 】

また、液晶パネルでは、データ線駆動回路 1 3 0 A を液晶パネルの長辺 L L 側に形成するとともに、走査線駆動回路 1 2 0 A を液晶パネルの短辺 L S 側に配置してある。くわえて、外部回路と液晶パネルとを接続する実装端子を長辺 L L 側に設けている（図示略）。 10

【 0 0 0 8 】

実装端子を液晶パネルの長辺 L L 側に設けたのは、データ線駆動回路 1 3 0 A の駆動周波数が走査線駆動回路 1 2 0 A と比較して高いためである。仮に短辺 L S 側に実装端子を設けると、データ線駆動回路 1 3 0 A を駆動するためのクロック信号を長い配線で引き回す必要がある。配線の寄生容量は距離が長くなるほど増加するので、短辺 L S 側に実装端子を設けると、クロック信号がデータ線駆動回路 1 3 0 A に入力されるときには、その波形の立ち上がりエッジと立ち下がりエッジとが鈍ってしまい、データ線駆動回路 1 3 0 A を誤動作させてしまうおそれがある。このため、実装端子はデータ線駆動回路 1 3 0 A に近接した液晶パネルの長辺 L L 側に設けられている。

【 0 0 0 9 】

一方、図 1 5 は縦長画面の液晶パネルの主要部を示すブロック図である。この例では、データ線駆動回路 1 3 0 B を液晶パネルの短辺 L S 側に形成するとともに、走査線駆動回路 1 2 0 B を液晶パネルの長辺 L L 側に形成している。くわえて、周辺回路と液晶パネルとを接続する実装端子を短辺 L S 側に設けている。また、この液晶パネルにあっては、図に示すように縦長の各画素領域 R、G、B が設けられている。なお、以下の説明では、表示画面に対して、各画素領域を縦長に形成したものを縦ストライプ、横長に形成したものを横ストライプと称することにする。 20

【 0 0 1 0 】

【 発明が解決しようとする課題 】

ところで、液晶パネルは、上述したように素子基板と対向基板とを貼り合わせて構成されている。実装端子と、データ線駆動回路および走査線駆動回路とは、素子基板に形成される。したがって、素子基板の面積は、対向基板の面積と比較して大きくなる。ここで、実装端子を長辺 L L 側に設けた液晶パネルは、実装端子を短辺 L S 側に設けたものと比較して、素子基板の面積が大きくなってしまふ。図 1 4 に示す横長画面の液晶パネルにあっては、データ線駆動回路 1 3 0 A との関係で実装端子を長辺 L L 側に設ける必要があるので、素子基板の面積が大きくなり、液晶パネルのコストが上昇するといった問題がある。 30

【 0 0 1 1 】

一方、図 1 5 に示す縦長画面の液晶パネルを 9 0 度回転させ、横長画面を表示させる場合には、実装端子が液晶パネルの短辺 L S 側にあるので、素子基板の面積が大きくなる。しかしながら、この場合には 9 0 度回転させるため、横ストライプの画面になってしまい、アルファベット等の文字が読み難いといった問題がある。この点について、図 1 6 を参照しつつ、具体的に説明する。図 1 6 は緑色で表示される文字 “ X ” を横ストライプの画面で表示した例を示す概念図である。この図において、斜線で示した部分が、緑色の文字 “ X ” に対応する画素領域である。この場合には、文字 “ X ” が途切れてしまい読み難くなってしまう。 40

【 0 0 1 2 】

すなわち、横長画面を表示させるために、図 1 4 に示す液晶パネルを用いれば素子基板の面積が大きくなる一方、図 1 5 に示す液晶パネルを 9 0 度回転させて用いる場合には文字が読み難くなるといった問題がある。

【 0 0 1 3 】

本発明は、これらの点に鑑みてなされたものであり、その目的とするところは、素子基板の面積が小さくかつ文字が読み易い電気光学パネル、そのデータ線駆動回路および駆動方法、これを用いた電気光学装置、並びに電子機器を提供することにある。

【 0 0 1 4 】

【課題を解決するための手段】

本発明に係る電気光学パネルのデータ線駆動方法は、複数のデータ線と、複数の走査線と、それらの各交点に対応して設けられる各スイッチング素子と、各スイッチング素子に各々接続される各画素電極とを備える電気光学パネルに用いられることを前提とし、複数の各色の各々に対応する画像データを前記データ線数に応じた数の点順次画像データに各々変換し、前記点順次画像データを前記走査線の選択周期毎にラッチして線順次画像データに変換し、各色の線順次画像データに対してパラレル - シリアル変換を施して、各データ線に対応する各シリアルデータを生成し、各シリアルデータを D A 変換して各画像信号を生成し、各画像信号を各データ線に各々供給することを特徴とする。

10

【 0 0 1 5 】

この発明によれば、各色の線順次画像データに対してパラレル - シリアル変換を施して、各データ線に対応する各シリアルデータを生成するので、各色に対応する画素領域が、データ線に沿って形成されている場合において、各画素領域に対応する画像データを順次供給することができる。

【 0 0 1 6 】

次に、本発明に係るデータ駆動回路にあっては、複数のデータ線と、複数の走査線と、それらの各交点に対応して設けられる各スイッチング素子と、各スイッチング素子に各々接続される各画素電極とを備える電気光学パネルに用いられることを前提とし、複数の各色の各々に対応する画像データを前記データ線数に応じた数の点順次画像データに変換する第 1 変換部と、前記点順次画像データを前記走査線の選択周期毎にラッチして線順次画像データに変換するとともに、各色の線順次画像データに対してパラレル - シリアル変換を施して、各データ線に対応する各シリアルデータを生成する第 2 変換部と、各シリアルデータを D A 変換して得た各画像信号を各データ線に各々供給する D A 変換部とを備えたことを特徴とする。

20

【 0 0 1 7 】

この発明によれば、上述したデータ線駆動方法と同様に、線順次画像データに対してパラレル - シリアル変換を施して、各データ線に対応する各シリアルデータを生成するので、各色に対応する画素領域が、データ線に沿って形成されている場合において、各画素領域に対応する画像データを順次供給することができる。

30

【 0 0 1 8 】

ここで、前記第 2 変換部は、各データ線に対応した各ユニットを備え、1つのユニットは各色に対応する各サブユニットを縦続接続してなり、各サブユニットは前記走査線の選択期間開始時に前記点順次画像データをラッチするラッチ回路と、前記走査線の選択期間中に各サブユニットの出力信号を次段のサブユニットの前記ラッチ回路の入力に転送する転送回路とを備えるものであってもよい。この場合、第 2 変換部は、各色に対応する各サブユニットを縦続接続して構成されており、各サブユニットは、その出力信号を次段のサブユニットに転送するので、各データ線に対応したシリアル - パラレル変換を行うことができる。

40

【 0 0 1 9 】

さらに、前記画像データが、第 1 色、第 2 色、および第 3 色に各々対する 3 種類のデータであるならば、前記第 2 変換部は、第 1 色、第 2 色、第 3 色の順にパラレル - シリアル変換した前記シリアルデータを出力し、前記ユニットは、第 1 色に対応するとともに前記シリアルデータを取り出す第 1 サブユニットと、前記第 1 サブユニットの前段に設けられ第 2 色に対応する第 2 サブユニットと、前記第 2 サブユニットの前段に設けられ第 3 色に対応する第 3 サブユニットとを備え、前記各サブユニットのラッチ回路は、前記走査線の選択期間開始時にアクティブとなる第 1 転送信号に基づいて、前記点順次画像データをラッ

50

チし、前記第3サブユニットの転送回路は、前記第1転送信号のアクティブ期間終了して一定時間が経過した時点から当該走査線の選択期間が終了するまでの期間アクティブとなる第2転送信号に基づいて、前記第3サブユニットの出力信号を前記第2サブユニットの入力に転送し、前記第2サブユニットの転送回路は、前記第2転送信号が非アクティブからアクティブに遷移し一定時間が経過した時点から当該走査線の選択期間が終了するまでの期間アクティブとなる第3転送信号に基づいて、前記第2サブユニットの出力信号を前記第1サブユニットの入力に転送することが好ましい。

【0020】

また、前記第2変換部は、各データ線に対応した各ユニットを備え、1つのユニットは各色に対応する各サブユニットを環状に接続してなり、各サブユニットは前記走査線の選択期間開始時に前記点順次画像データをラッチするラッチ回路と、前記走査線の選択期間中に各サブユニットの出力信号を次段のサブユニットの前記ラッチ回路の入力に転送する転送回路とを備えるものであってもよい。この場合には、ある走査線選択期間中に画像データの色数に応じた数だけサブユニット間のデータ転送を行うことにより、各サブユニットの状態を当該走査線選択期間の当初の状態に戻すことができる。

10

【0021】

さらに、前記画像データは、第1色、第2色、および第3色に各々対する3種類のデータであるならば、前記第2変換部は、第1色、第2色、第3色の順にパラレル-シリアル変換した前記シリアルデータを出力し、前記ユニットは、第1色に対応するとともに前記シリアルデータを取り出す第1サブユニットと、前記第1サブユニットの前段に設けられ第2色に対応する第2サブユニットと、前記第2サブユニットの前段に設けられ第3色に対応する第3サブユニットとを備え、前記各サブユニットのラッチ回路は、前記走査線の選択期間開始時にアクティブとなる第1転送信号に基づいて、前記点順次画像データをラッチし、前記各サブユニットの転送回路は、前記第1転送信号がアクティブから非アクティブに変化した時点から当該走査線の選択期間が終了するまでの期間において3回アクティブとなる第2転送信号に基づいて、次段の出力信号を後段のサブユニットの入力に転送することが好ましい。

20

【0022】

この場合には、第2転送信号によって、サブユニット間のデータ転送が3回行われるから、各サブユニットの状態は当該走査線選択期間の当初の状態に戻される。一般に、隣接する画素間で画像信号の相関性は極めて高いので、各サブユニットの状態を走査線選択期間の当初の状態に戻すことにより、ある走査線選択期間から次の走査線選択期間に切り替わる時、各サブユニットの状態は隣接する同一色のデータ間で切り替わることになる。したがって、当該時点においては、各サブユニットのデータが殆ど変化しないので、消費電力を削減することが可能となる。

30

【0023】

次に、本発明に係る電気光学パネルは、上述したデータ線駆動回路のいずれかと画像領域とを備える電気光学パネルであって、前記画像領域は、横方向に延在する複数のデータ線と、縦方向に延在する複数の走査線と、それらの各交点に対応して設けられる各スイッチング素子と、各スイッチング素子に各々接続される各画素電極とを備え、前記データ線駆動回路を電気光学パネルの短辺側に配置したことを特徴とする。

40

【0024】

さらに、前記画像領域は、前記各走査線と前記各データ線で仕切られる縦長の画素領域を有し、前記データ線駆動回路を短辺側に配置することが好ましい。この場合には、縦ストライプとなるから、アルファベットの文字等を読み易く画像領域に表示することが可能となる。

【0025】

くわえて、長辺側に前記走査線を駆動する走査線駆動回路を配置し、前記データ線駆動回路に近接した短辺側の端部に実装端子を配置することが好ましい。この場合には、短辺側の端部に実装端子を配置したので、液晶パネルのコストを下げることができる。また、実

50

装端子とデータ線駆動回路とを近接して配置したので、実装端子からデータ線駆動回路までの配線を短くでき、当該配線の寄生容量を小さくすることができる。このため、駆動周波数の高いデータ線駆動回路を安定して動作させることができるとともに、外部回路の負荷を減らし、消費電流を削減することができる。

【0026】

次に、本発明の電気光学装置は、上述した電気光学パネルのいずれかと、入力画像データの行と列の関係を入れ替えて前記電気光学パネルに供給する画像処理部とを備えることを特徴とする。

【0027】

次に、本発明の電気光学装置は、この電気光学装置を表示部として備えることを特徴とする。

10

【0028】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0029】

< 1. 第1実施形態 >

まず、本発明の第1実施形態に係る電気光学装置について、電気光学材料として液晶を用いた液晶表示装置を例にとって説明する。

【0030】

< 1-1. 電気光学装置の全体構成 >

20

図1は、第1実施形態に係る液晶表示装置の電氣的構成を示すブロック図である。この図に示されるように、液晶表示装置は、液晶パネル100と、タイミング発生回路200と、画像信号処理回路300とを備える。

【0031】

このうち、タイミング発生回路200は、各部で使用されるタイミング信号（必要に応じて後述する）を出力するものである。また、画像信号処理回路300は、R、G、Bの3原色に対応する各入力画像データDr、Dg、Dbに所定の行列変換を施して、各画像データDR、DG、DBを生成する。ここで、入力画像データDr、Dg、Dbおよび画像データDR、DG、DBは、1サンプリング当たり6ビットの平行データである。なお、行列変換の詳細については後述する。

30

【0032】

次に、液晶パネル100の電氣的構成について説明する。液晶パネル100は、画像表示領域110、走査線駆動回路120およびデータ線駆動回路130を備えている。また、液晶パネル100は、後述するように、素子基板と対向基板とを互いに電極形成面を対向して貼付した構成となっている。

【0033】

このうち、素子基板の画像表示領域110にあつては、図1においてY方向に沿って平行に複数本の走査線112が配列して形成され、また、これと直交するX方向に沿って平行に複数本のデータ線114が形成されている。そして、これらの走査線112とデータ線114との各交点においては、TF T 116のゲート電極が走査線112に接続される一方、TF T 116のソース電極がデータ線114に接続されるとともに、TF T 116のドレイン電極が画素電極118に接続されている。そして、各画素領域R、G、Bは、画素電極118と、後述する対向基板に形成された共通電極と、これら両電極間に挟持された液晶とによって構成される結果、走査線112とデータ線114との各交点に対応して、マトリクス状に配列することとなる。なお、このほかに、各画素領域R、G、B毎に、蓄積容量（図示省略）を、電氣的にみて画素電極118と共通電極とに挟持された液晶に対して並列に形成しても良い。

40

【0034】

図2は、画像表示領域110を構成する画素を示した概念図である。なお、符号Pjkは、第j列、第k行の画素を示す。図示するように画像表示領域110は、n行m列の各画

50

素 $P_{11} \sim P_{mn}$ から構成されており、縦方向の長さに対して横方向の長さが長い横長画面である。さらに、1つの画素は、R画素領域R、G画素領域GおよびB画素領域Bから構成されている。これらの画素領域R、G、Bは、走査線112とデータ線114とで仕切られており、縦長の長方形の形状となっている。

【0035】

次に、図1に示す走査線駆動回路120およびデータ線駆動回路130は、後述するように素子基板における対向面にあつて、画像表示領域110の周辺部に形成されるものである。これらの回路の能動素子は、いずれもpチャネル型TFTおよびnチャネル型TFTの組み合わせにより形成される。したがって、TFT116と共通の製造プロセスで形成することができ、集積化や、製造コスト、素子の均一性などの点において有利となる。

10

【0036】

ここで、走査線駆動回路120は、シフトレジスタを有し、タイミング発生回路200からのクロック信号CLXや、その反転クロック信号CLXINV、転送開始パルスDX等に基づいて、走査信号を各走査線112に対して順次出力するものである。

【0037】

また、データ線駆動回路130の詳細については後述するが、画像信号処理回路300から供給される画像データDR、DG、DBに基づいて、各データ線114に供給する画像信号を生成するようになっている。

【0038】

< 1 - 2. 画像信号処理回路の構成 >

20

次に、画像信号処理回路300について、詳細に説明する。図3は、画像信号処理回路300の主要部の構成を示すブロック図である。この図に示すように、画像信号処理回路300の主要部は、アドレス発生回路310、RAMR320、RAMG330、およびRAMB340から構成されている。

【0039】

まず、入力画像データDr、Dg、Dbは、1行毎に左端の画素から右端の画素へ走査し、これを第1行から第n行まで繰り返して得たデータ列として与えられる。すなわち、入力画像データDr、Dg、Dbは、図2に示す画素 P_{11} 、 P_{21} 、...、 P_{m1} 、 P_{12} 、 P_{22} 、...、 P_{m2} 、...、 P_{1n} 、 P_{2n} 、...、 P_{mn} 、の順にサンプリングされたデータ列である。ここで、各画素に対応する入力画像データDr、Dg、Dbを P_{jkr} 、 P_{jkg} 、 P_{jkb} と表すことにする。また、RAMR320、RAMG330、およびRAMB340から出力される画像データDR、DG、DBについても、各画素に対応する1サンプリング当たりのデータを P_{jkR} 、 P_{jkG} 、 P_{jkB} と表すことにする。ただし、jは1 ~ j ~ mであり第何番目の列に該当するかを示しており、kは1 ~ k ~ nであり第何番目の行に該当するかを示している。

30

【0040】

アドレス発生回路310は、入力画像データDr、Dg、Dbの書き込みに必要な書込アドレスWADRを生成する一方、画像データDR、DG、DBの読み出しに必要な読出アドレスRADRを生成する。

【0041】

次に、RAMR320、RAMG330、およびRAMB340は、第1記憶部と第2記憶部とを各々備えており（図示略）、一方の記憶部に対して書き込みを行うと同時に他方の記憶部から読み出しを行うように構成されている。さらに、第1記憶部と第2記憶部とは、n行m列の記憶領域を備えており、1フィールドのデータを各々記憶できる記憶容量を有している。そして、あるフィールドで一方の記憶部に書き込みむと同時に他方の記憶部から読み出しを行ったとすると、次のフィールドでは他方の記憶部に書き込みを行うと同時に一方の記憶部から読み出しを行うようになっている。

40

【0042】

ここで、書込アドレスWADRは、1行1列、1行2列、...、1行m列、2行1列、2行2列、...、2行m列、...、n行1列、n行2列、...、n行m列といった順序で各記憶領域

50

を指定する一方、読出アドレス R A D R は 1 行 1 列、2 行 1 列、...、n 行 1 列、1 行 2 列、2 行 2 列、...、n 行 2 列、...、1 行 m 列、2 行 m 列、...、n 行 m 列といった順序で各記憶領域を指定するようになっている。

【 0 0 4 3 】

したがって、R A M R 3 2 0、R A M G 3 3 0、および R A M B 3 4 0 では、1 行毎に第 1 列の記憶領域から第 m 列の記憶領域の順に書き込みが行われこれを第 1 行から第 n 行まで繰り返すことによって、1 フィールド分の入力画像データ D r , D g , D b が記憶される。一方、読み出しの際には、1 列毎に第 1 行の記憶領域から第 n 行の記憶領域の順に読み出しが行われこれを第 1 列から第 m 列まで繰り返すことによって、画像データ D R , D G , D B が出力される。

10

【 0 0 4 4 】

このため、R A M R 3 2 0、R A M G 3 3 0、および R A M B 3 4 0 から出力される画像データ D R , D G , D B は、図 2 に示す画素画素 P 1 1 , P 1 2 , ... , P 1 n、P 2 1 , P 2 2 , ... , P 2 n、...、P m 1 , P m 2 , ... , P m n、の順にサンプリングされたデータ列となる。

【 0 0 4 5 】

これにより、入力画像データ D r , D g , D b に対して行と列を変換した画像データ D R , D G , D B を得ることができる。

【 0 0 4 6 】

なお、上述した例では、アドレス生成回路 3 1 0 を用いてハードウェア的に書込アドレス W A D R と読出アドレス R A D R とを発生するようにしたが、この液晶表示装置をコンピュータシステムの一部として用いる場合等においては、C P U によって、連続したアドレスで指定される記憶領域に入力画像データ D r , D g , D b を書き込むとともに、行と列を変換できるように指定したアドレスを用いて、記憶領域から画像データ D R , D G , D B を読み出すようにしてもよい。あるいは、C P U によって、入力画像データ D r , D g , D b を行と列を変換できるように指定したアドレスを用いて記憶領域に書き込むとともに、連続した記憶領域から画像データ D R , D G , D B を読み出すようにしてもよい。

20

【 0 0 4 7 】

< 1 - 3 . データ線駆動回路の構成 >

次に、データ線駆動回路 1 3 0 について詳細に説明する。図 4 はデータ線駆動回路のブロック図である。この図に示すようにデータ線駆動回路 1 3 0 は、シフトレジスタ 1 3 1、画像データ供給線 L r , L g , L b、第 1 ラッチ部 1 3 2、第 2 ラッチ部 1 3 3 および D A コンバータ 1 3 4 から構成されている。

30

【 0 0 4 8 】

まず、シフトレジスタ 1 3 1 は、タイミング発生回路 2 0 0 からのクロック信号 C L Y やその反転クロック信号 C L Y I N V に基づいて、転送開始信号 D Y を順次シフトしてサンプリング信号 S 1 ~ S n を順次出力するよう構成されている。

【 0 0 4 9 】

次に、画像データ供給線 L r , L g , L b は、各々 6 本の配線で構成されており、6 ビットの平行形式で供給される画像データ D R、D G、D B が、画像信号処理回路 3 0 0 から供給されるようになっている。

40

【 0 0 5 0 】

次に、第 1 ラッチ部 1 3 2 は、各画像データ D R、D G、D B をサンプリング信号 S 1 ~ S n を用いてラッチするように構成されており、これにより、点順次画像データ D R '、D G '、D B ' が得られるようになっている。

【 0 0 5 1 】

次に、第 2 ラッチ部 1 3 3 は、第 1 転送信号 T R S 1 を用いて、点順次画像データ D R '、D G '、D B ' を線順次画像データ D R ' '、D G ' '、D B ' ' に変換し、この後、第 2 転送信号 T R S 2 および第 3 転送信号 T R S 3 に従って、線順次画像データ D R ' '、D G ' '、D B ' ' をシリアル形式に変換した画像データ D R G B を出力するように構成されている。

50

【 0 0 5 2 】

次に、D Aコンバータ134は、シリアルデータをD A変換して得た各画像信号を各データ線114に出力するように構成されている。

【 0 0 5 3 】

さてここで、第1ラッチ部132と第2ラッチ部133との構成を図5を用いて詳細に説明する。図5は、第1ラッチ部と第2ラッチ部の詳細な構成を示す回路図である。

【 0 0 5 4 】

この図に示すように、第1ラッチ部132は、データ線114の本数“n”に対応して、n個のユニットU A 1 ~ U A nを備えている。一方、第2ラッチ部134も同様に、n個のユニットU B 1 ~ U B nを備えている。

10

【 0 0 5 5 】

さらに、第1ラッチ部132のユニットU A 1は、画像データD R、D G、D Bのビット数“6”に対応して6個のビットユニットU A 1 1 ~ U A 1 6を備えている。ビットユニットU A 1 2 ~ U A 1 6は、ビットユニットU A 1 1と同一の構成であり、各ビットユニットU A 1 1 ~ U A 1 6には、画像データD R、D G、D Bの第1ビットから第6ビットが各々供給されるようになっている。また、他のユニットU A 2 ~ U A nについてもユニットU A 1と同様に構成されている。一方、第2ラッチ部133のユニットU B 1は、第1ラッチ部132と同様に、6個のビットユニットU B 1 1 ~ U B 1 6を備えている。さらに、ビットユニットU B 1 2 ~ U B 1 6は、ビットユニットU B 1 1と同一の構成である。くわえて、他のユニットU B 2 ~ U B nについてもユニットU B 1と同様に構成されている。

20

【 0 0 5 6 】

まず、第1ラッチ部132のビットユニットU A 1 1は、図に示すように、アナログスイッチS W 1およびインバータI N V 1、I N V 2から構成される3組のラッチ回路を備えている。各組のアナログスイッチS W 1の制御端子には、サンプリング信号S 1が供給されるようになっている。このため、サンプリング信号S 1がアクティブになると、画像データD R、D G、D Bの各第1ビットデータがインバータI N V 1、I N V 2に供給される。ここで、インバータI N V 1の出力信号は、インバータI N V 2を介してその入力端子にフィードバックされるようになっているので、アナログスイッチS W 1がハイインピーダンス状態となっても、サンプリング信号S 1がアクティブとなる期間に取り込まれた論理レベルがインバータI N V 1、I N V 2によって記憶されることになる。したがって、ユニットU A 1 1は、画像データD R、D G、D Bの各第1ビットデータを、サンプリング信号S 1に従ってラッチする。サンプリング信号S 1は、図に示すようにユニットU A 1 2 ~ U A 1 6にも供給されるから、ユニットU A 1は、第1行に対する画像データD R、D G、D Bを出力する。同様の処理がユニットU A 2 ~ U A nにおいても行われる。これにより、画像データD R、D G、D Bが各データ線114に対応する点順次画像データD R'、D G'、D B'に変換される。

30

【 0 0 5 7 】

次に、第2ラッチ部133のビットユニットU B 1 1は、R、G、Bの各色に対応したサブユニットU B 1 1 r、U B 1 1 g、U B 1 1 bから構成されている。各サブユニットのアナログスイッチS W 2およびインバータI N V 3、I N V 4は、ラッチ回路として機能する。なお、サブユニットU B 1 1 bのインバータI N V 4は第1転送信号T R S 1によって制御され、サブユニットU B 1 1 g、U B 1 1 rのインバータI N V 4はオア回路O Rによって制御されるようになっている。

40

【 0 0 5 8 】

ここで、アナログスイッチS W 2は第1転送信号T R S 1によって制御される。第1転送信号T R S 1は、各走査線112が選択される期間の開始時点においてアクティブとなる信号である。したがって、各ラッチ回路は、各走査線112が選択される期間の開始時点において点順次画像データD R'、D G'、D B'を取り込んで、走査線112の選択期間中、論理レベルを記憶する。これにより、点順次画像データD R'、D G'、D B'が、線

50

順次画像データ DR'' , DG'' , DB'' に変換される。

【 0 0 5 9 】

また、サブユニット $UB11b$ のインバータ $INV5$ 、サブユニット $UB11gr$ のインバータ $INV6$ は、サブユニットの出力信号を次段のサブユニットに転送する転送回路として機能する。この例では、第 2 転送信号 $TRS2$ と第 3 転送信号 $TRS3$ に基づいて、サブユニット $UB11b$ の出力信号がサブユニット $UB11g$ に転送され、サブユニット $UB11g$ の出力信号がサブユニット $UB11r$ に転送される。これにより、各線順次画像データ DR'' , DG'' , DB'' が各データ線 114 に対応するシリアル形式の画像データ $DRGB$ に変換される。

【 0 0 6 0 】

10

< 1 - 4 . データ線駆動回路の動作 >

次に、データ線駆動回路 130 の動作について説明する。図 6 および図 7 はデータ線駆動回路の動作を説明するためのタイミングチャートである。

【 0 0 6 1 】

図 6 において転送開始信号 DY がデータ線駆動回路 130 のシフトレジスタ 131 に供給されると、シフトレジスタ 131 は、クロック信号 CLY とその反転クロック信号 $CLYINV$ に従って、転送開始信号 DY を順次シフトして、サンプリング信号 $S1$, $S2$, ... , Sn を出力する。

【 0 0 6 2 】

ここで、画像データ DR 、 DG 、 DB は、図に示すように、サンプリング信号 $S1 \sim Sn$ と同期している。このため、第 1 ラッチ部 132 がサンプリング信号 $S1 \sim Sn$ に基づいて、画像データ DR 、 DG 、 DB をラッチすると、点順次画像データ DR' 、 DG' 、 DB' が得られることになる。

20

【 0 0 6 3 】

次に、ある走査線 112 の選択期間の開始のタイミングで第 1 転送信号 $TRS1$ がアクティブ（この例では、 H レベル）になると、点順次画像データ DR' 、 DG' 、 DB' が第 2 ラッチ部 133 によってラッチされ、点順次画像データ DR'' 、 DG'' 、 DB'' が線順次画像データ DR'' 、 DG'' 、 DB'' に変換される。

【 0 0 6 4 】

図 7 に示すように第 2 転送信号 $TRS2$ は、第 1 転送信号 $TRS1$ がアクティブから非アクティブに変化した後にアクティブとなり、その状態を当該走査線の選択期間中維持する信号である。また、第 3 転送信号 $TRS3$ は、第 2 転送信号 $TRS2$ が非アクティブからアクティブとなり、一定時間が経過した後にアクティブとなり、その状態を当該走査線の選択期間中維持する信号である。

30

【 0 0 6 5 】

図 6 および図 7 に示すように時刻 $t10$ から時刻 $t11$ までの期間において、第 1 転送信号 $TRS1$ がアクティブになると、図 5 に示す $UB11$ の各アナログスイッチ $SW2$ がオン状態となる。このとき、図 5 に示す信号 $PR1$ 、 $PG1$ 、 $PB1$ は、図 7 に示すように、データ $P11R$ 、 $P11G$ 、 $P11B$ となる。

【 0 0 6 6 】

40

この後、所定時間が経過して時刻 $t12$ に至ると、第 2 転送信号 $TRS2$ が非アクティブ（ L ）からアクティブ（ H ）に変化する。すると、サブユニット $UB11g$ のインバータ $INV5$ がアクティブとなるので、 $P11G$ がサブユニット $UB11r$ に転送され、インバータ $INV3$ 、 $INV4$ によってラッチされる。したがって、時刻 $t12$ から時刻 $t13$ までの期間において、信号 $PR1$ は、“ $P11G$ ” となる。

【 0 0 6 7 】

そして、時刻 $t13$ に至ると、第 3 転送信号 $TRS3$ が非アクティブ（ L ）からアクティブ（ H ）に変化する。すると、サブユニット $UB11b$ およびサブユニット $UB11g$ のインバータ $INV5$ がアクティブとなるので、 $P11B$ がサブユニット $UB11r$ に転送される。したがって、時刻 $t12$ から時刻 $t13$ までの期間において、信号 $PR1$ は、“ $P1$

50

1 B " となる。

【 0 0 6 8 】

以上の動作が各走査線 1 1 2 の選択期間毎に繰り返されることによって、パラレル形式で供給される線順次画像データ D R ' ' , D G ' ' , D B ' ' がシリアル形式の画像データ D RGB に変換される。

【 0 0 6 9 】

こうして得られた画像データ D RGB が、 D A コンバータ 1 3 4 によってアナログ信号に変換されるので、各データ線 1 1 4 には、 R , G , B の順序で画像信号が供給される。例えば、図 1 に示す画像表示領域 1 1 0 の最上部のデータ線 1 1 4 には、 P 1 1 R , P 1 1 G , P 1 1 B , P 2 1 R , P 2 1 G , P 2 1 B , ... , P m 1 R , P m 1 G , P m 1 B の順に 10
画像信号が供給される。

【 0 0 7 0 】

このように、本実施形態のデータ線駆動回路 1 3 0 においては、第 2 ラッチ部 1 3 3 において、点順次画像データ D R ' , D G ' , D B ' を線順次画像データ D R ' ' , D G ' ' , D B ' ' に変換し、さらに、これらをシリアル形式の画像データ D RGB に変換したので、図 2 に示す縦ストライプの画素構成において、横方向から画像信号を供給することができる。この結果、データ線駆動回路 1 3 0 を図 1 に示すように液晶パネル 1 0 0 の短辺 L S 側に配置することが可能となる。

【 0 0 7 1 】

< 液晶パネルの構成例 >

次に、上述した実施形態に係るデータ線駆動回路 1 3 0 を有する液晶パネル 1 0 0 の全体構成について図 8 および図 9 を参照して説明する。ここで、図 8 は、液晶パネル 1 0 0 の構成を示す斜視図であり、図 9 は、図 8 における A - A ' 線の断面図である。

【 0 0 7 2 】

これらの図に示されるように、液晶パネル 1 0 0 は、画素電極 1 1 8 等が形成されたガラスや、半導体、石英などの素子基板 1 0 1 と、共通電極 1 0 8 等が形成されたガラスなどの透明な対向基板 1 0 2 とが、スペーサ 1 0 3 の混入されたシール材 1 0 4 によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学材料としての液晶 1 0 5 が封入された構造となっている。なお、シール材 1 0 4 は、対向基板 1 0 2 の基板周辺に沿って形成されるが、液晶 1 0 5 を封入するために 30
一部が開口している。このため、液晶 1 0 5 の封入後に、その開口部分が封止材 1 0 6 によって封止されている。

【 0 0 7 3 】

ここで、素子基板 1 0 1 の対向面であって、シール材 1 0 4 の短辺 L S 側においては、上述したデータ線駆動回路 1 3 0 が形成されて、 X 方向に延在するデータ線 1 1 4 を駆動する構成となっている。さらに、この一辺には複数の外部回路接続端子 1 0 7 が形成されて、タイミング発生回路 2 0 0 および画像信号処理回路 3 0 0 からの各種信号を入力する構成となっている。また、長辺 L L 側には、 2 個の走査線駆動回路 1 2 0 が形成されて、 Y 方向に延在する走査線 1 1 2 をそれぞれ両側から駆動する構成となっている。なお、走査線 1 1 2 に供給される走査信号の遅延が問題にならないのであれば、走査線駆動回路 1 2 40
0 を片側 1 個だけに形成する構成でも良い。

【 0 0 7 4 】

一方、対向基板 1 0 2 の共通電極 1 0 8 は、素子基板 1 0 1 との貼合部分における 4 隅のうち、少なくとも 1 箇所において設けられた導通材によって、素子基板 1 0 1 との電氣的導通が図られている。このほかに、対向基板 1 0 2 には、第 1 に、ストライプ状に配列したカラーフィルタが設けられ、第 2 に、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトレジストに分散した樹脂ブラックなどの遮光膜が設けられ、第 3 に、液晶パネル 1 0 0 に光を照射するバックライトが設けられる。

【 0 0 7 5 】

くわえて、素子基板 1 0 1 および対向基板 1 0 2 の対向面には、それぞれ所定の方にラ 50

ピング処理された配向膜（図示省略）などが設けられる一方、その各背面側には配向方向に応じた偏光板（図示省略）がそれぞれ設けられる。ただし、液晶１０５として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光板などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【００７６】

なお、データ線駆動回路１２０等の周辺回路の一部または全部を、素子基板１０１に形成する替わりに、例えば、ＴＡＢ（Tape Automated Bonding）技術を用いてフィルムに実装された駆動用ＩＣチップを、素子基板１０１の所定位置に設けられる異方性導電フィルムを介して電気的および機械的に接続する構成としても良いし、駆動用ＩＣチップ自体を、

10

【００７７】

このように本実施形態にあっては、外部回路接続端子１０７（実装端子）を短辺ＬＳ側に設けたので、長辺ＬＬ側にそれを設ける場合と比較して素子基板１０１の面積を縮小することができるから、液晶パネル１００のコストを削減でき、ひいては液晶表示装置全体のコストダウンを図ることができる。

【００７８】

さらに、データ線駆動回路１３０を外部回路接続端子１０７と近接するように短辺ＬＳ側に設けたので、外部回路接続端子１０７からデータ線駆動回路１３０までの配線を短くできるので、当該配線の寄生容量を小さくすることができる。このため、周波数の高いクロック信号ＣＬＹや反転クロック信号ＣＬＹINVを安定してデータ線駆動回路１３０に供給することができる。また、タイミング発生回路２００に設けられたクロック信号ＣＬＹや反転クロック信号ＣＬＹINVを駆動するための回路の負荷を減らし、消費電流を削減することができる。

20

【００７９】

くわえて、データ線駆動回路１３０の第２ラッチ部１３３において、点順次画像データＤＲ'、ＤＧ'、ＤＢ'を線順次画像データＤＲ''、ＤＧ''、ＤＢ''に変換し、さらに、これらをシリアル形式の画像データＤＲＧＢに変換したので、図２に示す縦ストライプの画素構成において、横方向から画像信号を供給することができる。この結果、文字が途切れてしまい読み難くなるといったことが無く、読み易い文字を鮮明に表示させることができる。

30

【００８０】

< ２．第２実施形態 >

次に、第２実施形態に係る液晶表示装置について説明する。本実施形態の液晶表示装置は、データ線駆動回路１３０の第２ラッチ部の詳細な構成を除いて、第１実施形態の液晶表示装置と同一である。そこで、第２ラッチ部について説明する。図１０は、第２実施形態のデータ線駆動回路に用いられる第２ラッチ部１３３'と第１ラッチ部１３２の詳細な回路図である。

【００８１】

第２ラッチ部１３３'は、図５に示す第１実施形態の第２ラッチ部１３３と同様に、ｎ個のユニットＵＢ１～ＵＢｎを備えている。そして、ユニットＵＢ１は６個のビットユニットＵＢ１１'～ＵＢ１６'から構成されている。第２ラッチ部１３３'が、第１実施形態の第２ラッチ部１３３と相違するのは、ビットユニットの詳細な構成である。

40

【００８２】

図１０に示すようにビットユニットＵＢ１１'は、サブユニットＵＢ１１ｒ'、ＵＢ１１ｇ'、ＵＢ１１ｂ'から構成されている。

【００８３】

各サブユニットＵＢ１１ｒ'、ＵＢ１１ｇ'、ＵＢ１１ｂ'は、第１ラッチ回路として機能するアナログスイッチＳＷ２、インバータINV3、INV4およびオア回路ORと、第２ラッチ回路として機能するアナログスイッチＳＷ３およびインバータINV6、INV7と、転送回路とし

50

て機能するアナログスイッチSW4とを備えている。

【0084】

まず、アナログスイッチSW2は、第1転送信号TRS1がアクティブになるとオン状態となるから、第1転送信号TRS1のアクティブ期間において、第1ラッチ部133から出力される点順次画像データDR', DG', DB'が第1ラッチ回路に取り込まれる。第1転送信号TRS1は走査線112の選択期間開始時にアクティブとなる信号である。したがって、第1ラッチ回路によって、点順次画像データDR', DG', DB'が線順次画像データDR'', DG'', DB''に変換される。

【0085】

次に、アナログスイッチSW3は、第4転送信号TRS4の非アクティブ期間（Lレベル）においてオン状態となる一方、そのアクティブ期間においてオフ状態となる。したがって、第2ラッチ回路は、第4転送信号TRS4の非アクティブ期間において、第1ラッチ回路の出力信号を取り込む。

【0086】

次に、転送回路として機能するアナログスイッチSW4は、第4転送信号TRS4のアクティブ期間（Hレベル）においてオン状態となる一方、その非アクティブ期間においてオフ状態となる。したがって、第4転送信号TRS4のアクティブ期間（Hレベル）においては、図に示す信号PB2がサブユニットUB11b'のアナログスイッチSW4を介してサブユニットUB11g'に転送され、信号PG2がサブユニットUB11g'のアナログスイッチSW4を介してサブユニットUB11r'に転送され、信号PR2がサブユニットUB11r'のアナログスイッチSW4を介してサブユニットUB11b'に転送される。すなわち、第2実施形態の第2ラッチ部133は、各サブユニットが環状に接続されている点で、直線状に各サブユニットが接続されている第1実施形態の第2ラッチ部133と相違する。また、第4転送信号TRS4は、第1転送信号TRS1がアクティブ（Hレベル）となってから次にアクティブとなる期間中に、3回アクティブ（Hレベル）となる（図11参照）。したがって、第2実施形態の第2ラッチ部133'は、ある走査線112の選択期間中にサブユニット間の転送を3回行う点で、サブユニット間の転送を2回で終了する第1実施形態の第2ラッチ部133と相違している。

【0087】

次に、第2実施形態に係るデータ線駆動回路の動作を説明する。第2実施形態のデータ線駆動回路130は、第2ラッチ部の詳細な構成を除いて第1実施形態と同様であるから、第2実施形態のデータ線駆動回路130は、第1ラッチ部132によって点順次画像データを生成するまでは、第1実施形態と同様に動作する（図6参照）。

【0088】

図11は、第2ラッチ部の動作を説明するためのタイミングチャートである。時刻t10から時刻t11までの期間において、第1転送信号TRS1がHレベルになると、アナログスイッチSW1がオン状態となり、第1ラッチ部132から出力される点順次画像データが、第2ラッチ部133に取り込まれる。この結果、当該期間において、信号PR1, PG1, PB1は、1行1列目の画素P11に対応するデータP11R, P11G, P11Bとなる。また、当該期間においては、第4転送信号TRS4がLレベルとなっているから、アナログスイッチSW2はオン状態になっている。このため、第1ラッチ回路の出力信号PR1, PG1, PB1は第2ラッチ回路に取り込まれる。したがって、信号PR2, PG2, PB2は、データP11R, P11G, P11Bとなる。

【0089】

次に、時刻t11から時刻t12までの期間にあっては、第1転送信号TRS1および第4転送信号TRS4がともにLレベルであるから、インバータINV4は動作状態となり、インバータINV3, INV4によって論理レベルが保持される。したがって、当該期間において、信号PR1, PG1, PB1はデータP11R, P11G, P11Bとなる。また、当該期間においては、アナログスイッチSW2がオン状態となっているから、信号PR2, PG2, PB2はデータP11R, P11G, P11Bとなる。

10

20

30

40

50

【0090】

次に、時刻 t_{12} から時刻 t_{13} までの期間にあっては、第4転送信号 TRS_4 がHレベルになる。すると、アナログスイッチ SW_3 がオン状態となり、サブユニット間のデータ転送が行われる。具体的には、データが $UB_{11b'} \rightarrow UB_{11g'} \rightarrow UB_{11r'} \rightarrow UB_{11b'}$ の方向にデータが同時に転送される。このとき、アナログスイッチ SW_2 , SW_3 はオフ状態となっているから、前段のサブユニットから転送されたデータが第1ラッチ回路によって保持される一方、第2ラッチ回路は当該期間において時刻 t_{12} より前の状態を維持する。このため、当該期間にあっては、信号 PR_1 , PG_1 , PB_1 はデータ P_{11G} , P_{11B} , P_{11B} となる一方、信号 PR_2 , PG_2 , PB_2 はデータ P_{11R} , P_{11G} , P_{11B} となる。

10

【0091】

次に、時刻 t_{13} から時刻 t_{14} までの期間にあっては、アナログスイッチ SW_3 がオン状態、アナログスイッチ SW_2 , SW_4 がオフ状態となるので、信号 PR_1 , PG_1 , PB_1 と信号 PR_2 , PG_2 , PB_2 とは各々一致し、データ P_{11G} , P_{11B} , P_{11B} となる。

【0092】

以後、第2ラッチ部 $133'$ は、時刻 t_{14} から時刻 t_{15} までの期間において時刻 t_{12} から時刻 t_{13} までの期間と同様に動作し、時刻 t_{15} から時刻 t_{16} までの期間において時刻 t_{13} から時刻 t_{14} までの期間と同様に動作する。したがって、信号 PR_1 , PG_1 , PB_1 と信号 PR_2 , PG_2 , PB_2 は図に示すように変化する。

20

【0093】

ここで、第2ラッチ部 133 の出力信号 PR_2 に着目すると、時刻 t_{10} から時刻 t_{17} までの期間中に、信号 PR_2 は、 $P_{11R} \rightarrow P_{11G} \rightarrow P_{11B}$ の順に変化している。すなわち、線順次画像データ DR'' , DG'' , DB'' をシリアル形式の画像データ $DRGB$ に変換している。

【0094】

ところで、本実施形態のサブユニットは環状に接続されており、第1転送信号 TRS_1 が再びアクティブとなる時刻 t_{18} より前に、第4転送信号 TRS_4 が3回アクティブとなる。3度目のアクティブ期間は、図に示す時刻 t_{16} から時刻 t_{17} までの期間 TA である。当該期間を設けることによって、各サブユニットには、時刻 t_{10} から時刻 t_{11} までの期間に取り込んだ線順次画像データが入力されることになる。例えば、サブユニット $UB_{11r'}$ では、時刻 t_{16} から時刻 t_{17} までの期間において、データ P_{11R} が取り込まれる。これにより、時刻 t_{17} から時刻 t_{18} までの期間において、信号 PR_1 , PG_1 , PB_1 と信号 PR_2 , PG_2 , PB_2 とが各々一致し、データ P_{11R} , P_{11G} , P_{11B} となる。

30

【0095】

単に、線順次画像データ DR'' , DG'' , DB'' をシリアル形式の画像データ $DRGB$ に変換するのであれば、第1実施形態のようにサブユニットを直線状に接続し、1回の走査線選択期間中に第4転送信号 TRS_4 を2回アクティブにすれば足りる。しかしながら、第2実施形態においては、上述したようにサブユニットを環状に接続し、3度目のアクティブ期間 TA を設けている。これは、以下の理由による。

40

【0096】

画像信号の相関性は極めて高いため、隣接する画素間では画像データ値が変わらないことが多い。一方、第2ラッチ部 $133'$ は、 p チャンネル型および n チャンネル型の TFT によって構成されるが、 TFT が電力を消費するのは論理レベルが変化したときであり、論理レベルが変化しなければ、電力は殆ど消費されない。

【0097】

上述したように3度目のアクティブ期間 TA によって、各サブユニットの信号 PR_1 , PG_1 , PB_1 と信号 PR_2 , PG_2 , PB_2 とは、走査線選択期間の最初の状態に戻っている。この状態において、次に第1転送信号 TRS_1 がアクティブとなったときに、各サ

50

ブユニットに取り込まれる点順次画像データ DR' , DG' , DB' は、隣接する画素に対応するものである。例えば、サブユニット $UB_{11r'}$ に着目すると、信号 PR_1 は時刻 t_{18} の前後でデータ P_{11R} からデータ P_{21R} に変化する。データ P_{11R} は画素 P_{11} の R 画素領域に対応するものであり、 P_{21R} は画素 P_{11} に隣接する画素 P_{21} の R 画素領域に対応するものである。したがって、データ P_{11R} の値とデータ P_{21R} の値は一致する可能性が極めて高い。このため、第 1 転送信号 TRS_1 がアクティブとなる時点（例えば、時刻 t_{18} ）において、消費される電力を大幅に削減することができる。

【0098】

一方、3 度目のアクティブ期間 TA を設けることによって、各サブユニットの状態は 1 回の走査線選択期間中に 3 回変化することになり、それだけ消費電力が増加する。しかしながら、アクティブ期間 TA による状態の変化は、同一画素内で行われる。例えば、サブユニット $UB_{11r'}$ においては期間 TA を設けることによって、信号 PR_1 , PR_2 がデータ P_{11B} からデータ P_{11R} に変化する。ここで、画像信号処理回路 300 から供給される画像データ DR , DG , DB は、上述したように白、黒、灰といった無彩色の画像を表示するときには、同一値となるように正規化されている。したがって、表示すべき画像が無彩色である場合には、期間 TA を設けてても消費電力が増加しない。特に、コンピュータのモニタに表示されるテキストは、黒色であることが多く、またその背景は白色であることが多い。したがって、特に、コンピュータの表示用にこの液晶表示装置を用いる場合には、期間 TA を設けたことによって消費電力が増加することはない。したがって、サブユニットを環状に接続し、3 度目のアクティブ期間 TA を設けることにより、消費電力を削減することが可能となる。

【0099】

< 3. 変形例 >

(1) 上述した各実施形態においては、液晶パネル 100 の素子基板 101 をガラス等の透明な絶縁性基板により構成して、当該基板上にシリコン薄膜を形成するとともに、当該薄膜上にソース、ドレイン、チャネルが形成された TFT によって、画素のスイッチング素子 (TFT116) や駆動回路 120 の素子を構成するものとして説明したが、本発明はこれに限られるものではない。

【0100】

例えば、素子基板 101 を半導体基板により構成して、当該半導体基板の表面にソース、ドレイン、チャネルが形成された絶縁ゲート型電界効果トランジスタによって、画素のスイッチング素子や駆動回路 120 の素子を構成しても良い。このように素子基板 101 を半導体基板により構成する場合には、透過型の表示パネルとして用いることができないため、画素電極 118 をアルミニウムなどで形成して、反射型として用いられることとなる。また、単に、素子基板 101 を透明基板として、画素電極 118 を反射型にしても良い。

【0101】

(2) さらに、上述した各実施形態にあつては、画素のスイッチング素子を、TFT で代表される 3 端子素子として説明したが、ダイオード等の 2 端子素子で構成しても良い。ただし、画素のスイッチング素子として 2 端子素子を用いる場合には、走査線 112 を一方の基板に形成し、データ線 114 を他方の基板に形成するとともに、2 端子素子を、走査線 112 またはデータ線 114 のいずれか一方と、画素電極との間に形成する必要がある。この場合、画素は、走査線 112 とデータ線 114 との間に直列接続された二端子素子と、液晶とから構成されることとなる。

【0102】

(3) また、本発明は、アクティブマトリクス型液晶表示装置として説明したが、これに限られず、STN (Super Twisted Nematic) 液晶などを用いたパッシブ型にも適用可能である。さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う表示装置にも適用可能である。すなわち、本発明は、上述した液晶表示装置と類似の構成を有するすべての電気光学装置に適

10

20

30

40

50

用可能である。

【0103】

(4) また、上述した各実施形態においては、RGBの3原色に各々対応した画素領域R、G、Bをデータ線114に沿って形成するようにしたが、本発明はこれに限定されるものではなく、複数を表示するものであってもよい。この場合には、各色に対応する画像データを点順次画像データに変換し、これを線順次画像データに変換し、各色に対応する線順次画像データをパラレル-シリアル変換して、シリアル形式の画像データを各データ線に対応して生成し、さらに得られた画像データにDA変換を施して各データ線に出力すればよい。

【0104】

<4. 応用例>

次に、上述した液晶表示装置を各種の電子機器に適用される場合について説明する。

【0105】

<その1：モバイル型コンピュータ>

まず、この液晶パネルを、モバイル型のパーソナルコンピュータに適用した例について説明する。図12は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶パネル100の背面にバックライトを付加することにより構成されている。

【0106】

<その2：携帯電話>

さらに、この液晶パネル100を、携帯電話に適用した例について説明する。図13は、この携帯電話の構成を示す斜視図である。図において、携帯電話1302は、複数の操作ボタン1302とともに、反射型の液晶パネル100を備えるものである。この反射型の液晶パネル100にあっては、必要に応じてその前面にフロントライトが設けられる。

【0107】

なお、図12～図13を参照して説明した電子機器の他にも、単板型のビデオプロジェクタ、液晶テレビ、ビューファインダ型あるいはモニタ直視型のビデオテーブルコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた装置等などが挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

【0108】

【発明の効果】

以上説明したように本発明によれば、製造コストを削減すると同時に、文字が読み易い電気光学パネルを提供することができる。また、この電気光学パネルのデータ線を駆動するデータ線駆動回路および駆動方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る液晶表示装置の全体構成を示すブロック図である。

【図2】 同装置における画像表示領域を構成する画素を示した概念図である。

【図3】 同装置における画像処理回路の構成を示すブロック図である。

【図4】 同装置のデータ線駆動回路の構成を示すブロック図である。

【図5】 同装置の第1および第2ラッチ部の構成を示す回路図である。

【図6】 同装置のデータ線駆動回路の動作を示すタイミングチャートである。

【図7】 同装置のデータ線駆動回路の動作を示すタイミングチャートである。

【図8】 同液晶パネルの構造を示す斜視図である。

【図9】 同液晶パネルの構造を説明するための一部断面図である。

【図10】 本発明の第2実施形態に用いられる第1および第2ラッチ部の構成を示す回路図である。

【図11】 同第2ラッチ部の動作を示すタイミングチャートである。

10

20

30

40

50

【図 1 2】 同液晶表示装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図 1 3】 同液晶表示装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【図 1 4】 従来の横長画面の液晶パネルの主要部を示すブロック図である。

【図 1 5】 従来の縦長画面の液晶パネルの主要部を示すブロック図である。

【図 1 6】 緑色で表示される文字“X”を横ストライプの画面で表示した例を示す概念図である。

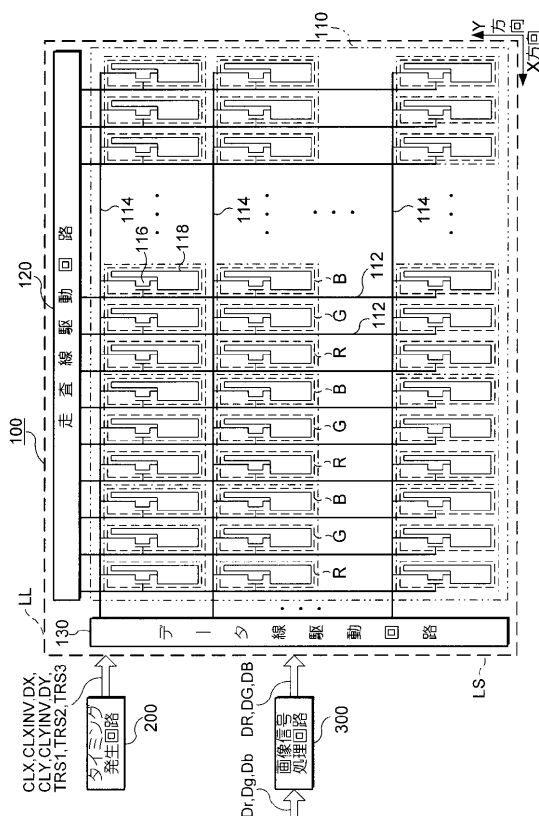
【符号の説明】

1 0 0 …… 液晶パネル
 1 0 7 …… 外部回路接続端子（実装端子）
 1 1 0 …… 画像表示領域
 1 1 2 …… 走査線
 1 1 4 …… データ線
 1 1 6 …… T F T
 1 3 0 …… データ線駆動回路
 1 3 2 …… 第 1 ラッチ部（第 1 変換部）
 1 3 3、1 3 3' …… 第 2 ラッチ部（第 2 変換部）
 1 3 4 …… D A 変換部（D A コンバータ）
 3 0 0 …… 画像処理回路（画像処理部）
 U B 1 ~ U B n …… ユニット
 U B 1 1 r, U B 1 1 g, U B 1 1 b …… サブユニット

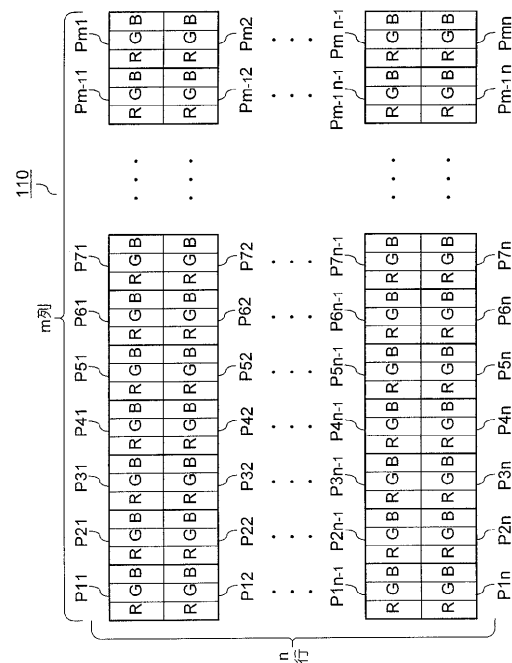
10

20

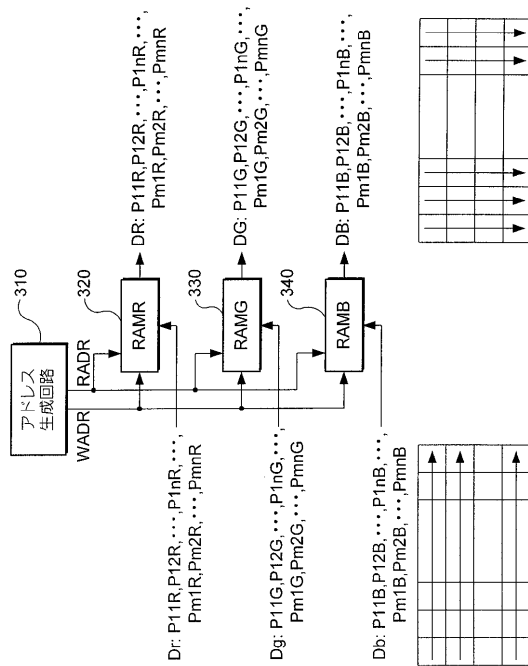
【図 1】



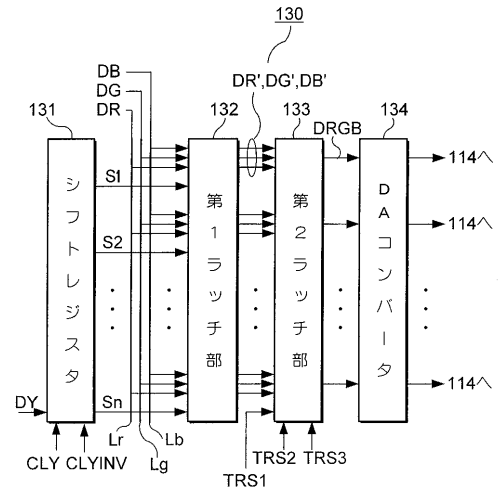
【図 2】



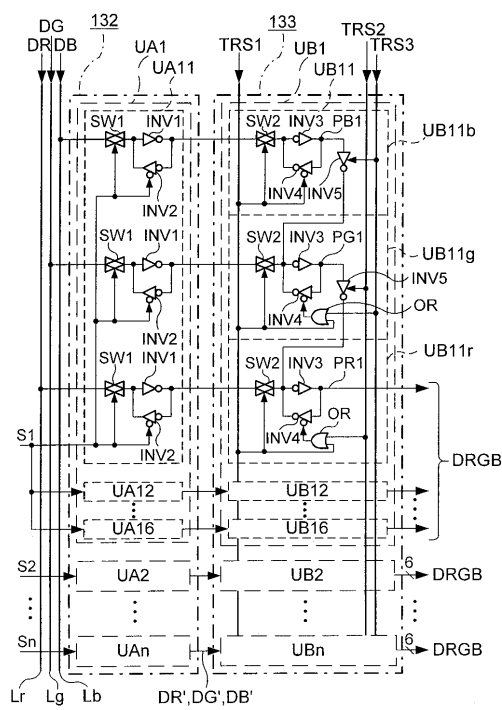
【図 3】



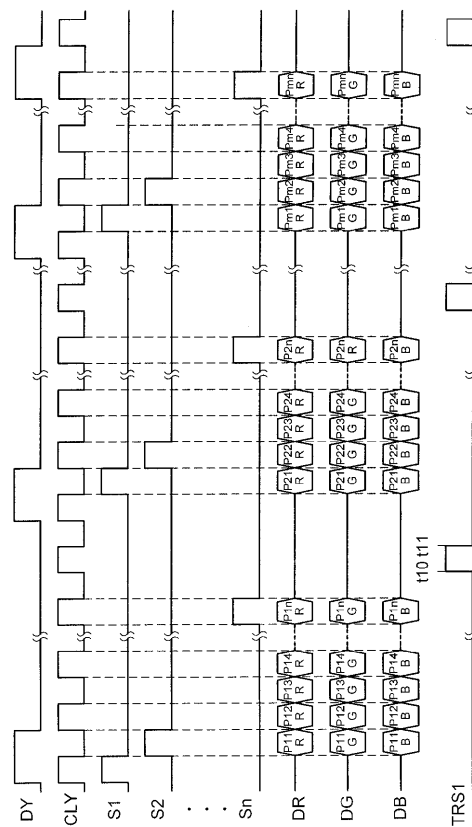
【図 4】



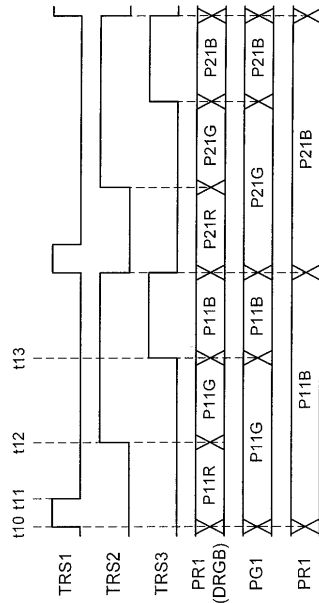
【図 5】



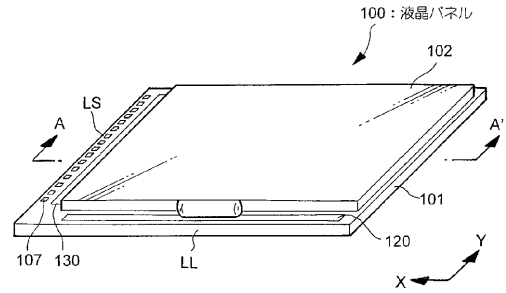
【図 6】



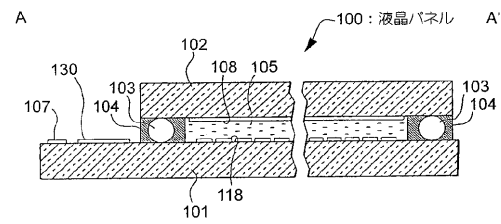
【図 7】



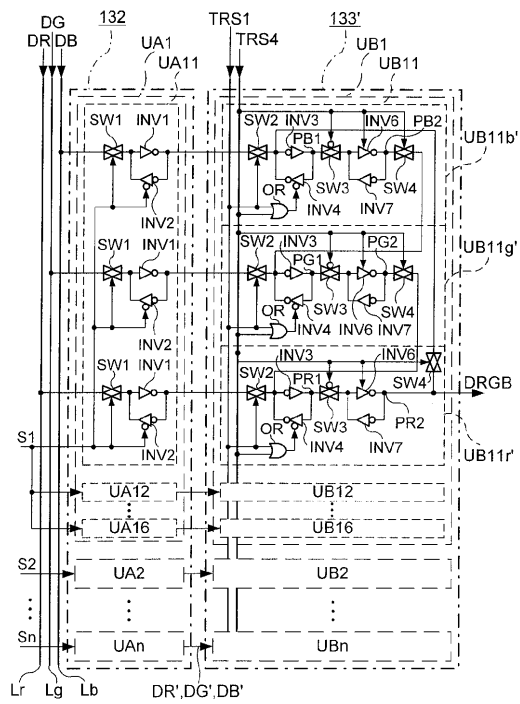
【図 8】



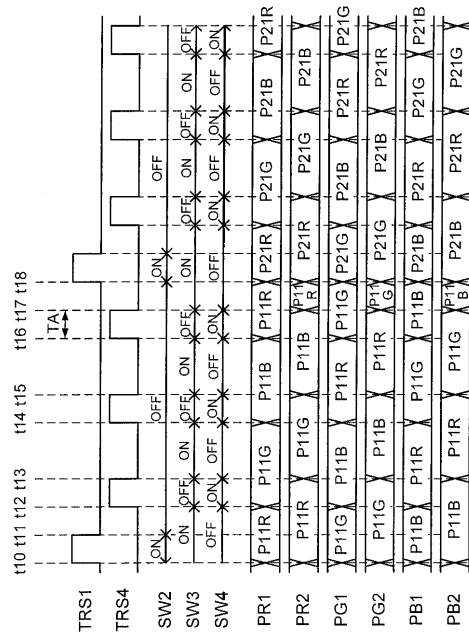
【図 9】



【図 10】



【図 11】



フロントページの続き

(51) Int.Cl. F I
G 0 9 G 3/20 6 2 3 R
G 0 9 G 3/20 6 6 0 F
G 0 9 G 3/36

審査官 藤田 都志行

(56)参考文献 国際公開第 9 9 / 0 0 0 7 8 6 (W O , A 1)
特開平 1 1 - 0 6 5 5 3 6 (J P , A)
国際公開第 9 7 / 0 4 9 0 8 0 (W O , A 1)
特開平 1 0 - 3 1 9 4 2 9 (J P , A)
特開平 1 0 - 3 4 0 0 7 2 (J P , A)
特開平 1 1 - 0 0 3 0 6 8 (J P , A)
特開平 1 1 - 3 5 2 5 1 6 (J P , A)
特開平 0 5 - 0 2 7 7 0 8 (J P , A)
特開平 0 2 - 2 1 1 4 9 7 (J P , A)
特開平 0 4 - 0 5 1 2 8 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/133
G09F 9/30
G09G 3/20
G09G 3/36

【 图 1 】