

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3917168号**  
**(P3917168)**

(45) 発行日 平成19年5月23日 (2007.5.23)

(24) 登録日 平成19年2月16日 (2007.2.16)

(51) Int.Cl.

F I

**G09G 3/36 (2006.01)**

G09G 3/36

**G09G 3/20 (2006.01)**

G09G 3/20 611A

**G02F 1/133 (2006.01)**

G09G 3/20 641C

G09G 3/20 621B

G09G 3/20 623B

請求項の数 2 (全 70 頁) 最終頁に続く

(21) 出願番号 特願2006-128114 (P2006-128114)

(22) 出願日 平成18年5月2日 (2006.5.2)

(62) 分割の表示 特願2005-296834 (P2005-296834)  
の分割

原出願日 平成7年5月18日 (1995.5.18)

(65) 公開番号 特開2006-221194 (P2006-221194A)

(43) 公開日 平成18年8月24日 (2006.8.24)

審査請求日 平成18年5月31日 (2006.5.31)

(31) 優先権主張番号 特願平6-170696

(32) 優先日 平成6年7月22日 (1994.7.22)

(33) 優先権主張国 日本国 (JP)

(31) 優先権主張番号 特願平6-138499

(32) 優先日 平成6年6月21日 (1994.6.21)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 110000198

特許業務法人湘洋内外特許事務所

(72) 発明者 新田 博幸

神奈川県川崎市麻生区王禅寺1099番地

株式会社日立製作所 システム開発研究  
所内

(72) 発明者 ▲真▼野 宏之

神奈川県川崎市麻生区王禅寺1099番地

株式会社日立製作所 システム開発研究  
所内

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイ

(57) 【特許請求の範囲】

【請求項1】

複数のデータ線および複数の走査線の交点位置にマトリックス状に配列した画素部を有する液晶パネルと、

前記複数の走査線に順次電圧を印加する走査駆動LSIと、

上位装置からの表示データと基準電圧を受けて該表示データに対応した電圧を前記複数のデータ線に印加する液晶ドライバとを備える液晶ディスプレイにおいて、

前記液晶ドライバは、複数の出力端子を持ち、該複数の出力端子に対応した表示データを受け取り、該表示データを表示電圧に変換し、出力回路を経て前記出力端子から前記データ線に印加し、

前記出力回路は、隣り合う二つの出力端子毎に一組となる正転アンプ回路と反転アンプ回路を複数組と、隣り合う二つの出力端子に対応する表示電圧の一方を、前記正転アンプ回路を通して、他方を、反転アンプ回路を通して前記出力端子から出力させるセレクトとを有し、

前記セレクトは、前記表示電圧と、前記正転アンプ回路および反転アンプ回路と、前記出力端子との接続関係を、外部からの信号に従って交互に切り替えることで、前記隣り合う出力端子間で、交互に、一方は正転アンプ回路からの出力、他方は反転アンプ回路からの出力となるよう切り替え制御され、

前記各出力端子には、前記セレクトとの間に、第1のスイッチ回路が設けられ、かつ、前記隣り合う二つの出力端子間を接続する第2のスイッチ回路が設けられ、

前記第 1 のスイッチ回路は、前記液晶データ線に次の表示電圧を出力する前に一旦ハイインピーダンスとなり、前記第 2 のスイッチ回路は、前記第 1 の回路がハイインピーダンス中に、隣り合う出力端子を接続して、プリチャージを行うよう制御されることを特徴とする液晶ディスプレイ。

【請求項 2】

前記液晶ドライバは、前記表示電圧と、前記正転アンプ回路および反転アンプ回路と、前記出力端子との接続関係を、外部からの信号として交流化信号を用い、該交流化信号に同期して交互に切り替えることを特徴とする請求項 1 記載の液晶ディスプレイ。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、液晶駆動回路および液晶表示装置に関し、さらに詳しくは液晶ドライバにより液晶パネルを駆動させて、表示データを高画質でディスプレイさせる装置に関するものである。

【背景技術】

【0002】

従来の液晶表示装置を、具体的な例をいくつか挙げて説明する。なお、以下における従来例の説明において使用する符号は、各例ごとに独立したものである。従って、ある従来例の説明において使用した符号と同一の符号を、他の従来例の説明において全く異なる部分に付して使用する場合もある。

20

【0003】

先ず第 1 の従来例を、図 60、図 61、図 62、図 63、図 64、図 65 を用いて説明する。

【0004】

図 60 は従来の液晶ドライバの構成図、図 61 は液晶の電圧、輝度特性を示す図である。図 62 は液晶パネルの両側に液晶ドライバを配置した場合の液晶表示装置の構成図、図 63 は液晶基準電圧と交流化信号とのタイミング図である。図 64 は液晶パネルの片側に液晶ドライバを配置した場合の液晶表示装置の構成図、図 65 は液晶基準電圧と交流化信号とのタイミング図である。

【0005】

30

図 60 において、201 は液晶ドライバ、202 はシステムから転送される表示データ、203 は液晶ドライバを制御する制御信号群、204 はタイミング制御回路、205 は表示データ 202 のラッチタイミングを制御する制御信号、206 は表示データ、207 は表示を行うタイミング信号、208 はラッチアドレス制御回路、209 はラッチアドレス制御回路 208 で生成したラッチ信号群、210 は表示データ 206 を順次ラッチするラッチ回路、211 はラッチ回路 210 ラッチした表示データ、212 は表示データ 211 をタイミング信号 207 で同時にラッチするラッチ回路、213 はラッチ回路 212 にラッチした表示データ、214 はロジック電圧レベルを液晶駆動電圧レベルに変換するレベルシフタ、215 はレベルシフタ 214 で電圧レベルを変換した表示データ、216 は液晶駆動電圧の基準電圧、217 は基準電圧 216 を基に液晶駆動電圧を生成する液晶駆動回路、218 は液晶パネルを駆動する液晶駆動信号群である。

40

【0006】

図 62 において、401 は液晶駆動の基準電圧を生成する電源回路、402 は交流化のタイミングを示す交流化信号、403、404 はそれぞれ交流化され、互いにタイミングが異なる基準電圧、405 は液晶パネル 411 のゲート線を駆動する走査ドライバ、406 は走査ドライバ 405 で駆動する液晶パネル 411 のゲート線、407 は液晶パネル 411 の上側に配置したデータ線を駆動する液晶ドライバ、408 は液晶ドライバ 407 が駆動するデータ線、409 は液晶パネル 411 の下側に配置したデータ線を駆動する液晶ドライバ、410 は液晶ドライバ 409 が駆動するデータ線、411 は液晶パネルである。

50

## 【 0 0 0 7 】

図 6 4 において、6 0 1 は液晶駆動の基準電圧を生成する電源回路、6 0 2 は交流化のタイミングを示す交流化信号、6 0 3 は交流化された基準電圧、6 0 4 は液晶パネル 6 0 8 のゲート線を駆動する走査ドライバ、6 0 5 は走査ドライバ 6 0 4 で駆動する液晶パネル 6 0 8 のゲート線、6 0 6 は液晶パネル 6 0 8 の上側に配置したデータ線を駆動する液晶ドライバ、6 0 7 は液晶ドライバ 6 0 6 が駆動するデータ線、6 0 8 は液晶パネルである。

## 【 0 0 0 8 】

次に、液晶ドライバの駆動動作について図 6 0、図 6 1 を用いて説明する。図 6 0 において、システムからの 4 画素、階調 3 ビット合計 1 2 ビットの表示データ 2 0 2 は順次転送され、4 画素毎、4 0 回合計 1 6 0 画素分の表示データがラッチアドレス制御回路 2 0 8 で生成されるラッチ信号 2 0 9 でラッチ回路 2 1 0 にラッチされる。ラッチされた表示データ 2 1 1 は走査ドライバのゲート選択信号に同期したタイミング信号 2 0 7 で 1 6 0 画素分同時にラッチ回路 2 1 2 にラッチされる。表示データ 2 1 3 はレベルシフタ 2 1 4 で電圧レベルが変換され、液晶駆動レベルに電圧変換された表示データ 2 1 5 に変換される。液晶駆動回路 2 1 7 では、基準電圧 2 1 6 の V7 から V0 の 8 レベルの内、表示データ 2 1 5 に対応した電圧レベルが選択され液晶駆動信号 2 1 8 として出力される。このようにすることで、液晶パネルを駆動することができる。

## 【 0 0 0 9 】

次に、図 6 1 を用いて液晶駆動電圧と表示輝度の説明をする。液晶は、共通電極に対して印加される電圧により表示輝度が異なり、V7 から V0 の 8 レベルの電圧を印加することで 8 階調表示を実現している。さらに、共通電極に対して正極性、負極性の同じ電圧が印加された場合は輝度が同じになり、液晶パネルの焼け付きを防止するため周期的に印加電圧を正極性、負極性とする交流駆動を行う必要がある。

## 【 0 0 1 0 】

次に、液晶駆動装置の動作について、図 6 2、図 6 3、図 6 4、図 6 5 を用いて説明する。図 6 2 は液晶ドライバを液晶パネルの上下に配置した場合の構成図であり、図 6 3 は交流化した基準電圧のタイミングを示した図である。電源回路 4 0 1 では交流化信号 4 0 2 に同期して交流化した上側ドライバ用基準電圧 4 0 3 と下側ドライバ用基準電圧 4 0 4 が生成される。上側液晶ドライバ用基準電圧 4 0 3 と下側液晶ドライバ用基準電圧 4 0 4 は、互いに正極性、負極性のタイミングが逆となっている。走査ドライバ 4 0 5 は 1 ラインずつ順次ゲート線 4 0 6 を選択し、選択されたラインを上側液晶ドライバと下側液晶ドライバが 1 列毎に駆動する。従って、走査ドライバ 4 0 5 で順次駆動する同一のゲート線上の液晶セルを 1 列毎に正極性、負極性交互に駆動することができる。

## 【 0 0 1 1 】

また、図 6 4 は液晶ドライバを液晶パネルの上側のみに配置した場合の構成図であり、図 6 5 は交流化した基準電圧のタイミングを示した図である。電源回路 6 0 1 では交流化信号 6 0 2 に同期して交流化した基準電圧 6 0 3 を生成する。走査ドライバ 6 0 4 は 1 ラインずつ順次ゲート線 6 0 5 を選択し、選択されたラインを上側液晶ドライバが駆動する。従って、走査ドライバ 6 0 4 で順次駆動する同一のゲート線上の液晶セルは 1 ライン全て同一に正極性または負極性の駆動となる。

## 【 0 0 1 2 】

液晶パネルの列毎反転駆動（液晶セルを列毎に正極性、負極性交互に駆動）は、液晶セルの印加電圧が交互に反転するため、液晶駆動時の電流が小さくなり、列毎反転駆動を行わない場合に比べ表示品質が良くなるという利点をもっている。そこで従来の液晶ドライバは、液晶ドライバを液晶パネルの上下に配置していた。一方、液晶表示装置は高画質表示だけでなく、小型軽量化の要求が強い。液晶ドライバを片側に配置することは、この小型軽量化を容易にする。しかし液晶ドライバを液晶パネルの片側に配置した場合、液晶ドライバは基準電圧 2 1 6 に基づき液晶駆動電圧を生成しているため、同一液晶ドライバ内の各出力は交流化のタイミングが同じとなる。従って、列毎反転駆動を行うことができず

10

20

30

40

50

、液晶パネルの列毎反転駆動を行う場合に比較して表示品質が劣化する問題があった。

【 0 0 1 3 】

別の従来例を、図 6 7、図 6 8、図 6 9、図 7 0、図 7 1 を用いて説明する。

【 0 0 1 4 】

この例では、(株)日立製作所のデータドライバ(高耐圧データドライバ H D 6 6 3 1 0 T)を用いるものとする。なお、該データドライバの詳細については、日立 L C D コントローラ/ドライバ L S I データブック(株式会社日立製作所半導体事業本部 1 9 9 9 4 年 3 月発行の 9 3 3 頁から 9 4 7 頁)に記載されている。

【 0 0 1 5 】

図 6 7 はデータドライバ H D 6 6 3 1 0 T を液晶パネルの両側に配置した場合の液晶表示装置の構成図、図 6 8 は走査回路の詳細を示したブロック図、図 6 9 は液晶ドライバ L S I のプロセス耐圧を示す図、図 7 0 は液晶の電圧、輝度特性を示す図、図 7 1 は液晶基準電圧と交流化信号とのタイミング図である。

【 0 0 1 6 】

図 6 7 において、符号 2 0 1 を付したのは、液晶表示コントローラである。同様に、符号 2 0 2 はシステムからの表示データ、表示同期信号、2 0 3 は液晶パネルの上側に配置した上側データドライバ 2 1 2 への表示データ、表示同期信号、2 0 4 は液晶パネルの下側に配置したデータドライバ 2 1 3 への表示データ、表示同期信号、2 0 5 は走査回路の表示同期信号、2 0 6 は走査回路、2 0 7 は走査回路 2 0 6 で順次選択されるゲート駆動信号を指している。

【 0 0 1 7 】

また、符号 2 0 8 は交流同期信号、2 0 9 は電源回路、2 1 0 は上側データドライバ 2 1 2 への液晶駆動電圧の基準電圧、2 1 1 は下側データドライバ 2 1 3 への液晶駆動電圧の基準電圧、2 1 2 は上側データドライバ、2 1 3 は下側データドライバ、2 1 4 は上側データドライバ 2 1 2 の液晶駆動電圧、2 1 5 は下側ドライバ 2 1 3 の出力する液晶駆動電圧、2 1 6 は  $640 \times 3(R, G, B) \times 480$  ドットの液晶パネルを指している。

【 0 0 1 8 】

上側データドライバ 2 1 2 は、出力を 1 6 0 本備えたデータドライバ 2 1 7 を 6 個備えている。以下、各データドライバ 2 1 7 をその配置順に、2 1 7 - 1, 2 1 7 - 2, ..., 2 1 7 - 6 と呼ぶ。また、図面上明らかではないが、下側データドライバ 2 1 3 も、同様に、1 6 0 出力のデータドライバ 2 1 7 を 6 個備えている。つまり、この例ではデータドライバを合計 1 2 個(上側データドライバ 2 1 2 が 6 個、下側データドライバ 2 1 3 が 6 個)備えている。なお、以下の説明においては、下側データドライバ 2 1 3 を構成する 6 個のデータドライバを、それぞれ、2 1 7 - 1', 2 1 7 - 2', ..., 2 1 7 - 6' と呼ぶ。

【 0 0 1 9 】

データドライバ 2 1 7 内において符号 2 1 8 を付したのはタイミング制御回路である。同様に、符号 2 1 9 はタイミング信号群、2 2 0 は表示データ、2 2 1 は表示のタイミングを示す表示タイミング信号、2 2 2 はラッチアドレス制御回路、2 2 3 はラッチアドレス制御回路 2 2 2 で生成したラッチ信号群、2 2 4 は表示データ 2 2 0 を順次ラッチするラッチ回路、2 2 5 はラッチ回路 2 2 4 でラッチした表示データ、2 2 6 は表示データ 2 2 5 を表示タイミング信号 2 2 1 で同時にラッチするラッチ回路、2 2 7 はラッチ回路 2 2 6 にラッチした表示データ、2 2 8 はロジック電圧レベルを液晶駆動電圧レベルに変換するレベルシフタ、2 2 9 はレベルシフタ 2 2 8 で電圧レベルを変換した表示データ、2 3 0 は基準電圧 2 1 0 を基に液晶駆動電圧を生成する液晶駆動回路、2 3 1 は液晶パネルを駆動する液晶駆動信号群を指している。

【 0 0 2 0 】

図 6 8 において、符号 3 0 1 は走査信号のオンレベル/オフレベルの電源電圧、3 0 2 はシフトレジスタ、3 0 3 はシフトレジスタ 3 0 2 のシフト出力信号、3 0 4 はレベルシフト回路、3 0 5 はシフト出力信号 3 0 3 をレベルシフト回路 3 0 4 で電圧レベル変換し

10

20

30

40

50

たシフト出力信号、306はシフト出力信号305に基づいて生成するゲート駆動回路を指している。

#### 【0021】

次に、8階調表示を行う液晶パネル駆動動作について図67、図68を用いて説明する。

#### 【0022】

図67において、システムからの表示データ、表示同期信号202は、液晶表示コントローラ201で、12ビット(=4画素×階調3ビット)からなる表示データ、同期信号203、204に変換される。そして、表示データ、同期信号203は上側ドライバ212へ、一方、表示データ、同期信号204は下側ドライバ213へ順次転送される。

10

#### 【0023】

ラッチ回路224は、ラッチアドレス制御回路222で生成されるラッチ信号223で、表示データ220を、4画素分づつラッチする。この例では、各ラッチ回路224が該ラッチ動作を40回繰り返すことで、1つのラッチ回路224(つまり、1つのデータドライバ217)当たり、160画素分のデータをラッチしている。12個のデータドライバ217のラッチ回路224がそれぞれ160画素分づつのデータを順次ラッチすることで、1ライン分の表示データをラッチできる。各ラッチ回路224は、ラッチした表示データを表示データ225として出力する。

#### 【0024】

各ラッチ回路226は、走査回路206のゲート選択信号に同期した表示同期信号221で、該表示データ225を同時にラッチする。つまり、640画素分の表示データが同時にラッチされる。ラッチ回路226は、このラッチした表示データを、表示データ227としてレベルシフト回路228へ出力する。

20

#### 【0025】

レベルシフト回路228は、液晶駆動レベルに合わせるように表示データ227の電圧レベルを変換し、表示データ229として出力する。

#### 【0026】

液晶駆動回路230は、上側ドライバ用基準電圧210(あるいは、下側ドライバ用基準電圧211)に含まれている8種類の電圧レベルのうち、表示データ229に対応した電圧レベルを選択し、液晶駆動信号231として出力する。なお、上側ドライバ用基準電圧210、下側ドライバ用基準電圧211は、電源回路209が交流同期信号208に基づいて生成するものであり、交流化された8種類のレベルの電圧(V7、V6、V5、V4、V3、V2、V1、V0)からなる。上側ドライバ用の基準信号210と、下側ドライバ用の基準信号211とは、交流タイミングが異なっている。

30

#### 【0027】

一方、走査回路206のシフトレジスタ302(図68参照)は、表示同期信号205中の水平同期信号に同期して動作し、シフト出力信号303を出力する。レベルシフト回路304は、このシフト出力信号303の電圧レベルを液晶駆動レベルに電圧変換して、シフト出力信号305として出力する。

#### 【0028】

40

ゲート駆動回路306は、シフト出力信号305に同期して1ライン毎に順次ゲート駆動信号207を生成し出力する。このゲート駆動信号207が、液晶パネル213のゲート線を、1ラインづつ順次選択状態としてゆく。

#### 【0029】

以上述べたとおり液晶パネルを8種類のレベルの電圧で駆動することで、表示データに対応した8階調表示を実現できる。

#### 【0030】

次に、図69を用いて液晶駆動電圧と表示輝度との関係を説明をする。

#### 【0031】

液晶は、共通電極に対して印加される電圧の大きさにより表示輝度が異なる。そのため

50

、この共通電極に印加する電圧を変えることで、階調表示が可能である。例えば、図 6 7、図 6 8 を用いて説明した例では、8 種類のレベルの電圧 (V 7 ~ V 0) の内のいずれかを表示データにあわせて選択し印加することで、8 階調表示を実現している。その一方で、印加される電圧の大きさが同じでありさえすれば、その電圧の正負に関わらず、液晶はその輝度が同じになる。つまり、共通電極に対して正極性、負極性の同じ電圧が印加された場合は、輝度が同じとなる。そのため、液晶パネルでは、周期的に印加電圧の極性 (正極性 / 負極性) を変更する交流駆動を行うことで、液晶パネルの表示劣化につながる焼け付きを防止している。この交流駆動を行うために、現在の液晶パネルでは、液晶駆動電圧が 10 V 以上となっている。

【 0 0 3 2 】

10

次に、この例で使用されているパネル液晶ドライバ L S I のプロセスについて説明する。

【 0 0 3 3 】

液晶ドライバは、通常、図 7 0 に示すように、デジタルロジック動作を行う低耐圧回路と、液晶駆動電圧で動作する高耐圧回路と、で構成されている。例えば、図 6 5 における破線 2 3 2 で囲んだ回路および図 6 8 における破線 3 0 7 で囲んだ回路が、高耐圧回路である。そのため、両者 (高耐圧回路、低耐圧回路) を連携して動作させるためには、低耐圧回路からの信号を高耐圧回路の電圧レベルに変換するためのレベルシフト回路が必要である。

【 0 0 3 4 】

20

次に、液晶駆動電圧の交流化のタイミングについて図 6 7、図 7 1 を用いて説明する。

【 0 0 3 5 】

基準信号 2 1 0、2 1 1 は、交流同期信号 2 0 8 に同期して電源回路 2 0 9 で生成されるものである。但し、上側ドライバ用の基準信号 2 1 0 と下側ドライバ用の基準信号 2 1 1 とでは、互いに異なるタイミングで交流化されている (図 7 1 参照)。従って、上側データドライバ 2 1 2 が正極性の液晶駆動電圧 2 1 4 を出力している間は、下側データドライバ 2 1 3 は負極性の液晶駆動電圧 2 1 5 を出力している。逆に、上側データドライバ 2 1 2 が負極性の液晶駆動電圧 2 1 4 を出力している間は、下側データドライバ 2 1 3 は正極性の液晶駆動電圧 2 1 5 を出力している。また、走査回路 2 0 6 は 1 ラインずつ順次ゲート線を選択している。そして、選択されたライン上の画素の内、奇数番目の画素は上側データドライバ 2 1 2 によって、一方、偶数番目の画素は下側データドライバ 2 1 3 によって駆動されている。これにより、同一のゲート線上の液晶セルは、1 列置きに、異なった極性 (正極性 / 負極性) の電圧で駆動されることになる。

30

【 0 0 3 6 】

さらに別の従来例を図 7 2 を用いて説明する。

【 0 0 3 7 】

この例では、図 6 7 ~ 図 7 1 を用いて説明した従来例と同じ高耐圧データドライバを液晶パネルの上側のみに配置したものである。

【 0 0 3 8 】

図 7 2 は、液晶駆動装置の構成図である。図 7 2 において、符号 7 0 1 を付したのは、液晶表示コントローラである。同様に、符号 7 0 2 はシステムからの表示データ、表示同期信号、7 0 3 は液晶パネルの上側に配置したデータドライバの表示データ、表示同期信号、7 0 4 は走査回路の表示同期信号を指す。また、符号 7 0 5 は交流同期信号、7 0 6 は電源回路、7 0 7 は上側に配置したデータドライバへの液晶駆動電圧の基準電圧、7 0 8 は上側データドライバ、7 0 9 は上側データドライバ 7 0 8 の出力する液晶駆動電圧、7 1 0 は 6 4 0 × 3 (R、G、B) × 4 8 0 ドットの液晶パネルを指す。

40

【 0 0 3 9 】

上側データドライバ 7 0 8 は、1 6 0 本の出力を有するデータドライバ 2 1 7 を 1 2 個備えている。以下、各データドライバ 2 1 7 を、その位置に応じてデータドライバ 2 1 7 - 1、データドライバ 2 1 7 - 2、・・・、データドライバ 2 1 7 - 1 2 と呼ぶ。

50

## 【 0 0 4 0 】

次に、8階調表示を行う液晶パネル駆動動作について図72を用いて説明する。

## 【 0 0 4 1 】

図72において、液晶表示コントローラ701は、システムからの表示データ、表示同期信号702を、合計12ビット(=4画素×階調3ビット)の表示データ、同期信号703に変換し、上側ドライバ708に順次転送する。

## 【 0 0 4 2 】

上側ドライバ708内の各データドライバ217のラッチ回路224は、それぞれ、ラッチ信号223で、4画素毎に40回、合計160画素分の表示データをラッチする。なお、ラッチ信号223は、ラッチアドレス制御回路222によって生成されるものである。12個のデータドライバ217がそれぞれ160画素分の表示データをラッチすることで、1ライン分の表示データをラッチ可能となっている。各ラッチ回路224は、ラッチしたデータを表示データ225として出力する。

10

## 【 0 0 4 3 】

ラッチ回路226は、走査回路206のゲート選択信号に同期した表示同期信号221で、該表示データ225を同時にラッチする。つまり、640画素分の表示データが同時にラッチされる。ラッチ回路226は、このラッチした表示データを、表示データ227としてレベルシフト回路228へ出力する。

## 【 0 0 4 4 】

レベルシフト回路228は、液晶駆動レベルに合わせるように表示データ227の電圧レベルを変換し、表示データ229として出力する。

20

## 【 0 0 4 5 】

液晶駆動回路230は、上側ドライバ用基準電圧210(あるいは、下側ドライバ用基準電圧211)に含まれている8種類の電圧レベルの中から表示データ229に対応した電圧レベルを選択し、当該電圧レベルの電圧を液晶駆動信号231として出力する。なお、上側ドライバ用基準電圧210、下側ドライバ用基準電圧211は、電源回路706が交流同期信号705に基づいて生成するものであり、交流化された8種類のレベルの電圧(V7, V6, V5, V4, V3, V2, V1, V0)からなる。

## 【 0 0 4 6 】

一方、走査回路206は、表示同期信号704の水平同期信号に同期して動作し、1ライン毎に順次ゲート駆動信号207を生成する。このゲート駆動信号207が、液晶パネルのゲート線を、1ラインづつ順次選択状態としてゆく。

30

## 【 0 0 4 7 】

以上述べたとおりこの例では、液晶パネル710を8レベルの電圧で駆動することで、表示データに対応した8階調表示を実現している。

## 【 0 0 4 8 】

次に、この例における液晶駆動電圧の交流化のタイミングについて図71、図72を用いて説明する。

## 【 0 0 4 9 】

基準電圧707は、図71に示した上側ドライバ用の基準電圧210と同じように、交流同期信号705に同期して、電源回路706で生成されるものである。これにより、同一のゲート線上のすべての液晶セルは、その時々において定められる同一の極性(正極性または負極性)の電圧で駆動されることになる。

40

## 【 0 0 5 0 】

次にさらに別の従来技術を、図73、図74を用いて説明する。

## 【 0 0 5 1 】

この例では、株式会社日立製作所性のデータドライバ(低耐圧データドライバHD66330T)を用いている。なお、この低耐圧データドライバHD66330Tの詳細については、日立LCDコントローラ/ドライバLSIデータブック(株式会社日立製作所半導体事業本部1999年3月発行の948頁から965頁)に記載されている。

50

## 【 0 0 5 2 】

図 7 3 は従来のデータドライバ H D 6 6 3 3 0 T を液晶パネルの上側に配置した場合の液晶表示装置の構成図、図 7 4 は液晶基準電圧と交流化信号とのタイミング図である。

## 【 0 0 5 3 】

図 7 3 において、符号 8 0 1 を付したのは、液晶表示コントローラである。同様に符号 8 0 2 はシステムからの表示データ、表示同期信号、8 0 3 は液晶パネルの上側に配置したデータドライバへの表示データ、表示同期信号、8 0 4 は走査回路の表示同期信号、8 0 5 はレベルシフト回路、8 0 6 はレベルシフトした表示同期信号、8 0 7 は走査回路、8 0 8 は走査回路 8 0 7 が出力するゲート駆動信号を指す。また、符号 8 0 9 は交流同期信号、8 1 0 は電源回路、8 1 1 は上側に配置したデータドライバへの液晶駆動電圧の基準電圧、8 1 2 は交流基準電圧、8 1 3 は上側データドライバ、8 1 4 は上側データドライバ 8 1 3 の液晶駆動電圧、8 1 5 は  $640 \times 3 (R、G、B) \times 480$  ドットの液晶パネルを指す。

## 【 0 0 5 4 】

上側データドライバ 8 1 3 は、192 本の出力を有するデータドライバ 8 1 6 を、10 個備えている。以下、各データドライバ 8 1 6 を、その配置位置に応じて、データドライバ 8 1 6 - 1、データドライバ 8 1 6 - 2、・・・、データドライバ 8 1 6 - 10 と呼ぶ。

## 【 0 0 5 5 】

符号 8 1 7 はタイミング制御回路、8 1 8 はタイミング信号群、8 1 9 は表示データ、8 2 0 は表示のタイミングを示す表示タイミング信号、8 2 1 はラッチアドレス制御回路、8 2 2 はラッチアドレス制御回路 8 2 1 で生成したラッチ信号群、8 2 3 は表示データ 8 1 9 を順次ラッチするラッチ回路、8 2 4 はラッチ回路 8 2 3 でラッチした表示データ、8 2 5 は表示データ 8 2 4 を表示タイミング信号 8 2 0 で同時にラッチするラッチ回路、8 2 6 はラッチ回路 8 2 5 にラッチした表示データ、8 2 7 は基準電圧 8 1 1 を基に液晶駆動電圧を生成する液晶駆動回路、8 2 8 は液晶パネルを駆動する液晶駆動信号群を指す。

## 【 0 0 5 6 】

次に、この例において、対向電極交流駆動によって 6 4 階調表示を行う液晶パネル駆動動作について、図 7 3、図 7 4 を用いて説明する。

## 【 0 0 5 7 】

図 7 3 において、液晶表示コントローラ 8 0 1 は、システムからの表示データ、表示同期信号 8 0 2 を、18 ビット (= 3 画素  $\times$  階調 6 ビット) の表示データ、同期信号 8 0 3 に変換し、これを上側ドライバ 8 1 3 に順次転送する。

## 【 0 0 5 8 】

上側ドライバ 8 1 3 のラッチ回路 8 2 3 は、ラッチアドレス制御回路 8 2 1 で生成されるラッチ信号 8 2 2 で、この表示データ、同期信号 8 0 3 を、3 画素分づつ 6 4 回、合計 192 画素分をラッチする。合計 10 個のデータドライバ 8 1 6 が、順次、それぞれ 192 画素分のデータをラッチすることで、1 ライン分の表示データがラッチ回路 8 2 3 にラッチされ、表示データ 8 2 4 として出力する。次に、各ラッチ回路 8 2 5 は、走査回路 8 0 7 のゲート選択信号に同期した表示同期信号 8 2 0 で、 $640 \times 3$  画素分の該表示データ 8 2 4 を同時にラッチする。

## 【 0 0 5 9 】

液晶駆動回路 8 2 7 は、9 種類の電圧レベルの電圧からなる上側ドライバ用基準電圧 8 1 1 の中から、表示データ 8 2 6 に対応した電圧レベルを選択し、当該電圧レベルの電圧を液晶駆動信号 8 2 8 として出力する。なお、上側ドライバ用基準電圧 8 1 1 は、電源回路 8 1 0 が交流同期信号 8 0 9 に基づいて生成するものであって、交流化された 9 種類の電圧レベルの電圧 ( $V_8, V_7, V_6, V_5, V_4, V_3, V_2, V_1, V_0$ ) からなる。

## 【 0 0 6 0 】

10

20

30

40

50

また、対向電極交流駆動は、図 7 4 に示す様に、データドライバが駆動する液晶駆動電圧に同期して、対向電極電圧 (Vcom) をも交流化するものである。

【0061】

この対向電極交流駆動では、対向電極をも交流化することで、データドライバの出力レベルが正極性、負極性ともに 0 V から 5 V の範囲内に収まる。そのため、データドライバを小チップサイズ化が可能な低耐圧回路で構成することができる。

【0062】

しかしながら、このようにするとデータドライバと走査回路とで、入力信号のレベルが異なったものとなってしまう。そのため、表示同期信号 804 の電圧レベルを、レベルシフト回路 805 によって走査回路 807 に合わせて変換した上で、表示同期信号 806 として走査回路 807 に入力するようにしている。そして、走査回路 807 は、該表示同期信号 806 中の水平同期信号に同期して、1 ライン毎に順次ゲート駆動信号 808 を生成し出力する。該ゲート駆動信号 808 によって、液晶パネル 815 のゲート線が 1 ラインづつ順次選択状態とされる。

10

【0063】

以上述べたようにこの例では 64 レベルの電圧で液晶パネルを駆動することで、表示データに対応した 64 階調表示を実現できる。

【0064】

次に、液晶駆動電圧の交流化のタイミングについて図 7 4 を用いて説明する。

【0065】

20

電源回路 810 は、図 7 4 に示すように、交流化信号 (交流同期信号 809) に同期して基準信号 811 を生成する。これと並行して、電源回路 810 は、対向電極電圧 (Vcom) をも該交流化信号に同期して交流化する。このように基準信号 811 と対向電極電圧との両方を交流化することで、該基準信号 811 の変動幅を 0 V から 5 V の範囲内に収めつつ、液晶にかかる電圧を交流化することができる。この例では、対向電極電圧 (Vcom) を交流化しているため、同一のゲート線上の液晶セルに印加される電圧の極性 (正極性 / 負極性) は、画素によって異なることはない。当該ゲート線上のいずれの画素にも、その時々において定まる一方の極性の電圧が印加される。

【発明の開示】

【発明が解決しようとする課題】

30

【0066】

図 6 0 乃至図 6 6 を用いて説明した従来技術には以下のような課題があった。

【0067】

上述したように、液晶表示装置には、携帯型機器へ搭載するため高画質化とともに小型軽量化が望まれている。本発明は、上記問題点に鑑みてなされたもので、この 2 つの要求を同時に満足する液晶表示装置を提供することを目的とする。即ち、高画質化のため、液晶セルを列毎に極性を反転して駆動する列毎反転駆動を行うことができ、また、液晶パネルを駆動する駆動回路の小型化、高密度実装のため、液晶ドライバを液晶パネルの片側に配置することのできる液晶表示装置を提供することを目的とする。

【0068】

40

ところで、液晶パネルの列毎反転駆動 (液晶セルを列毎に正極性、負極性交互に駆動) は、液晶セルの印加電圧が列毎交互に反転するため、液晶駆動時の共通電極に流れる電流が小さくなり、列毎反転駆動を行わない場合に比べ表示品質が良くなるという利点をもっている。このために、従来のデータドライバは、データドライバを液晶パネルの上下に配置していた。一方、液晶表示装置は高画質表示だけでなく、小型軽量化の要求が強い。データドライバを片側に配置することは、この小型軽量化を容易にする。

【0069】

しかし、データドライバを液晶パネルの片側に配置した場合、データドライバは基準電圧 216 に基づき液晶駆動電圧を生成しているので、同一データドライバの内の各出力は交流化のタイミングが同じとなる。従って、列毎反転駆動を行うことができず、液晶パネ

50

ルの列毎反転駆動を行う場合に比較して表示品質が劣化する問題があった。

【 0 0 7 0 】

また、液晶ディスプレイは、低価格化の要求が強い。回路部品の大きな割合を占めるデータドライバを低価格化するために、安価な汎用 5 V 耐圧（低耐圧）プロセスを用いてチップ面積を小さくしチップ単価を安くしている。5 V 耐圧のデータドライバを使用するために、図 6 6 に示す共通電極交流駆動を行っていた。共通電極交流駆動は、表示データに対応した液晶印加電圧の交流化と同じタイミングで共通電極を交流化することで、データドライバを 5 V 耐圧の範囲内で動作させることができる。

【 0 0 7 1 】

しかし、共通電極交流駆動では、共通電極を交流するので、液晶印加電圧を列毎に反転することができない。そのため、共通電極に流れる電流が大きくなり、列毎反転駆動を行う場合に比較して表示品質が劣化する問題があった。この点を改善するため液晶パネル自身の特性を良くする必要があり、歩留り等の要因を考慮すると液晶ディスプレイとしての低価格化が困難になってきている。

10

【 0 0 7 2 】

また、液晶表示装置では基準電圧 2 1 6 を電源回路で交流化してデータドライバに入力しているため、電源回路の回路規模が大きくなり、液晶表示装置の周辺回路の小型化高密度実装化を困難にしていた。さらに、走査ドライバの入力信号、データドライバの入力信号のレベルを合わせるレベルシフト回路が外付けで、実装面積が増えるという問題もあった。上述したように、液晶ディスプレイには、携帯型機器へ搭載するため高画質化とともに小型軽量化、低価格化が望まれている。本発明は、上記問題に鑑みてなされたもので、これら三つの要求を同時に満足する液晶駆動 L S I およびそれを用いた液晶ディスプレイを提供することを目的とする。

20

【 0 0 7 3 】

具体的には、液晶ディスプレイの小型軽量化、すなわち、液晶パネルを駆動する駆動回路の小型化、高密度実装を行なうために、データドライバを液晶パネルの片側に配置しつつ、高画質化のために、液晶セルを列毎に極性を反転して駆動する列毎反転駆動を行うデータドライバとそれを用いた液晶ディスプレイを提供することを目的とする。

【 0 0 7 4 】

また、表示品質を劣化させないために共通電極交流駆動を行わず、かつ、データドライバのチップ面積を小さくし、データドライバ、液晶ディスプレイのコストを下げることを目的とする。

30

【 0 0 7 5 】

また、レベルシフト回路、交流化回路等、電源周辺回路の回路規模を削減して、小型で、高密度実装された液晶ディスプレイを提供することを目的とする。

【 0 0 7 6 】

さらに図 6 7 乃至図 7 5 を用いて説明した従来技術についても以下のような課題があった。

【 0 0 7 7 】

液晶表示装置に対しては、小型軽量化の要求が強い。図 7 2 のごとくデータドライバを片側に配置すれば、小型軽量化が容易になる。しかし、このような構成を採った場合、すべてのデータドライバ 2 1 7 は、同じ基準電圧 7 0 7 に基づいて液晶駆動電圧を生成することになる。そのため、すべてのデータドライバ 2 1 7 の出力について、その交流化のタイミングが同じとなる。つまり、その時々において各画素に印加される電圧の極性が、液晶パネルの同一ライン上の全ての画素について同じとなる。このときの画素部の電流方向を図 7 5 に示した。各画素に印加される電圧が、同一ライン上の画素について全て正極性となっている場合には、対向電極（C o m）よりも駆動電圧の方が電位が高い。そのため、データドライバから各画素に対して電流が流れ込む。このため寄生抵抗の影響による画質の劣化が顕著になりやすいという問題があった。

40

【 0 0 7 8 】

50

また、液晶表示装置は、低価格化の要求が強い。これに応えるため、安価な汎用 5 V 耐圧（低耐圧）プロセスを用いてチップ面積を小さくすることで、回路部品の大きな割合を占めるデータドライバの低コスト化を図っている。そして、このような 5 V 耐圧（低耐圧）のデータドライバの使用を可能とするために、対向電極交流駆動を行っていた。既に述べたとおり、対向電極交流駆動は、表示データに対応した液晶印加電圧の交流化と同じタイミングで対向電極電圧を交流化することで、データドライバを 5 V 耐圧の範囲内で動作させることを可能としたものである。

#### 【 0 0 7 9 】

しかし、この対向電極交流駆動では、図 7 5 に示すとおり、各画素にその時々において印加される電圧の極性が、同一ライン上のすべて画素について同じになってしまう。また、共通電極に流れる電流も大きくなってしまふ。そのため、対向電極交流駆動を採用すると、寄生抵抗の影響による画質の劣化が顕著になりやすいという問題があった。さらに、この問題を改善するためには液晶パネル自身の特性を向上させなければならず、工程数、歩留り等の要因を総合的に考慮すると液晶表示装置全体としての低価格化が困難になっていた。

#### 【 0 0 8 0 】

また、従来の液晶表示装置（図 6 7 ～ 図 7 5 ）では、基準電圧（ 2 1 0 、 2 1 1 、 7 0 7 、 8 1 1 、 8 1 2 ）を電源回路（ 2 0 9 , 7 0 6 , 8 1 0 ）で交流化していたため、電源回路の回路規模が大きくなり、液晶表示装置の周辺回路の小型化を困難にしていた。さらに、データドライバと走査回路との入力信号の電圧レベルを合わせるためにレベルシフト回路必要となり、液晶表示装置の周辺回路の小型化を困難にしていた。

#### 【 0 0 8 1 】

以上述べたとおり、液晶表示装置には小型機器へ搭載するため高画質化とともに小型軽量化、低価格化が望まれているにもかかわらず、これを実現するには問題があった。

#### 【 0 0 8 2 】

本発明は、上記問題に鑑みてなされたもので、これらの 3 つの要求（高画質化、小型軽量化、低価格化）を同時に満足する液晶駆動 L S I およびそれを用いた液晶表示装置を提供することを目的とする。

#### 【 0 0 8 3 】

より具体的には、（ 1 ）データドライバを液晶パネルの片側に配置することによる液晶表示装置の小型軽量化（すなわち、液晶パネルを駆動する駆動回路の小型化、高密度実装）、（ 2 ）各画素に印加する電圧の極性を列毎に反転して駆動することによる高画質化、を可能としたデータドライバ、およびこれを用いた液晶表示装置を提供することを目的とする。

#### 【 0 0 8 4 】

また、チップ面積が小さく低コストなデータドライバ、およびこれを用いることで低価格化が可能な液晶表示装置を提供することを目的とする。

#### 【 0 0 8 5 】

さらには、液晶表示装置の周辺回路（例えば、レベルシフト回路、交流化回路）の規模を削減した、小型高密度実装の液晶表示装置を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【 0 0 8 6 】

まず、特許請求の範囲第 1 項～第 2 0 項において開示した発明について述べる。

#### 【 0 0 8 7 】

本発明の液晶表示装置は、前記課題を解決するため、入力される基準電圧と交流化信号から交流化駆動する 2 通りの交流化基準電圧を生成する電圧生成手段と表示データ、前記 2 通りの交流化基準電圧と交流化信号から液晶パネルに対して、各出力毎に交流化駆動の異なる液晶印加電圧に変換して出力する手段を持つ。

#### 【 0 0 8 8 】

または、入力される基準電圧は 2 通りの交流化基準電圧で、交流化信号で 2 通りの交流

10

20

30

40

50

化基準電圧を切り換える電圧切り換え手段と表示データ、前記２通りの交流化基準電圧と交流化信号から液晶パネルに対して、各出力毎に交流化駆動の異なる液晶印加電圧に変換して出力する手段を持つ。

【００８９】

または、入力される基準電圧から交流化駆動する２通りの交流化基準電圧を生成する電圧生成手段と表示データ、交流化信号を保持する保持手段と前記表示データ、前記２通りの交流化基準電圧と前記交流化信号から液晶パネルに対して、各出力毎に交流化信号に対応した液晶印加電圧に変換して出力する手段を持つ。

【００９０】

次に、特許請求の範囲第２１項～第３５項において開示した発明について述べる。

10

【００９１】

本発明では、交流化駆動する一方の基準電圧から交流化駆動する一方の階調電圧を複数生成する電圧生成手段と、生成された複数の階調電圧から保持手段に保持された表示データに従って階調電圧を選択し、前記選択された階調電圧と交流化信号と反転基準電圧とから、前記液晶パネルに対して、前記選択された階調電圧を反転基準電圧に対して反転または非反転の制御を行い、同一の表示データに対して異なる液晶印加電圧を出力する出力手段とを、データドライバに設けた。

【００９２】

さらに、データドライバの出力回路のみに高耐圧プロセスを用い、その他は低耐圧プロセスを用いる構成にした。

20

【００９３】

さらに、走査ドライバに、入力段に入力するデジタル入力信号をレベルシフトするレベルシフト回路を設け、該レベルシフト回路でデジタル入力信号を走査ドライバの内部で動作する信号レベルにレベルシフトする。または、走査ドライバに、基準信号を入力し、入力するデジタル入力信号の入力レベルを前記基準信号で制御するようにした。

【００９４】

また、複数の出力端子と複数の出力アンプとの接続関係を変更可能に構成しておく。例えば、ある出力端子には非反転用の出力アンプを、また、他のある出力端子には、反転用の出力アンプ回路を接続する。そして、外部からの信号に従ってこの接続関係を切り替えることで、前記２つの異なる電圧を前記出力端子から出力するようにした。

30

【００９５】

さらに、前記反転基準電圧よりも電圧の高い表示電圧を出力した出力端子と、前記反転基準電圧よりも電圧の低い表示電圧を出力した出力端子とを、表示電圧を次回出力する前に一旦接続するようにした。

【００９６】

特許請求の範囲第３６～第５２項において開示した発明について述べる。

【００９７】

本発明の一の態様としては、複数の出力端子と、表示データを順次保持する保持手段と、前記保持手段に保持されている表示データを、別途入力されるライン表示同期信号に同期して、上記出力端子の本数分だけ同時に保持する第２保持手段と、別途生成された基準電圧から、複数レベルの電圧からなる階調電圧を生成する電圧生成手段と、前記階調電圧のうち前記第２保持手段に保持された表示データに対応したレベルの電圧を前記出力端子毎に選択し、該選択した電圧を別途生成された反転基準電圧に対して反転または非反転した後、前記出力端子から出力する出力手段と、を有することを特徴とする液晶駆動ＬＳＩが提供される。

40

【００９８】

該液晶駆動ＬＳＩを用いて液晶表示装置を構成する場合には、走査駆動ＬＳＩは、入力段に入力されるデジタル入力信号を、該走査駆動ＬＳＩ内部の動作信号レベルにまで、レベルシフトするレベルシフト回路を備えてもよい。

【００９９】

50

さらに、データドライバは、出力回路のみを高耐圧プロセスを用い、その他は低耐圧プロセスを用いる構成とした。

【0100】

本発明の別の態様としては、複数の出力端子と、表示データを順次保持する保持手段と、前記保持手段に保持されている表示データを、別途生成されるライン表示同期信号に同期して、上記出力端子の本数分だけ同時に保持する第2保持手段と、別途生成された基準電圧と、別途生成された交流化信号とから、交流化駆動に用いられる交流化された2種類の交流化基準電圧を生成する電圧生成手段と、前記交流化基準電圧を、前記第2保持手段に保持された表示データに対応したレベルの液晶駆動電圧に変換し、当該表示データに対応する出力端子からそれぞれ出力する出力手段と、を有することを特徴とする液晶駆動LSIが提供される。

10

【0101】

特許請求の範囲第1項～第20項までに開示した発明の作用を説明する。

【0102】

本発明の液晶表示装置は、入力される基準電圧と交流化信号から交流化駆動する2通りの交流化基準電圧を生成する電圧生成手段と表示データ、前記2通りの交流化基準電圧と交流化信号から液晶パネルに対して、各出力毎に交流化駆動の異なる液晶印加電圧に変換して出力する手段を持つので、同一液晶ドライバ内の出力は互いに、交流化のタイミングが異なる液晶駆動電圧とすることができる。

【0103】

20

または、入力される基準電圧は2通りの交流化基準電圧で、交流化信号で2通りの交流化基準電圧を切り換える電圧切り換え手段と表示データ、前記2通りの交流化基準電圧と交流化信号から液晶パネルに対して、各出力毎に交流化駆動の異なる液晶印加電圧に変換して出力する手段を持つので、同一液晶ドライバ内の出力は互いに、交流化のタイミングが異なる液晶駆動電圧とすることができる。

【0104】

また、入力される基準電圧と交流化信号から交流化駆動する2通りの交流化基準電圧を生成する電圧生成手段を持つので、基準電圧を生成する電源回路の回路規模を小さくすることができる。

【0105】

30

次に、特許請求の範囲第21項～第35項までに開示した発明の作用を説明する。

【0106】

上記の電圧生成手段と、出力手段によって、同一液晶ドライバ内の出力は互いに、交流化のタイミングが異なる液晶駆動電圧とすることができる。

【0107】

また、データドライバは、出力回路のみを高耐圧プロセスを用い、その他は低耐圧プロセスを用いる構成としたため、チップサイズの縮小を容易にすることができる。

【0108】

また、データドライバに入力される基準電圧は交流化するための片側の基準電圧のみであり、もう一方の基準電圧はデータドライバ内部で生成するため、基準電圧を生成する電源回路の回路規模を小さくすることができる。

40

【0109】

また、走査ドライバの入力段に設けたレベルシフト回路で、デジタル入力信号を走査ドライバの内部で動作する信号レベルにレベルシフトすることが可能なため、外付けのレベルシフト回路を必要とせず、液晶ディスプレイの周辺回路の回路規模を低減することができる。

【0110】

また、走査ドライバは、基準信号を入力し、入力するデジタル入力信号の入力レベルを前記基準信号で制御可能であるため、外付けのレベルシフト回路を必要とせず、液晶ディスプレイの周辺回路の回路規模を低減することができる。

50

## 【0111】

さらには、出力端子と出力アンプとの接続関係を変更可能に構成することで、2つの異なる電圧を出力端子から出力する。このようにすることで、必要な出力アンプの個数を減らすことができる。

## 【0112】

さらに、反転基準電圧よりも電圧の高い表示電圧を出力した出力端子と、反転基準電圧よりも電圧の低い表示電圧を出力した出力端子とを、表示電圧を次回出力する前に一旦接続することで、液晶パネル内の残留電荷を利用して液晶駆動電力を低減できる。

## 【0113】

特許請求の範囲第36項～第52項までに開示した発明の作用を説明する。

10

## 【0114】

電圧生成手段は、基準電圧から、複数レベルの電圧からなる階調電圧を生成している。第2保持手段は、保持手段に保持されている表示データを、ライン表示同期信号に同期して、出力端子の本数分だけ同時に保持する。出力手段は、階調電圧のうち2保持手段に保持された表示データに対応したレベルの電圧を前記出力端子毎に選択する。そして、この選択した電圧を反転基準電圧に対して反転または非反転した後、出力端子から出力する。

## 【0115】

あるいは、電圧生成手段は、基準電圧と、交流化信号とから、交流化駆動に用いられる交流化された2種類の交流化基準電圧を生成している。第2保持手段は、保持手段に保持されている表示データを、ライン表示同期信号に同期して、上記出力端子の本数分だけ同時に保持する。出力手段は、交流化基準電圧を、第2保持手段に保持された表示データに対応したレベルの液晶駆動電圧に変換する。そして、これを当該表示データに対応する出力端子からそれぞれ出力する。

20

## 【0116】

このように、電圧生成手段および出力手段によって、同一の液晶駆動LSI（データドライバ）内の出力を、互いに交流化のタイミングが異なる液晶駆動電圧とすることができる。また、交流駆動において必要となる2つの基準電圧のうち、一方は液晶駆動LSI（データドライバ）内部で生成するため、基準電圧を生成する電源回路の回路規模を小さくすることができる。

## 【0117】

液晶駆動LSI（データドライバ）は、出力回路のみに高耐圧プロセスを用い、その他は低耐圧プロセスを用いる構成としたため、チップサイズの縮小を容易にすることができる。

30

## 【0118】

また、走査ドライバの入力段に設けたレベルシフト回路で、デジタル入力信号を走査ドライバの内部で動作する信号レベルにレベルシフトすることが可能なため、外付けのレベルシフト回路を必要とせず、液晶ディスプレイの周辺回路の回路規模を低減することができる。

## 【発明の効果】

## 【0119】

本発明の液晶表示装置は、入力される基準電圧と交流化信号から交流化駆動する2通りの交流化基準電圧を生成する電圧生成手段と表示データ、前記2通りの交流化基準電圧と交流化信号から液晶パネルに対して、各出力毎に交流化駆動の異なる液晶印加電圧に変換して出力する手段を持つ構成としたので、同一液晶ドライバ内の出力は互いに、交流化のタイミングが異なる液晶駆動電圧とすることができる。従って液晶ドライバを片側に配置し実装面積を縮小し、高画質な列毎反転駆動を行うことができる。

40

## 【0120】

または、入力される基準電圧は2通りの交流化基準電圧で、交流化信号で2通りの交流化基準電圧を切り換える電圧切り換え手段と表示データ、前記2通りの交流化基準電圧と交流化信号から液晶パネルに対して、各出力毎に交流化駆動の異なる液晶印加電圧に変換

50

して出力する手段を持つ構成としたので、同一液晶ドライバ内の出力は互いに、交流化のタイミングが異なる液晶駆動電圧とすることができる。このため液晶ドライバを片側に配置し実装面積を縮小し、高画質な列毎反転駆動を行うことができる。

【 0 1 2 1 】

また、入力される基準電圧と交流化信号から交流化駆動する 2 通りの交流化基準電圧を生成する電圧生成手段を持つ構成としたので、基準電圧を生成する電源回路の回路規模を小さくすることができる。

【 0 1 2 2 】

本発明によれば、同一液晶ドライバ内の出力は互いに、交流化のタイミングが異なる液晶駆動電圧とすることができる。しかも、データドライバに入力される基準電圧は交流化するための片側の基準電圧のみでよい。もう一方の基準電圧は、データドライバ内部で生成する。つまり、本発明では、データドライバ自身が、交流化駆動において必要な 2 つの基準電圧を 1 つの基準電圧から生成して、互いに交流化のタイミングが異なる液晶駆動電圧を出力できる。そのため、基準電圧を生成する電源回路の回路規模を小さくすることができる。また、データドライバを液晶パネルの片側に配置し、小型化、高密度実装化を図ることができる。さらに実装面積を縮小しつつ、高画質な列毎反転駆動を行うことができる。周辺回路の回路規模を低減し、液晶ディスプレイの小型軽量化を容易にすることができる。

10

【 0 1 2 3 】

また、本発明のデータドライバでは出力回路に高耐圧プロセスを用いているため、液晶駆動電圧は高耐圧電圧レベル（10 V 以上）が出力可能である。その結果、表示品質が良くない共通電極交流駆動を行わずに、高画質な列毎反転駆動を行うことができる。しかも、出力回路のみに高耐圧プロセスを用いているため、チップ面積の低減が容易であり、低価格化が可能である。

20

【 0 1 2 4 】

また、走査ドライバの入力段に、デジタル入力信号をレベルシフトするレベルシフト回路を設けたことで、該レベルシフト回路によってデジタル入力信号を走査ドライバの内部で動作する信号レベルにレベルシフトすることができる。そのため、外付けのレベルシフト回路を必要とせず、液晶ディスプレイの周辺回路の回路規模を低減することができ、液晶ディスプレイの小型軽量化が容易である。

30

【 0 1 2 5 】

また、走査ドライバは、基準信号を入力し、入力するデジタル入力信号の入力レベルを前記基準信号で制御可能であるため、外付けのレベルシフト回路を必要とせず、液晶ディスプレイの周辺回路の回路規模を低減することができるため、液晶ディスプレイの小型軽量化を容易にする。

【発明を実施するための最良の形態】

【 0 1 2 6 】

以下、本発明を実施例を用いて説明する。

【 0 1 2 7 】

以下において説明する 10 個の実施例のうち、第 1 ～ 第 5 の実施例は特願平 6 - 1 3 8 4 9 9 号の内容に対応するものである。また、第 6 , 第 7 の実施例は、特願平 6 - 1 3 8 4 9 9 号の内容に対応するものである（但し、一部内容の追加あり）。第 8 ～ 第 1 0 の実施例は、本出願において新たに追加した実施例である。以下の説明において使用している符号は、下記グループ毎に独立したものである。

40

【 0 1 2 8 】

グループ 1 : 第 1 ～ 第 5 の実施例

グループ 2 : 第 6 , 第 7 の実施例

グループ 3 : 第 8 ～ 第 1 0 の実施例

従って、異なるグループ間においては、同一の符号を異なる回路部分に重複して用いる場合もある。

50

## 【 0 1 2 9 】

本発明の第 1 の実施例について、図 1、図 2、図 3、図 4 を用いて説明する。

## 【 0 1 3 0 】

図 1 は本発明の液晶表示装置を示したブロック図、図 2 は液晶駆動回路のブロック図、図 3 は電圧生成回路のブロック図、図 4 は基準電圧と液晶駆動電圧のタイミングを示した図である。

## 【 0 1 3 1 】

図 1 において、101 はシステムから転送される表示データ、102 は制御信号群、103 は交流化のタイミングを示す交流化信号、104 は液晶駆動電圧を生成するための基準電圧を生成する電源回路、105、106 は電源回路 104 で生成した直流の基準電圧である。107 - 1 から 107 - 10 は 192 の出力数を有する液晶ドライバであり、108 はタイミング制御回路、109 はタイミング信号群、110 は表示データ、111 は表示のタイミングを示すタイミング信号、112 はラッチアドレス制御回路、113 はラッチアドレス制御回路 112 で生成したラッチ信号群、114 は表示データ 110 を順次ラッチするラッチ回路、115 はラッチ回路 114 でラッチした表示データ、116 は表示データ 115 をタイミング信号 111 で同時にラッチするラッチ回路、117 はラッチ回路 116 でラッチした表示データである。118 は基準電圧 105、106 を基に液晶を交流駆動するための交流基準電圧を生成する電圧生成回路、119、120 は電圧生成回路で生成した、交流化された交流基準電圧である。121 は交流基準電圧 119、120 を基に表示データ 117 に対応した液晶駆動電圧を生成する液晶駆動回路、122 は液晶駆動回路 121 で生成した液晶駆動電圧である。123 は走査回路、124 は走査回路 123 で順次選択されるゲート駆動信号、125 は液晶パネルである。

## 【 0 1 3 2 】

図 2 において、801 - 1 から 801 - 192 は各出力毎の液晶駆動回路である。

## 【 0 1 3 3 】

図 3 において、901 - 0 から 901 - 8 はアンプバッファ回路、902 - 0 から 902 - 8 は差動増幅回路、903 - 0 から 903 - 8、904 - 0 から 904 - 8 は選択回路である。

## 【 0 1 3 4 】

次に、液晶駆動回路の動作について説明する。図 1 において液晶ドライバ 107 - 1 から 107 - 10 は出力数が 192 であり、液晶パネル 125 は解像度 640 × RGB × 480 画素であるため液晶ドライバは 10 個必要となる。表示データ 101 は 3 画素、階調 6 ビットの合計 18 ビットの表示データが順次転送され、制御信号群 109 から表示データ 101 に同期したラッチ信号 113 をラッチアドレス制御回路 112 で生成し、順次表示データ 110 をラッチ回路 114 にラッチする。ラッチ回路 114 は各 6 ビット 192 画素分のラッチ回路を持ち各液晶ドライバ 107 - 1 から 107 - 10 で 1 水平ライン分の表示データを順次ラッチすることができる。ラッチ回路 114 にラッチした表示データ 115 は、走査回路 123 のゲート選択信号 124 に同期したタイミング信号 111 で 1 水平ライン分同時にラッチ回路 116 にラッチする。ラッチした表示データ 117 は液晶駆動回路 121 に入力される。電圧生成回路 118 では、電源回路 104 で生成した基準電圧 105、106 と交流化信号 103 から互いに交流化タイミングの異なる交流基準電圧 119、120 が生成され液晶駆動回路 121 に入力される。液晶駆動回路 121 では表示データ 117 に対応した、交流基準電圧 119、120 を基に液晶駆動電圧 122 が生成され、液晶パネル 125 が駆動される。

## 【 0 1 3 5 】

次に、電圧生成回路 118 の動作について図 3、図 4 を用いて説明する。図 3 において、電源回路 104 からの VLEV0 から VLEV8 の 9 レベルの基準電圧 105 はそれぞれアンプバッファ回路 901 - 0 から 901 - 8 でバッファされ、差動増幅回路 902 - 0 から 902 - 8、選択回路 903 - 0 から 903 - 8、904 - 0 から 904 - 8 に入力する。差動増幅回路 902 - 0 から 902 - 8 では、基準電圧 (VCEN) 106 に対して基準電圧 (

10

20

30

40

50

VLEV0からVLEV8) 105が反転され出力される。この関係を図4に示す。VLEV0からVLEV8はそれぞれVCENに対して反転したVLEV0INVからVLEV8INVの基準電圧となる。図9において選択回路903-0から903-8、904-0から904-8にはそれぞれ、アンプバッファ回路901-0から901-8の出力と差動増幅回路902-0から902-8からの出力が入力され、これらを交流化信号103で選択し、出力する。選択回路904-0から904-8には、反転した交流化信号が入力されるため、選択回路903-0から903-8と選択回路904-0から904-8で選択する電圧はそれぞれ逆となる。

#### 【0136】

このタイミングを図4に示す。交流化信号(M)103がハイレベルの時、選択回路903-0から903-8で選択した交流化基準電圧(V1RV0からV1RV8)119はそれぞれVLEV0INVからVLEV8INVが出力され、選択回路904-0から904-8で選択した交流化基準電圧(V2RV0からV2RV8)120はそれぞれVLEV0からVLEV8が出力される。逆に、交流化信号(M)103がロウレベルの時、選択回路903-0から903-8で選択した交流化基準電圧(V1RV0からV1RV8)119はそれぞれVLEV0からVLEV8が出力され、選択回路904-0から904-8で選択した交流化基準電圧(V2RV0からV2RV8)120はそれぞれVLEV0INVからVLEV8INVが出力される。このようにして交流化のタイミングが互いに異なる交流化基準電圧119、120が生成される。

#### 【0137】

次に、液晶駆動回路121について図2を用いて説明する。図2において、交流化基準電圧119、120は、192出力の各出力毎の液晶駆動回路801-1から801-192に交互に入力される。液晶駆動回路801-1から801-192では、特願平05-170647号に記載されているように、各出力6ビットの表示データ117と9レベルの交流化基準電圧119または120から64レベルの液晶駆動電圧を生成し、出力する。表示データ6ビットの内上位3ビットで9レベルの交流化基準電圧の2レベルを選択し、表示データ下位3ビットで選択した2レベルの電圧を8等分に分圧した8レベルの電圧から1レベルを選択することで64レベルの液晶駆動電圧を出力することができる。このようにすることで、液晶ドライバは出力毎に交流化のタイミングが互いに異なる液晶駆動電圧を生成することができ、液晶パネル125を列毎反転駆動することが可能となる。

#### 【0138】

また、本実施例では、各出力の液晶駆動回路に対し、1出力毎に交流化タイミングの異なる交流化基準電圧を切り換える構成としたが、2出力毎、または複数出力で交流化基準電圧を切り換えても良い。

#### 【0139】

次に本発明の第2の実施例について、図2、図4、図5、図6、図7を用いて説明する。本実施例は、液晶パネルの共通電極交流駆動に対応するため、第1の実施例とは電圧生成回路が異なり、その他は同様である。図5は本発明の液晶表示装置を示したブロック図、図6は電圧生成回路のブロック図、図7は基準電圧と液晶駆動電圧のタイミングを示した図である。

#### 【0140】

図5において、1101は交流化基準電圧のタイミングを制御する制御回路、1102は液晶ドライバ、1103は基準電圧105、106を基に液晶を交流駆動するための交流基準電圧を生成する電圧生成回路である。

#### 【0141】

図6において、1201は交流化タイミングを切り換える切り換え回路である。

#### 【0142】

次に、液晶駆動回路の動作について説明する。図5において液晶ドライバ1102-1から1102-10は出力数が192であり、液晶パネル125は解像度640×RGB×480画素であるため液晶ドライバは10個必要となる。表示データ101は3画素、階調6ビットの合計18ビットの表示データが順次転送され、制御信号群109から表示データ101に同期したラッチ信号113をラッチアドレス制御回路112で生成し、順

10

20

30

40

50

次表示データ 1 1 0 をラッチ回路 1 1 4 にラッチする。ラッチ回路 1 1 4 は各 6 ビット 1 9 2 画素分のラッチ回路を持ち各液晶ドライバ 1 1 0 2 - 1 から 1 1 0 2 - 1 0 で 1 水平ライン分の表示データを順次ラッチすることができる。ラッチ回路 1 1 4 にラッチした表示データ 1 1 5 は、走査回路 1 2 3 のゲート選択信号 1 2 4 に同期したタイミング信号 1 1 1 で 1 水平ライン分同時にラッチ回路 1 1 6 にラッチする。ラッチした表示データ 1 1 7 は液晶駆動回路 1 2 1 に入力される。電圧生成回路 1 1 0 3 では、電源回路 1 0 4 で生成した基準電圧 1 0 5、1 0 6 と交流化信号 1 0 3、制御信号 1 1 0 1 から交流基準電圧 1 1 9、1 2 0 が生成され液晶駆動回路 1 2 1 に入力される。液晶駆動回路 1 2 1 では表示データ 1 1 7 に対応した、交流基準電圧 1 1 9、1 2 0 を基に液晶駆動電圧 1 2 2 が生成され、液晶パネル 1 2 5 が駆動される。

10

#### 【0 1 4 3】

次に、電圧生成回路 1 1 0 3 の動作について図 4、図 6、図 7 を用いて説明する。図 6 において、電源回路 1 0 4 からの VLEV0 から VLEV8 の 9 レベルの基準電圧 1 0 5 はそれぞれアンプバッファ回路 9 0 1 - 0 から 9 0 1 - 8 でバッファされ、差動増幅回路 9 0 2 - 0 から 9 0 2 - 8、選択回路 9 0 3 - 0 から 9 0 3 - 8、9 0 4 - 0 から 9 0 4 - 8 に入力する。差動増幅回路 9 0 2 - 0 から 9 0 2 - 8 では、基準電圧 (VCEN) 1 0 6 に対して基準電圧 (VLEV0 から VLEV8) 1 0 5 が反転され出力される。

#### 【0 1 4 4】

この関係を図 4、図 7 に示す。これからわかるように、VREV0 から VREV8 はそれぞれ VCEN に対して反転した VLEV0INV から VLEV8INV の基準電圧となる。選択回路 9 0 3 - 0 から 9 0 3 - 8、9 0 4 - 0 から 9 0 4 - 8 にはそれぞれ、アンプバッファ回路 9 0 1 - 0 から 9 0 1 - 8 の出力と差動増幅回路 9 0 2 - 0 から 9 0 2 - 8 からの出力が入力され、これらを交流化信号 1 0 3 で選択し、出力する。選択回路 9 0 4 - 0 から 9 0 4 - 8 には、交流化信号 (M) 1 0 3 と制御信号 (SVC0M) 1 1 0 1 は切り換え回路 1 2 0 1 で排他的論理和がとられるため、制御信号 (SVC0M) 1 1 0 1 がハイレベルの場合は、選択回路 9 0 3 - 0 から 9 0 3 - 8 と選択回路 9 0 4 - 0 から 9 0 4 - 8 で選択する電圧はそれぞれ逆となり、制御信号 (SVC0M) 1 1 0 1 がロウレベルの場合は、選択回路 9 0 3 - 0 から 9 0 3 - 8 と選択回路 9 0 4 - 0 から 9 0 4 - 8 で選択する電圧は同じとなる。つまり、基準電圧生成のタイミングは制御信号 (SVC0M) 1 1 0 1 がハイレベルの場合は図 4 に示すように第 1 の実施例と同様となる。

20

30

#### 【0 1 4 5】

制御信号 (SVC0M) 1 1 0 1 がロウレベルの場合は、図 7 に示すように、交流化信号 (M) 1 0 3 がハイレベルの時、選択回路 9 0 3 - 0 から 9 0 3 - 8 で選択した交流化基準電圧 (V1RV0 から V1RV8) 1 1 9 はそれぞれ VLEV0INV から VLEV8INV が出力され、選択回路 9 0 4 - 0 から 9 0 4 - 8 で選択した交流化基準電圧 (V2RV0 から V2RV8) 1 2 0 も同様にそれぞれ VLEV0INV から VLEV8INV が出力され、交流化信号 (M) 1 0 3 がロウレベルの時、選択回路 9 0 3 - 0 から 9 0 3 - 8 で選択した交流化基準電圧 (V1RV0 から V1RV8) 1 1 9 はそれぞれ VLEV0 から VLEV8 が出力され、選択回路 9 0 4 - 0 から 9 0 4 - 8 で選択した交流化基準電圧 (V2RV0 から V2RV8) 1 2 0 も同様にそれぞれ VLEV0 から VLEV8 が出力される。共通電極交流駆動の場合、図 7 に示すように共通電極 (VCOM) を交流化するため、液晶ドライバの各出力の交流化タイミングは同一にする必要がある。したがって、制御信号 1 1 0 1 を切り換えることで、交流化基準電圧 1 1 9、1 2 0 の交流化のタイミングを制御することができ、共通電極駆動にも容易に対応することができる。

40

#### 【0 1 4 6】

液晶駆動回路 1 2 1 については第 1 の実施例と同様であり説明を省略する。

#### 【0 1 4 7】

本発明の第 3 の実施例について、図 1、図 8、図 9 を用いて説明する。本実施例は、第 1 の実施例とは電圧生成回路が異なり、その他は同様である。図 8 は電圧生成回路のブロック図、図 9 は基準電圧と液晶駆動電圧のタイミングを示した図である。

#### 【0 1 4 8】

50

図 8 において、1401-0 から 1401-8 はアンプバッファ回路、1402-0 から 1402-8 はレベルシフト回路、1403-0 から 1403-8、1404-0 から 1404-8 は選択回路である。

【0149】

次に、液晶駆動回路の動作について説明する。図 1 において液晶ドライバ 107-1 から 107-10 の動作は第 1 の実施例と同様である。

【0150】

次に、本実施例の電圧生成回路 118 の動作について図 8、図 9 を用いて説明する。図 8 において、電源回路 104 からの VLEV0 から VLEV8 の 9 レベルの基準電圧 105 はそれぞれアンプバッファ回路 1401-0 から 1401-8 でバッファされ、レベルシフト回路 1402-0 から 1402-8、選択回路 1403-0 から 1403-8、1404-0 から 1404-8 に入力する。レベルシフト回路 1402-0 から 1402-8 では、基準電圧 (VLEV0 から VLEV8) 105 が基準電圧 (VSH) 106 の電圧レベルに従いレベルシフトされ出力される。

【0151】

この関係を図 9 に示す。VREV0 から VREV8 はそれぞれ電圧レベル VSH だけレベルシフトした VLEV0SFT から VLEV8SFT の基準電圧となる。選択回路 1403-0 から 1403-8、1404-0 から 1404-8 にはそれぞれ、アンプバッファ回路 1401-8 から 1401-0 の出力とレベルシフト回路 1402-0 から 1402-8 からの出力が入力され、これらを交流化信号 103 で選択し、出力する。選択回路 1404-0 から 1404-8 には、反転した交流化信号が入力されるため、選択回路 1403-0 から 1403-8 と選択回路 1404-0 から 1404-8 で選択する電圧はそれぞれ逆となる。このタイミングを図 9 に示す。交流化信号 (M) 103 がハイレベルの時、選択回路 1403-0 から 1403-8 で選択した交流化基準電圧 (V1LS0 から V1LS8) 119 はそれぞれ VLEV8SFT から VLEV0SFT が出力され、選択回路 1404-0 から 1404-8 で選択した交流化基準電圧 (V2LS0 から V2LS8) 120 はそれぞれ VLEV0 から VLEV8 が出力される。

【0152】

逆に、交流化信号 (M) 103 がロウレベルの時、選択回路 1403-0 から 1403-8 で選択した交流化基準電圧 (V1LS0 から V1LS8) 119 はそれぞれ VLEV0 から VLEV8 が出力され、選択回路 1404-0 から 1404-8 で選択した交流化基準電圧 (V2LS0 から V2LS8) 120 はそれぞれ VLEV8SFT から VLEV0SFT が出力される。このようにして交流化のタイミングがお互いに異なる交流化基準電圧 119、120 が生成される。

【0153】

次に、液晶駆動回路 121 の動作についても第 1 の実施例と同様である。このようにすることで、液晶ドライバは出力毎に交流化のタイミングがお互いに異なる液晶駆動電圧を生成することができ、液晶パネル 125 を列毎反転駆動することが可能となる。

【0154】

本発明の第 4 の実施例について、図 4、図 10 を用いて説明する。本実施例は第 1 の実施例とは電源回路、電圧生成回路が異なり、その他は同様である。

【0155】

図 10 は本発明の液晶表示装置を示したブロック図である。

【0156】

図 10 において、1601 は液晶駆動電圧を生成するための基準電圧を生成する電源回路、1602、1603 は電源回路 1601 で生成した基準電圧である。1604-1 から 1604-10 は出力数が 192 出力の液晶ドライバである。1605、1606 は基準電圧 1602、1603 を交流化信号 103 で切り換え液晶を交流駆動するための交流基準電圧を生成する電圧選択回路である。

【0157】

次に、液晶駆動回路の動作について説明する。図 10 において液晶ドライバ 1604-1 から 1604-10 は出力数が 192 であり、液晶パネル 125 は解像度 640 × R G B

10

20

30

40

50

× 480画素であるため液晶ドライバは10個必要となる。表示データ101は3画素、階調6ビットの合計18ビットの表示データが順次転送され、制御信号群109から表示データ101に同期したラッチ信号113をラッチアドレス制御回路112で生成し、順次表示データ110をラッチ回路114にラッチする。

#### 【0158】

ラッチ回路114は各6ビット192画素分のラッチ回路を持ち各液晶ドライバ1604-1から1604-10で1水平ライン分の表示データを順次ラッチすることができる。ラッチ回路114にラッチした表示データ115は、走査回路123のゲート選択信号124に同期したタイミング信号111で1水平ライン分同時にラッチ回路116にラッチする。ラッチした表示データ117は液晶駆動回路121に入力される。電圧選択回路1605、1606では、電源回路1601で生成した基準電圧1602、1603を交流化信号103で選択し、互いに交流化タイミングの異なる交流基準電圧119、120出力され液晶駆動回路121に入力される。液晶駆動回路121では表示データ117に対応した、交流基準電圧119、120を基に液晶駆動電圧122が生成され、液晶パネル125が駆動される。

10

#### 【0159】

次に、電圧選択回路1605、1606の動作について、図4を用いて説明する。電源回路1601からのVLEV0からVLEV8の9レベルの基準電圧1602とVLEV0INVからVLEV8INVの9レベルの基準電圧1603は、電圧選択回路1605、1606に入力され、これらを交流化信号103で選択し、出力する。選択回路1606には、反転した交流化信号が入力されるため、選択回路1605と選択回路1606で選択する電圧はそれぞれ逆となる。このタイミングを図4に示す。交流化信号(M)103がハイレベルの時、選択回路1605で選択した交流化基準電圧(V1RV0からV1RV8)119はそれぞれVLEV0INVからVLEV8INVが出力され、選択回路1606で選択した交流化基準電圧(V2RV0からV2RV8)120はそれぞれVLEV0からVLEV8が出力される。

20

#### 【0160】

逆に、交流化信号(M)103がロウレベルの時、選択回路1605で選択した交流化基準電圧(V1RV0からV1RV8)119はそれぞれVLEV0からVLEV8が出力され、選択回路1606で選択した交流化基準電圧(V2RV0からV2RV8)120はそれぞれVLEV0INVからVLEV8INVが出力される。このようにして交流化のタイミングがお互いに異なる交流化基準電圧119、120が生成される。

30

#### 【0161】

液晶駆動回路121の動作については第1の実施例と同様であるので説明を省略する。

#### 【0162】

また、本実施例では、各出力の液晶駆動回路に対し、1出力毎に交流化タイミングの異なる交流化基準電圧を切り換える構成としたが、2出力毎、または複数出力で交流化基準電圧を切り換えても良い。

#### 【0163】

本発明の第5の実施例について、図11、図12、図13、図14を用いて説明する。

#### 【0164】

図11は本発明の液晶表示装置を示したブロック図、図12は液晶駆動回路のブロック図、図13は電圧生成回路のブロック図、図14は基準電圧と液晶駆動電圧のタイミングを示した図である。

40

#### 【0165】

図11において、1701はシステムから転送される表示データ、1702は制御信号群、1703は交流化のタイミングを示す交流化信号、1704は液晶駆動電圧を生成するための基準電圧を生成する電源回路、1705、1706は電源回路1704で生成した直流の基準電圧である。1707-1から1707-10は出力数が192出力の液晶ドライバであり、1708はタイミング制御回路、1709はタイミング信号群、1710は表示データと交流化信号のデータバス、1711は表示のタイミングを示すタイミン

50

グ信号、１７１２はラッチアドレス制御回路、１７１３はラッチアドレス制御回路１７１２で生成したラッチ信号群、１７１４はデータバス１７１０のデータを順次ラッチするラッチ回路、１７１５はラッチ回路１７１４でラッチした表示データと交流化信号のデータバス、１７１６はデータバス１７１５をタイミング信号１７１１で同時にラッチするラッチ回路、１７１７はラッチ回路１７１６でラッチした表示データと交流化信号のデータバスである。

#### 【０１６６】

１７１８は基準電圧１７０５、１７０６を基に液晶を交流駆動するための交流基準電圧を生成する電圧生成回路、１７１９、１７２０は電圧生成回路で生成した、正極性、負極性の基準電圧である。１７２１は基準電圧１７１９、１７２０を基に表示データと交流化信号のデータバス１７１７に対応した液晶駆動電圧を生成する液晶駆動回路、１７２２は液晶駆動回路１７２１で生成した液晶駆動電圧である。１７２３は走査回路、１７２４は走査回路１７２３で順次選択されるゲート駆動信号、１７２５は液晶パネルである。

10

#### 【０１６７】

図１２において、１８０１－１から１８０１－１９２は各出力毎の液晶駆動回路、１７１７－１Ｍから１７１７－１９２Ｍはデータバス１７１７の各出力の交流化信号、１７１７－１Ｄから１７１７－１９２Ｄは各出力の表示データである。

#### 【０１６８】

図１３において、１９０１－０から１９０１－８はアンプバッファ回路、１９０２－０から１９０２－８は差動増幅回路である。

20

#### 【０１６９】

次に、液晶駆動回路の動作について説明する。図１１において液晶ドライバ１７０７－１から１７０７－１０は出力数が１９２であり、液晶パネル１２５は解像度６４０×ＲＧＢ×４８０画素であるため液晶ドライバは１０個必要となる。表示データ１７０１は３画素、階調６ビットの合計１８ビット、交流化信号１７０３は３画素分の３ビットのデータが順次転送され、制御信号群１７０９から表示データ１７０１、交流化信号１７０３に同期したラッチ信号１７１３をラッチアドレス制御回路１７１２で生成し、順次データバス１７１０のデータをラッチ回路１７１４にラッチする。ラッチ回路１７１４は表示データ各６ビット、交流化信号各１ビットの１９２画素分のラッチ回路を持ち各液晶ドライバ１７０７－１から１７０７－１０で１水平ライン分の表示データと交流化信号を順次ラッチすることができる。

30

#### 【０１７０】

ラッチ回路１７１４にラッチした表示データと交流化信号のデータバス１７１５は、走査回路１７２３のゲート選択信号１７２４に同期したタイミング信号１７１１で１水平ライン分同時にラッチ回路１７１６にラッチする。ラッチしたデータバス１７１７は液晶駆動回路１７２１に輸入される。電圧生成回路１７１８では、電源回路１７０４で生成した基準電圧１７０５、１７０６から交流化の２レベルに対応した異なる交流基準電圧１７１９、１７２０が生成され液晶駆動回路１７２１に輸入される。液晶駆動回路１７２１では表示データ１７１７に対応した、交流基準電圧１７１９、１７２０を基に液晶駆動電圧１７２２が生成され、液晶パネル１７２５が駆動される。

40

#### 【０１７１】

次に、電圧生成回路１７１８の動作について図１３、図１４を用いて説明する。図１３において、電源回路１７０４からのVLEV0からVLEV8の９レベルの基準電圧１７０５はそれぞれアンプバッファ回路１９０１－０から１９０１－８でバッファされ、差動増幅回路１９０２－０から１９０２－８に輸入され、さらにV1L0からV1L8の基準電圧として出力される。差動増幅回路１９０２－０から１９０２－８では、基準電圧（VCEN）１７０６に対して基準電圧（VLEV0からVLEV8）１７０５が反転され、V2L0からV2L8の基準電圧として出力される。この関係を図１４に示す。VLEV0からVLEV8は、バッファされ基準電圧V1L0からV1L8として出力し、それぞれVCENに対して反転した基準電圧V2L0からV2L8として出力する。

#### 【０１７２】

50

次に、液晶駆動回路 1721 について図 12 を用いて説明する。図 12 において、交流化基準電圧 1719、1720 は、192 出力の各出力毎の液晶駆動回路 1801 - 1 から 1801 - 192 に入力される。液晶駆動回路 1801 - 1 から 1801 - 192 では、各出力 6 ビットの表示データと交流化信号のデータバス 1717 と 9 レベルの交流化基準電圧 1719 または 1720 から 64 レベルの液晶駆動電圧を生成し、出力する。交流化信号で交流化基準電圧 1719 または 1720 を選択し、さらに表示データ 6 ビットの内上位 3 ビットで 9 レベルの交流化基準電圧の 2 レベルを選択し、表示データ下位 3 ビットで選択した 2 レベルの電圧を 8 等分に分圧した 8 レベルの電圧から 1 レベルを選択することで 64 レベルの液晶駆動電圧を出力することができる。

【0173】

10

図 14 に示すように、n 番目の出力端子 Y<sub>n</sub> と n+1 番目の出力端子 Y<sub>n+1</sub> の交流化信号をお互いに反転することで交流化信号に対応して、出力端子 Y<sub>n</sub> が交流化基準電圧 1719 (V1L0 から V1L8) に対応した液晶駆動電圧を生成する時、出力端子 Y<sub>n+1</sub> は交流化基準電圧 1720 (V2L0 から V2L8) に対応した液晶駆動電圧を生成し、出力端子 Y<sub>n</sub> が交流化基準電圧 1720 (V2L0 から V2L8) に対応した液晶駆動電圧を生成する時、出力端子 Y<sub>n+1</sub> は交流化基準電圧 1719 (V1L0 から V1L8) に対応した液晶駆動電圧を生成する。

【0174】

このようにすることで、液晶ドライバは出力毎に交流化のタイミングがお互いに異なる液晶駆動電圧を生成することができ、液晶パネル 1725 を列毎反転駆動することが可能となる。さらに、表示データに同期して転送する交流化信号の設定を変えることで、2 出力毎、または複数出力毎、ライン毎等に交流化のタイミングを容易に変えることができる。

20

【0175】

本発明の 9 レベルの基準電圧から 64 階調表示を行うデータドライバを用いた第 6 の実施例について、図 15、図 16、図 17、図 18、図 19、図 20、図 21、図 22、図 23、図 24、図 25、図 26、図 27 を用いて説明する。なお、本実施例でのデータドライバは、LSI 化されているものとする。

【0176】

図 15 は本発明の液晶表示装置を示したブロック図、図 16 はデータドライバのブロック図、図 17 はデータドライバの階調電圧生成回路のブロック図、図 18 はデータドライバの出力回路のブロック図、図 19 は出力バッファ回路の構成図、図 20 は液晶印加電圧の交流タイミング図、図 21 はプロセス電圧を示す図、図 15 は列毎反転駆動を示す図、図 23 はドット毎反転駆動を示す図である。

30

【0177】

図 15 において、101 はシステムから転送される表示データ、102 は制御信号群、103 は電源回路、104 は液晶印加電圧の 9 レベルの基準電圧信号群、105 は液晶印加電圧の交流化反転するための反転基準電圧、106 は交流化のタイミングを示す交流化信号、107 は列毎反転出力を制御する選択信号、108 は出力回路の駆動制御を行う制御信号である。109 - 1 から 109 - 8 は出力数が 240 出力のデータドライバであり、110 はタイミング制御回路、111 はタイミング信号群、112 は表示データ、113 は表示のタイミングを示す表示タイミング信号、114 は基準電圧信号群 104、反転基準電圧 105 を受けてバッファするバッファ回路、115、119 はバッファ回路 114 が出力する基準電圧、反転基準電圧である。

40

【0178】

116 は交流化信号 106 を選択信号 107 で反転か非反転の制御を行う EOR 回路、117 は EOR 回路 116 が出力する交流化信号、118 は交流化信号 106、117、制御信号 108 を高耐圧プロセスの信号レベルにレベル変換するレベルシフト回路であり、120 は交流化信号 106、121 は交流化信号 117、122 は制御信号 108 をレベルシフト回路 118 でレベル変換した信号である。123 はラッチアドレス制御回路、124 はラッチアドレス制御回路 123 で生成したラッチ信号群、125 は表示データ 1

50

12を順次ラッチするラッチ回路、126はラッチ回路125でラッチした表示データ、127は表示データ126を表示タイミング信号113で同時にラッチするラッチ回路、128はラッチ回路127でラッチした表示データである。

#### 【0179】

129は9レベルの基準電圧115から64レベルの階調電圧を生成し、表示データに対応した1レベルの階調電圧を出力する階調電圧生成回路、130は階調電圧生成回路129で生成した階調電圧、131は交流化信号120、121に対応して反転基準電圧119を基準として階調電圧130を反転または非反転して出力する出力回路であり、制御信号122で出力電流を制御する。132は液晶駆動電圧である。133は走査回路、134は走査回路133で順次選択されるゲート駆動信号、135は640ドット×480 10  
ラインの液晶パネルである。

#### 【0180】

図16において、901-1から901-240はラッチ信号124で表示データをラッチするそれぞれ6ビットのラッチ回路、902-1から902-240は表示タイミング信号113で同時にラッチするそれぞれ6ビットのラッチ回路、903は9レベルの基準電圧115から64レベルの階調電圧を生成する階調電圧生成回路、904は階調電圧生成回路903で生成した64レベルの階調電圧、905-1から905-240は各出力毎に表示データ128に対応して階調電圧904から1レベルを選択する選択回路、906-1から906-240は各出力毎に交流化信号120または121に対応して階調電圧130を反転基準電圧119を基準に反転または非反転して出力する出力回路、13 20  
2は液晶駆動電圧である。

#### 【0181】

図18において、1101は反転増幅回路、1102は反転電圧、1103は選択回路、1104は選択回路1103で選択された出力電圧、1105は出力バッファ回路である。

#### 【0182】

図19において、1201は差動増幅回路、1202、1203は電流増幅回路、1204は電流増幅回路1203を制御信号122で有効にする選択回路である。

#### 【0183】

次に、データドライバの動作について説明する。図15においてデータドライバ109 30  
-1から109-8は出力数が240であり、液晶パネル135は解像度640×RGB×480画素であるためデータドライバは8個必要となる。タイミング制御回路110では、システムから転送される3画素、各階調6ビットの合計18ビットの表示データ101、水平同期信号、表示データ転送クロック等の制御信号群からデータドライバ内部の制御信号の生成やタイミング制御を行う。表示データ101はタイミング制御回路110でデータドライバ内部のタイミングに制御され表示データ112としてラッチ回路125に転送される。ラッチアドレス制御回路123では、タイミング制御回路110でデータドライバ内部のタイミングに制御された制御信号群111から表示データ112に同期したラッチ信号124を生成し、順次表示データ112をラッチ回路125にラッチする。

#### 【0184】

ラッチ回路125は1出力あたり6ビット、240出力分のラッチ回路を持ち、データドライバ109-1から109-8で1水平ライン分の表示データを順次ラッチすることができる。ラッチ回路125でラッチした表示データ126は走査回路133のから出力されるゲート選択信号134に同期した表示タイミング信号113で1水平ライン分同時に、ラッチ回路127にラッチする。ラッチ回路127は1出力あたり6ビット、240出力分のラッチ回路を持ち、データドライバ109-1から109-8で1水平ライン分の表示データを同時にラッチすることができる。ラッチ回路127でラッチした表示データ128は階調電圧生成回路129に転送される。電源回路103では、階調電圧生成のための9レベルの基準信号104と階調電圧を交流化のために反転する反転基準電圧105を生成する。バッファ回路114では、電源回路103から入力された基準電圧104 50

、反転基準電圧 105 をバッファし基準電圧 115、反転基準電圧 119 として階調電圧生成回路 129 と出力回路に出力される。

【0185】

階調電圧生成回路 129 では、基準電圧 115 から 64 レベルの階調電圧を生成し、各出力毎に表示データに対応した階調電圧を 1 レベル選択し、出力回路 131 に出力する。交流化信号 106 は、交流化のタイミングを指示する信号で、選択信号 107 は交流化のタイミングを出力毎に変えるか否かを選択する信号で、交流化信号 117 は交流化信号 106 を選択信号 107 に対応して反転または非反転した信号である。制御信号 108 は出力回路 131 の駆動制御を行う信号である。表示データ 101、制御信号群 102、基準電圧 104、反転基準電圧 105、交流化信号 106、選択信号 107、制御信号 108 10  
の入力信号レベルはすべて 0 V から 5 V の信号レベルである。一方、液晶駆動電圧は交流駆動を行うため 15 V 程度が必要である。

【0186】

従って、液晶駆動電圧を出力する出力回路は高耐圧プロセス (15 V 耐圧) を用いる必要があり、レベルシフト 118 は交流化信号 106、117、制御信号 108 を高耐圧信号レベルにレベル変換して出力回路 131 に出力する。出力回路 131 では、階調電圧 130 を交流化信号 120、121 に対応して、反転基準電圧 105 に対して反転または非反転して、液晶駆動電圧 132 としてバッファ出力する。走査回路 133 は、液晶パネル 135 を 1 ライン毎に順次選択するゲート選択信号 134 を生成し、ゲート選択信号 134 に同期して出力される液晶駆動電圧 132 により液晶パネル 135 が駆動され、正極性 20  
または負極性の 64 レベルの階調電圧の内、表示データに対応した液晶駆動電圧の表示を行うことができる。

【0187】

次に、図 16、図 17、図 18、図 19、図 20、図 21、図 22、図 23 を用いて本発明のデータドライバの構成と動作を詳細に説明する。

【0188】

図 16 はデータドライバ 109 - 1 の詳細なブロック図で、表示データ 101 はラッチアドレス制御回路 123 で生成したラッチ信号 124 で 3 画素毎に順次ラッチ回路 125 にラッチする。ラッチ回路 125 では、まず最初に 3 画素に対応した 6 ビットラッチ回路 901 - 1、901 - 2、901 - 3 に表示データ 112 がラッチされ、次に次の 3 画素 30  
に対応した 6 ビットラッチ回路 901 - 4、901 - 5、901 - 6 に表示データ 112 がラッチされ、同様に順次 3 画素毎、18 ビットの表示データをラッチし最後に 6 ビットラッチ回路 901 - 238、901 - 239、901 - 240 に表示データ 112 をラッチする。

【0189】

そして、8 個のデータドライバが順次表示データをラッチし、1 ライン分の表示データをラッチする。ラッチ回路 125 にラッチした表示データ 126 は表示タイミング信号 113 で 1 ライン分同時にラッチ回路 127 にラッチする。また、基準電圧 104 は 9 レベルの基準電圧であり、バッファ回路 114 でバッファして基準電圧 115 として出力される。そして、階調電圧生成回路 903 では、9 レベルの基準電圧 115 から 64 レベルの 40  
階調電圧を生成する。

【0190】

ここで図 17 を用いて階調電圧生成回路 903 について詳しく説明する。階調電圧生成回路 903 は、バッファ回路 114 でバッファされた 9 レベルの基準電圧 115 (V8 から V0) を抵抗素子を用いて分圧し、各基準電圧間を 8 分圧し、合計 64 レベルの階調電圧 904 (VG63 から VG0) を生成する。また、反転基準電圧 105 についてもバッファ回路 114 でバッファされ反転基準電圧 119 として出力される。

【0191】

再び図 16 に戻り、階調電圧 904 は各出力に対応した階調電圧選択回路 905 - 1 から 905 - 240 に入力する。各階調電圧選択回路 905 - 1 から 905 - 240 では、 50

各出力に対応した表示データ128に対応して表示データをデコードし、64レベルの階調電圧904から1レベルを選択回路で選択し階調電圧130として出力される。つまり、電圧レベル0Vから5Vの基準電圧104から0Vから5Vの64レベルの階調電圧904を生成し、その中から表示データに対応した階調電圧130を出力毎に選択出力する。この階調電圧130は同じ表示データに対して正極性、負極性に交流駆動する正極性の液晶駆動電圧に対応している。

#### 【0192】

また、交流化信号106と選択信号107はEOR回路116に inputs され、選択信号107が"Low"レベルのとき交流化信号106は反転されずに出力され、選択信号107が"High"レベルのとき交流化信号106は反転されて出力される。つまり、交流化信号117は、選択信号107が"Low"レベルのとき交流化信号106と同じ信号で、選択信号107が"High"レベルのとき交流化信号106の反転信号となる。制御信号108は出力回路906-1から906-240の駆動電流の制御を指示する信号である。交流化信号106、117、制御信号108は、液晶駆動電圧レベル(5Vから-10V)で動作する出力回路131の信号レベルに電圧を合わせるためレベルシフト回路118でレベルシフトされ、それぞれ交流化信号120、121、制御信号122として出力される。

#### 【0193】

出力回路131では、各出力に対応した出力回路906-1から906-240で、正極性の階調電圧130、反転基準電圧119、交流化信号120、121と制御信号122が inputs され、交流化信号に対応して反転基準電圧119を基準に階調電圧130を反転または非反転して出力し、液晶パネルを駆動する。ここで図18を用いて、出力回路906-1について詳しく説明する。出力回路906-1は反転増幅回路1101、選択回路1103、出力バッファ回路1105から構成されており、正極性の階調電圧130が反転増幅回路1101で反転基準電圧119に対して反転され反転電圧1102として出力される。この反転電圧1102は、正極性の階調電圧130を反転したものであり、同じ表示データに対して正極性、負極性に交流駆動する負極性の液晶駆動電圧に対応している。

#### 【0194】

そして、階調電圧130と反転電圧1102は交流化信号120に対応して選択回路1103でどちらか一方が選択され出力電圧1104として出力され、出力バッファ回路1105でバッファされ液晶パネル135を駆動する。図20を用いて交流出力電圧のタイミングについて詳しく説明する。交流化信号120、121はそれぞれデータドライバ出力の偶数番目出力、奇数番目出力に1出力おきに対応している。従って、選択信号107を"High"レベルにすると交流化信号120、121は互いに反転した信号となるため、偶数番目出力と奇数番目出力では互いに交流化のタイミングが異なる。つまり、偶数番目出力が正極性の出力のとき、奇数番目出力は負極性の出力、逆に偶数番目出力が負極性の出力のとき、奇数番目出力は正極性の出力となる。また、選択信号107を"Low"レベルにすると交流化信号120、121は同極性の信号となるため、偶数番目出力と奇数番目出力では交流化のタイミングが同じになる。つまり、偶数番目出力が正極性の出力のとき、奇数番目出力も正極性の出力、逆に偶数番目出力が負極性の出力のとき、奇数番目出力も負極性の出力となる。そして、正極性、負極性の階調電圧は反転基準電圧119(Vcen)に対称に反転している。

#### 【0195】

また、図19に出力バッファ回路の構成図を示す。出力バッファ回路1105は出力電圧1104を差動増幅回路1201で受けて、液晶パネル135を駆動するために電流増幅回路1202、1203で電流を増幅して出力するボルテージフォロア回路である。制御信号122は電流増幅回路1203を制御する信号で、制御信号122を"High"レベルにすることで電流増幅回路1203を有効にし、電流増幅回路1202と合わせて大電流を出力することができ、制御信号122を"Low"レベルにすることで電流増幅

回路 1 2 0 3 を無効にし、電流増幅回路 1 2 0 2 のみで電流を出力することができる。これにより、大出力電流が必要な期間は、電流増幅回路 1 2 0 2、1 2 0 3 で電流増幅を行い、大出力電流が必要でない期間は、電流増幅回路 1 2 0 3 を無効にし電流増幅回路 1 2 0 2 のみで電流増幅することで、電流増幅回路での消費電力を小さくすることができる。

【 0 1 9 6 】

さらに、図 1 5、図 1 6 のデータドライバの点線で囲んだ回路は、高耐圧プロセス（耐圧 1 5 V）であり、その他の回路部分は低耐圧プロセス（耐圧 5 V）である。図 2 1 に示すように、入力信号は全て低耐圧プロセスの動作範囲である 5 V から GND とすることで、タイミング制御回路 1 1 0、ラッチアドレス制御回路 1 2 3、ラッチ回路 1 2 5、1 2 7、階調電圧生成回路 1 2 9 をゲート長の小さい低耐圧プロセスとし、出力回路 1 3 1 のみをゲート長の大きな高耐圧プロセスとすることでチップ面積を小さくすることができる。現在、低耐圧プロセス（耐圧 5 V から 3 V 程度）は最新の微細プロセスであるゲート長 1 . 0  $\mu\text{m}$  から 0 . 6  $\mu\text{m}$  程度であり、高耐圧プロセス（耐圧 3 0 V から 1 0 V 程度）はゲート長 5  $\mu\text{m}$  から 2  $\mu\text{m}$  程度である。

【 0 1 9 7 】

従って、低耐圧プロセスより高耐圧プロセスの方が、同程度の能力の素子では、素子面積が数倍大きくなる。また、一般に出力回路は、静電破壊やラッチアップ対策のため低耐圧プロセスであってもゲート長が大きく設計する。従って、本実施例のデータドライバのように出力回路のみを高耐圧プロセスを用いることで、低耐圧プロセスのデータドライバに比べチップ面積の増加を極力小さくすることができ低価格化を図ることができる。

【 0 1 9 8 】

以上述べた本実施例のデータドライバを用いた液晶ディスプレイでは、図 2 2 に示すようにデータドライバを液晶パネルの片側に配置した場合でも、列毎反転駆動が可能となり、高画質表示を行うことができる。また、図 2 3 に示すように、ライン毎に交流化することで列毎反転駆動が可能となり、さらなる高画質表示を行うことができる。さらに、選択信号 1 0 7 の設定を変えることで共通電極駆動にも対応できる。

【 0 1 9 9 】

また、本実施例では、データドライバとして 2 4 0 出力のデータドライバについて説明したが、1 9 2 出力や 1 6 0 出力のデータドライバについても、ラッチアドレス制御回路やラッチ回路を出力数に対応した構成にすることで容易に実現できる。また、プロセスの耐圧についても、本実施例では低耐圧プロセスを 5 V 耐圧、高耐圧プロセスを 1 5 V 耐圧として説明したが、低耐圧プロセスについては 5 V 耐圧から 3 V 耐圧等の、高耐圧プロセスについては 3 0 V 耐圧から 1 0 V 耐圧等のプロセスを用いた場合についても本実施例と同様な効果を得ることができる。

【 0 2 0 0 】

次に、本実施例の走査ドライバについて、図 2 4、図 2 5、図 2 6、図 2 7 を用いて説明する。図 2 4、図 2 5 はデータドライバ、走査ドライバの動作電圧レベルを示す図で、図 2 6、図 2 7 はレベルシフト回路の構成図である。

【 0 2 0 1 】

図 2 4 に示すように、データドライバと走査ドライバの動作電圧レベルは異なる。走査ドライバから出力されるゲート選択信号は液晶パネルの TFT の特性から、データドライバから出力する液晶印加電圧に対して上下に約 3 V 程度大きな電圧を与える必要がある。走査ドライバのデジタル信号の動作レベルは VCC - VDD 間の 5 V であるため、データドライバと走査ドライバのデジタル系の入力信号の電圧レベルに差が生じる。従来の液晶パネルではデジタル系の信号レベルをデータドライバの信号レベルとし、信号本数の少ない走査ドライバの入力信号は外付け回路でレベルシフトして信号レベルを合わせ走査ドライバに入力していた。これは液晶ディスプレイの周辺回路規模を大きくする要因となっていた。

【 0 2 0 2 】

本実施例では、走査ドライバの入力信号の入力段にレベルシフト回路を内蔵することで

、周辺回路の回路規模の削減を可能とする。図26はレベルシフト回路の構成例である。図26において、1901は反転増幅回路を用いた1信号のレベルシフト回路、1902は入力信号、1903は反転増幅する反転基準電圧、1904は入力信号1902を反転してレベルシフトした信号である。このレベルシフト回路1901では、入力信号の電圧レベルに合わせて反転基準信号1903を設定することで、種々の入力電圧レベルに対応することができる。また、図27はレベルシフト回路の他の構成例である。図27において、2001はレベルシフト回路、2002は入力信号、2003は入力信号2002を非反転してレベルシフトした信号、2004、2005はインバータ回路である。

#### 【0203】

インバータ回路2004はスレッシュホールド電圧を入力信号レベルの真ん中に設定し、振幅レベルはVCC - VSSである。インバータ回路2005の振幅レベルはVCC - VSSである。このレベルシフト回路2001では、レベルシフト回路1901のように基準電圧が必要でなく、反転、非反転のレベルシフトした信号を出力することができる。

#### 【0204】

また、図25に示すように、入力信号をVCC - VSSレベルにレベルシフトして、VCC - VSSの振幅レベルで回路動作を行うことでも周辺回路の回路規模の削減が可能である。これは走査ドライバの入力信号の入力段に、スレッシュホールド電圧を入力信号レベルの真ん中に設定したインバータ回路を設けることで実現可能である。

#### 【0205】

以上、本実施例では、データドライバに関しても、9本の液晶基準電圧104はデータドライバの入力段にバッファ回路を内蔵しているため、駆動電流が少なく電源回路103の回路規模を小さくすることができる。

#### 【0206】

本発明の9レベルの基準電圧から64階調表示を行うデータドライバを用いた第7の実施例について、図15、図20、図21、図22、図23、図24、図25、図26、図27、図28、図29、図30を用いて説明する。本実施例は、第6の実施例と階調電圧生成回路が異なり、他の回路は同様である。なお、第6の実施例と同様、本実施例でもデータドライバはLSI化されているものとする。

#### 【0207】

図28はデータドライバのブロック図、図29はデータドライバの階調電圧生成回路のブロック図、図30はデータドライバの出力回路のブロック図である。

#### 【0208】

図28において、2101 - 1から2101 - 240は各出力毎に表示データ128に対応して基準電圧115から1レベルを選択する選択回路、2102 - 1から2102 - 240は各出力毎に交流化信号120または121に対応して階調電圧130を反転基準電圧119を基準に反転または非反転して出力する出力回路、132は液晶駆動電圧である。

#### 【0209】

図29において、2201は表示データ128をデコードするデコーダ、2202はデコーダ2201でデコードした表示データ上位3ビットのデコード信号、2203はデコーダ2201でデコードした表示データ下位3ビットのデコード信号、2204はデコード信号2202で9レベルの基準電圧115の内V8からV1の8レベルから1レベルを選択する選択回路、2205はデコード信号2202で9レベルの基準電圧115の内V7からV0の8レベルから1レベルを選択する選択回路、2206、2207はそれぞれ選択回路2204、2205で選択した選択電圧、2208は選択電圧2206、2207の電圧間を8個の抵抗素子で8分圧する分圧回路、2209は分圧回路2208で分圧された8レベルの階調電圧、2210はデコード信号2203で8レベルの階調電圧2209から1レベルを選択する選択回路である。

#### 【0210】

図30において、2301は非反転増幅回路、2302は反転増幅回路、2303は非

10

20

30

40

50

反転増幅回路 2301 で増幅した正転電圧、2304 は反転増幅回路 2302 で増幅した反転電圧、2305 は選択回路である。

#### 【0211】

次に、データドライバの動作について説明する。図15においてデータドライバ109-1から109-8は出力数が240であり、液晶パネル135は解像度640×RGB×480画素であるためデータドライバは8個必要となる。タイミング制御回路110では、システムから転送される3画素、各階調6ビットの合計18ビットの表示データ101、水平同期信号、表示データ転送クロック等の制御信号群からデータドライバ内部の制御信号の生成やタイミング制御を行う。表示データ101はタイミング制御回路110でデータドライバ内部のタイミングに制御され表示データ112としてラッチ回路125に転送される。ラッチアドレス制御回路123では、タイミング制御回路110でデータドライバ内部のタイミングに制御された制御信号群111から表示データ112に同期したラッチ信号124を生成し、順次表示データ112をラッチ回路125にラッチする。

10

#### 【0212】

ラッチ回路125は1出力あたり6ビット、240出力分のラッチ回路を持ち、データドライバ109-1から109-8で1水平ライン分の表示データを順次ラッチすることができる。ラッチ回路125でラッチした表示データ126は走査回路133のから出力されるゲート選択信号134に同期した表示タイミング信号113で1水平ライン分同時に、ラッチ回路127にラッチする。ラッチ回路127は1出力あたり6ビット、240出力分のラッチ回路を持ち、データドライバ109-1から109-8で1水平ライン分の表示データを同時にラッチすることができる。ラッチ回路127でラッチした表示データ128は階調電圧生成回路129に転送される。電源回路103では、階調電圧生成のための9レベルの基準信号104と階調電圧を交流化のために反転する反転基準電圧105を生成する。

20

#### 【0213】

バッファ回路114では、電源回路103から入力された基準電圧104、反転基準電圧105をバッファし基準電圧115、反転基準電圧119として階調電圧生成回路129と出力回路に出力される。階調電圧生成回路129では、基準電圧115から64レベルの階調電圧を生成し、各出力毎に表示データに対応した階調電圧を1レベル選択し、出力回路131に出力する。交流化信号106は、交流化のタイミングを指示する信号で、選択信号107は交流化のタイミングを出力毎に変えるか否かを選択する信号で、交流化信号117は交流化信号106を選択信号107に対応して反転または非反転した信号である。制御信号108は出力回路131の駆動制御を行う信号である。表示データ101、制御信号群102、基準電圧104、反転基準電圧105、交流化信号106、選択信号107、制御信号108の入力信号レベルはすべて0Vから5Vの信号レベルである。

30

#### 【0214】

一方、液晶駆動電圧は交流駆動を行うため15V程度が必要である。従って、液晶駆動電圧を出力する出力回路は高耐圧プロセス(15V耐圧)を用いる必要があり、レベルシフタ118は交流化信号106、117、制御信号108を高耐圧信号レベルにレベル変換して出力回路131に出力する。出力回路131では、階調電圧130を交流化信号120、121に対応して、反転基準電圧105に対して反転または非反転して、液晶駆動電圧132としてバッファ出力する。走査回路133は、液晶パネル135を1ライン毎に順次選択するゲート選択信号134を生成し、ゲート選択信号134に同期して出力される液晶駆動電圧132により液晶パネル135が駆動され、正極性または負極性の64レベルの階調電圧の内、表示データに対応した液晶駆動電圧の表示を行うことができる。

40

#### 【0215】

次に、図28、図29、図30、図20、図21、図22、図23を用いて本発明のデータドライバの構成と動作を詳細に説明する。

#### 【0216】

図28はデータドライバ109-1の詳細なブロック図で、表示データ101はラッチ

50

アドレス制御回路 1 2 3 で生成したラッチ信号 1 2 4 で 3 画素毎に順次ラッチ回路 1 2 5 にラッチする。ラッチ回路 1 2 5 では、まず最初に 3 画素に対応した 6 ビットラッチ回路 9 0 1 - 1、9 0 1 - 2、9 0 1 - 3 に表示データ 1 1 2 がラッチされ、次に次の 3 画素に対応した 6 ビットラッチ回路 9 0 1 - 4、9 0 1 - 5、9 0 1 - 6 に表示データ 1 1 2 がラッチされ、同様に順次 3 画素毎、1 8 ビットの表示データをラッチし最後に 6 ビットラッチ回路 9 0 1 - 2 3 8、9 0 1 - 2 3 9、9 0 1 - 2 4 0 に表示データ 1 1 2 をラッチする。

#### 【0 2 1 7】

そして、8 個のデータドライバが順次表示データをラッチし、1 ライン分の表示データをラッチする。ラッチ回路 1 2 5 にラッチした表示データ 1 2 6 は表示タイミング信号 1 1 3 で 1 ライン分同時にラッチ回路 1 2 7 にラッチする。また、基準電圧 1 0 4 は 9 レベルの基準電圧であり、バッファ回路 1 1 4 でバッファして基準電圧 1 1 5 として出力される。また、反転基準電圧 1 0 5 についてもバッファ回路 1 1 4 でバッファされ反転基準電圧 1 1 9 として出力される。

#### 【0 2 1 8】

基準電圧 1 1 5 は各出力に対応した階調電圧生成回路 2 1 0 1 - 1 から 2 1 0 1 - 2 4 0 に入力する。各階調電圧生成回路 2 1 0 1 - 1 から 2 1 0 1 - 2 4 0 では、各出力に対応した表示データ 1 2 8 と基準電圧 1 1 5 から表示データに対応した階調電圧を生成し階調電圧 1 3 0 として出力する。

#### 【0 2 1 9】

ここで、図 2 9 を用いて階調電圧生成回路 2 1 0 1 について詳しく説明する。6 4 階調を表わす 6 ビット表示データ 1 2 8 はデコーダ 2 2 0 1 で、上位 3 ビットと下位 3 ビットをそれぞれ独立してデコードし、上位 3 ビットの 8 本のデコード信号 2 2 0 2 は選択回路 2 2 0 4、2 2 0 5 に入力し、下位 3 ビットの 8 本のデコード信号 2 2 0 3 は選択回路 2 2 1 0 に入力する。選択回路 2 2 0 4 では 9 レベルの基準電圧 1 1 5 (V 8 から V 0) の内 V 8 から V 1 の 8 レベルから 1 レベルをデコード信号 2 2 0 2 に対応して選択し、2 2 0 5 では 9 レベルの基準電圧 1 1 5 (V 8 から V 0) の内 V 7 から V 0 の 8 レベルから 1 レベルをデコード信号 2 2 0 2 に対応して選択する。選択回路 2 2 0 4、2 2 0 5 でそれぞれ選択される選択電圧 2 2 0 6、2 2 0 7 の組合せは V 8 - V 7、V 7 - V 6、V 6 - V 5、V 5 - V 4、V 4 - V 3、V 3 - V 2、V 2 - V 1、V 1 - V 0 とする。

#### 【0 2 2 0】

そして、分圧回路 2 2 0 8 では選択電圧 2 2 0 6、2 2 0 7 の電圧間を 8 分圧し、選択電圧間に 8 レベルの階調電圧を生成する。選択回路 2 2 1 0 では、分圧回路で生成した 8 レベルの階調電圧 2 2 0 9 をデコード信号 2 2 0 3 に対応して 1 レベルを選択し、階調電圧 1 3 0 として出力する。このように、選択電圧 2 2 0 6、2 2 0 7 の 8 組の組合せとそれぞれを 8 分圧することで合計 6 4 レベルの階調電圧を生成することができる。つまり、電圧レベル 0 V から 5 V の基準電圧 1 0 4 から 0 V から 5 V の 6 4 レベルの階調電圧を生成し、その中から表示データに対応した階調電圧 1 3 0 を出力毎に選択出力する。この階調電圧 1 3 0 は同じ表示データに対して正極性、負極性に交流駆動する正極性の液晶駆動電圧に対応している。

#### 【0 2 2 1】

また、交流化信号 1 0 6 と選択信号 1 0 7 は E O R 回路 1 1 6 に入力され、選択信号 1 0 7 が " L o w " レベルのとき交流化信号 1 0 6 は反転されずに出力され、選択信号 1 0 7 が " H i g h " レベルのとき交流化信号 1 0 6 は反転されて出力される。つまり、交流化信号 1 1 7 は、選択信号 1 0 7 が " L o w " レベルのとき交流化信号 1 0 6 と同じ信号で、選択信号 1 0 7 が " H i g h " レベルのとき交流化信号 1 0 6 の反転信号となる。制御信号 1 0 8 は出力回路 2 1 0 2 - 1 から 2 1 0 2 - 2 4 0 の駆動電流の制御を指示する信号である。交流化信号 1 0 6、1 1 7、制御信号 1 0 8 は、液晶駆動電圧レベル (5 V から - 1 0 V) で動作する出力回路 1 3 1 の信号レベルに電圧を合わせるためレベルシフト回路 1 1 8 でレベルシフトされ、それぞれ交流化信号 1 2 0、1 2 1、制御信号 1 2 2

10

20

30

40

50

として出力される。

#### 【0222】

出力回路131では、各出力に対応した出力回路2102-1から2102-240で、正極性の階調電圧130、反転基準電圧119、交流化信号120、121と制御信号122が入力され、交流化信号に対応して反転基準電圧119を基準に階調電圧130を反転または非反転して出力し、液晶パネルを駆動する。ここで図30を用いて、出力回路2102-1について詳しく説明する。出力回路2102-1は非反転増幅回路2301、反転増幅回路2302、選択回路2305から構成されている。正極性の階調電圧130が非反転増幅回路2301で増幅され正転電圧2303として出力され、反転増幅回路2302で反転基準電圧119に対して反転され反転電圧2304として出力される。

10

#### 【0223】

この反転電圧1102は、正極性の階調電圧130を反転したものであり、同じ表示データに対して正極性、負極性に交流駆動する負極性の液晶駆動電圧に対応している。そして、正転電圧2303と反転電圧2304は交流化信号120に対応して選択回路2305でどちらか一方が選択され出力電圧132として出力され、液晶パネル135を駆動する。図20を用いて交流出力電圧のタイミングについて詳しく説明する。交流化信号120、121はそれぞれデータドライバ出力の偶数番目出力、奇数番目出力に1出力おきに対応している。従って、選択信号107を"High"レベルにすると交流化信号120、121は互いに反転した信号となるため、偶数番目出力と奇数番目出力では互いに交流化のタイミングが異なる。

20

#### 【0224】

つまり、偶数番目出力が正極性の出力のとき、奇数番目出力は負極性の出力、逆に偶数番目出力が負極性の出力のとき、奇数番目出力は正極性の出力となる。また、選択信号107を"Low"レベルにすると交流化信号120、121は同極性の信号となるため、偶数番目出力と奇数番目出力では交流化のタイミングが同じになる。つまり、偶数番目出力が正極性の出力のとき、奇数番目出力も正極性の出力、逆に偶数番目出力が負極性の出力のとき、奇数番目出力も負極性の出力となる。そして、正極性、負極性の階調電圧は反転基準電圧119(Vcen)に対称に反転している。

#### 【0225】

さらに、第6の実施例と同様に図15、図28のデータドライバの点線で囲んだ回路は、高耐圧プロセス(耐圧15V)であり、その他の回路部分は低耐圧プロセス(耐圧5V)である。図21に示すように、入力信号は全て低耐圧プロセスの動作範囲である5VからGNDとすることで、タイミング制御回路110、ラッチアドレス制御回路123、ラッチ回路125、127、階調電圧生成回路129をゲート長の小さい低耐圧プロセスとし、出力回路131のみをゲート長の大きな高耐圧プロセスとすることでチップ面積を小さくすることができる。現在、低耐圧プロセス(耐圧5Vから3V程度)は最新の微細プロセスであるゲート長1.0μmから0.6μm程度であり、高耐圧プロセス(耐圧30Vから10V程度)はゲート長5μmから2μm程度である。

30

#### 【0226】

従って、低耐圧プロセスより高耐圧プロセスの方が、同程度の能力の素子では、素子面積が数倍大きくなる。また、一般に出力回路は、静電破壊やラッチアップ対策のため低耐圧プロセスであってもゲート長を大きく設計する。従って、本実施例のデータドライバのように出力回路のみを高耐圧プロセスを用いることで、低耐圧プロセスのデータドライバに比べチップ面積の増加を極力小さくすることができ低価格化を図ることができる。

40

#### 【0227】

以上述べた本実施例のデータドライバを用いた液晶ディスプレイでは、第6の実施例と同様に、図22に示すようにデータドライバを液晶パネルの片側に配置した場合でも、列毎反転駆動が可能となり、高画質表示を行うことができる。また、図23に示すように、ライン毎に交流化することで列毎反転駆動が可能となり、さらなる高画質表示を行うことができる。さらに、選択信号107の設定を変えることで共通電極駆動にも対応できる。

50

## 【0228】

また、本実施例では、データドライバとして240出力のデータドライバについて説明したが、192出力や160出力のデータドライバについても、ラッチアドレス制御回路やラッチ回路を出力数に対応した構成にすることで容易に実現できる。また、プロセスの耐圧についても、本実施例では低耐圧プロセスを5V耐圧、高耐圧プロセスを15V耐圧として説明したが、低耐圧プロセスについては5V耐圧から3V耐圧等の、高耐圧プロセスについては30V耐圧から10V耐圧等のプロセスを用いた場合についても本実施例と同様な効果を得ることができる。

## 【0229】

また、本実施例の走査ドライバについては第6の実施例と同様に入力信号の入力段に図26、図27に示したレベルシフト回路を設けることで、周辺回路の回路規模を小さくすることができる。

10

## 【0230】

また、本実施例でも第6の実施例と同様に、データドライバに関しても、9本の液晶基準電圧104はデータドライバの入力段にバッファ回路を内蔵しているため、駆動電流が少なく電源回路103の回路規模を小さくすることができる。

## 【0231】

第6、第7の実施例では64階調のデータドライバについて述べたが、表示データを1画素あたり6ビットから8ビットにし、ラッチ回路の構成を1出力あたり8ビットとし、階調電圧生成回路の構成を256階調に対応するように変えることで、256階調やその他の階調数のデータドライバに対しても容易に実現することができる。

20

## 【0232】

さらに、上述した第6、第7の実施例の低消費電力化と、小チップサイズ化を実現する出力回路の例を、図31、図32を用いて説明する。図31は出力波形のタイミングを示す図、図32は出力回路のブロック図である。

## 【0233】

上述の第6、第7の実施例では、1出力ごとに正転、反転アンプ回路1組が必要であった。これに対し、この図32の例では、正転、反転アンプ回路1組を2出力で共有することで、チップサイズを小さくすることができる。

## 【0234】

30

図32において、セクタ3801は、階調電圧130-1~130-240のなかから、隣合う出力に対応した階調電圧を選択する。

## 【0235】

正転アンプ回路および反転アンプ回路3802は、セクタ3801で選択した階調電圧を、反転または正転し出力する。これらの動作を、出力端子Y1、Y2を例に採って詳細に説明する。

## 【0236】

セクタ3801-1は、出力端子Y1に対応した階調電圧130-1と、出力端子Y2に対応した階調電圧130-2とのうちのいずれかを選択し、正転アンプ回路3802-1に出力する。同様に、セクタ3801-2は、出力端子Y1に対応した階調電圧130-1と、出力端子Y2に対応した階調電圧130-2とのうちのいずれかを選択し、反転アンプ回路3802-2に出力する。

40

## 【0237】

また、セクタ3803-1は、正転アンプ回路3802-1の出力と反転アンプ回路3802-2の出力とのうちのいずれかを選択し、該選択した方の出力を、出力端子Y1に出力する。同様に、セクタ3803-2は、正転アンプ回路3802-1の出力と反転アンプ回路3802-2の出力とのうちのいずれかを選択し、該選択した方の出力を、出力端子Y2にそれぞれ出力する。

## 【0238】

セクタ3801、3803による選択状態は、交流化信号106に同期して切り替わ

50

る選択信号38005によって制御されている。出力端子Y1に階調電圧130-1が正転出力されるときには、出力端子Y2には階調電圧130-2が反転基準電圧119に対して反転出力される。逆に、出力端子Y1に階調電圧130-1が反転基準電圧119に対して反転出力される時には、出力端子Y2には階調電圧130-2が正転出力される。このように動作することで、隣合う出力端子ごとに交流タイミングが逆になっている液晶駆動電圧を出力することができる。

#### 【0239】

さらに、図31に示すように、液晶印加電圧を出力する前に、イコライズ期間を設ける。該イコライズ期間には、スイッチ回路3804-1~3804-2440で出力をハイインピーダンス状態にし、隣合う出力端子をスイッチ回路3805-1~33805-2440を通じて接続する。これにより、液晶パネルのデータ線上に存在する正極性、負極性の電荷で、10Vレベルへのプリチャージ動作を補助することができる。つまり、液晶パネル内の残留電荷を利用することで液晶駆動電力を低減できる。

#### 【0240】

本発明第8の実施例について、図33、図34、図35、図36、図37、図38、図39、図40、図41、図42、図43、図44、図45、図46、図47を用いて説明する。

#### 【0241】

本実施例は、9レベルの基準電圧を用いて64階調表示を行うデータドライバを使用した液晶表示装置である。

#### 【0242】

本実施例の液晶表示装置は、図33に示すとおり、大きく分けて、液晶表示コントローラ101と、走査回路105と、電源回路107と、データドライバ109と、640×3(R、G、B)×480ドットでの表示が可能な液晶パネル111と、から構成されている。

#### 【0243】

動作概要を説明する。

#### 【0244】

液晶表示コントローラ101は、液晶ドライバ用に、システムから入力される表示データ、表示同期信号102のタイミング制御を行なった上で、表示データと表示同期信号103としてデータドライバ109に転送する。なお、表示データ103は、1画素当たり階調6ビットを割り当てた、3画素分づつの合計18ビットのデータである。また、同様に、液晶コントローラ101は、システムから入力される表示データ、同期信号102から、表示データ、同期信号104を生成して走査回路105へ出力する。

#### 【0245】

電源回路107は、9種類の電圧レベルの電圧からなる基準電圧108を発生し、データドライバ109に出力している。データドライバ109は、該基準電圧108に基づいて階調表示用に64階調の電圧を生成する。そして、表示データに対応して、出力ごとにいずれかを選択し、液晶パネル111へ液晶駆動電圧110として出力する。

#### 【0246】

これと並行して走査回路105は、該表示データ、同期信号104に従って、液晶パネル111を構成しているゲート線の内の一本を順次選択してゆく。これにより、データドライバ109の出力している液晶駆動電圧110は、その時選択状態にされているゲート線に対応する行の画素にのみ印加されることとなる。走査回路105が選択するゲートを順次変更してゆくことで(すなわち、走査することで)、液晶パネル111全体に画像が表示されることになる。

#### 【0247】

次に、上記各部ごとにその構成および動作を詳細に説明する。

#### 【0248】

まず、データドライバ109について説明する。

## 【0249】

データドライバ109は、液晶表示コントローラ101等から入力される表示データ、表示同期信号103、基準電圧108に基づいて、液晶駆動電圧110を生成し、これを液晶パネル111に出力するものである。該データドライバ109は、240本の出力を有するデータドライバ112を8個備えて構成される。なお、各データドライバ112を、その配置位置に応じて、データドライバ112-1、データドライバ112-2、・・・、データドライバ112-8と呼ぶ場合がある。

## 【0250】

該データドライバ112は、図33、図34に示すとおり、タイミング制御回路113、入力バッファ回路117、ラッチアドレス制御回路123、ラッチ回路125、ラッチ回路127、階調電圧生成回路129、出力回路131から、構成されている。

10

## 【0251】

タイミング制御回路113は、表示データ、同期信号103のタイミングを制御することで、タイミング信号群114、表示データ115、ライン表示同期信号116を生成し、これらを、ラッチアドレス制御回路123などへ出力するものである。なお、表示データ、同期信号103は、表示データ1101と、制御信号1102とが含まれている。ライン表示同期信号116は、ゲート選択信号106に同期したものである。

## 【0252】

ラッチアドレス制御回路123は、タイミング信号群114から、表示データ115に同期したラッチ信号124を生成するものである。

20

## 【0253】

ラッチ回路125は、表示データ115を順次ラッチするものである。該ラッチ回路125は、ラッチ信号124で、表示データ115をラッチするそれぞれ6ビットのラッチ回路1107を240個含んで構成されている。以下ラッチ回路1107をその配置位置に応じて、ラッチ回路1107-1、ラッチ回路1107-2等と呼ぶ。該ラッチ回路125は、ラッチした表示データを、表示データ126として出力している。

## 【0254】

ラッチ回路127は、表示データ126をライン表示同期信号116でラッチして、これを表示データ128として出力するものである。該ラッチ回路127は、それぞれが6ビットのラッチ回路1108を、240個備えて構成されている。各ラッチ回路1108は、ライン表示同期信号116で同時にラッチ動作を行うようになっている。

30

## 【0255】

入力バッファ117は、アンプバッファ回路1105と、レベルシフト回路1106とからなる。

## 【0256】

アンプバッファ回路1105は、電源回路107が生成する基準電圧108に含まれている9レベルの基準電圧1103を一旦バッファした後、基準電圧118として階調電圧生成回路129へ出力するものである。また、反転基準電圧1104を一旦バッファした後、反転基準電圧119として出力回路131へ出力している。既に述べたとおり、基準電圧1103に含まれている9レベルの電圧は、0Vから5Vの範囲内にある。

40

## 【0257】

レベルシフト回路1106は、制御信号群1102に含まれている交流化信号および出力駆動制御信号の電圧レベルを、低耐圧レベル(5V~0V)から、液晶駆動電圧レベルである高耐圧レベル(5V~-10V)に変換するものである。そして、該変換後の交流化信号を、互いに極性の異なる2つの交流化信号120、121として出力するものである。また、変換後の出力駆動制御信号を、制御信号122として出力回路131に出力するものである。

## 【0258】

階調電圧生成回路129は、9レベルの基準電圧118から64レベルの階調電圧を生成するとともに、この中から表示データに対応した1レベルを選択し、これを階調電圧1

50

30として出力するものである。該階調電圧生成回路129は、階調電圧生成回路1109と、240個の選択回路1111と、からなる。

【0259】

階調電圧生成回路1109は、9レベルの基準電圧118から64レベルの階調電圧1110を生成するものである。図35に示すとおり、該階調電圧生成回路1109は、抵抗素子によって各基準電圧118(V8~V0)間を8分圧することで、合計64レベルの階調電圧1110(VG63~VG0)を生成している。

【0260】

選択回路1111は、図36に示すとおり、表示データ128の内容に応じて、64レベルの階調電圧1110(VG0~VG63)の中から各出力毎に1レベルを選択し、該選択した階調電圧を階調電圧130として出力するものである。この階調電圧130は、正極性の液晶駆動電圧に対応している。

【0261】

図34における出力回路131は、交流化信号120,121に従いつつ、反転基準電圧119を基準として階調電圧130を反転または非反転して出力するものである。該出力回路131は、制御信号122に従ってその出力電流を変更する出力回路1112を240個備えて構成される。該出力回路1112は、交流化信号120(または交流化信号121)に従いつつ、反転基準電圧119を基準として、各出力毎に階調電圧130を反転または非反転して出力するものである。該出力回路1112は、図37に示すとおり、反転増幅回路1401と、選択回路1403と、出力バッファ回路1405とから構成されている。

【0262】

反転増幅回路1401は、正極性の階調電圧130を、反転基準電圧119に対して反転し、反転電圧1402として出力する。該反転電圧1402は、負極性の液晶駆動電圧に対応したものである。

【0263】

選択回路1403は、階調電圧130と反転電圧1402とのうちのいずれか一方を交流化信号120に従って選択し、該選択した方を出力電圧1404として出力バッファ回路1405へ出力するようになっている。

【0264】

出力バッファ回路1405は、出力電圧1404の電流を増幅して出力するボルテージフォロア回路である。該出力バッファ回路1405は、電流増幅後の信号を、液晶駆動電圧132として液晶パネル111に出力している。該出力バッファ1405は、図38に示すとおり、差動増幅回路1501と、電流増幅回路1502,1503と、選択回路1504とからなる。

【0265】

出力バッファ1405は、差動増幅回路1501によって出力電圧1404を受け、その電流を電流増幅回路1502,1503で増幅して出力するようになっている。

【0266】

電流増幅回路1503はレベルシフト回路1106(図34参照)を通じて入力される制御信号122に従って動作している。制御信号122が"Low"レベルになると、電流増幅回路1503は無効になる。この場合には、電流増幅回路1502のみで電流を出力する。制御信号122が"High"レベルになると、電流増幅回路1503は有効になる。従って、この場合には、電流増幅回路1503および電流増幅回路1502によって大電流を出力することができる。従って、大出力電流が必要な期間には、電流増幅回路1502および電流増幅回路1503によって電流増幅を行い、大出力電流が必要でない期間には、電流増幅回路1503を無効にし電流増幅回路1502のみで電流増幅する。これにより、電流増幅回路での消費電力を小さくすることを可能としている。

【0267】

なお、交流駆動を行うためには、液晶駆動電圧としては15V程度が必要である。従っ

て、該出力回路 131 としては高耐圧プロセス (15V 耐圧) を用いる必要がある。

【0268】

次に、データドライバ 109 の動作を説明する。

【0269】

図 33 において、液晶表示コントローラ 101 は、システムからの表示データ、表示同期信号 102 を、液晶ドライバ用にタイミング制御を行なう。そして、データドライバ 109 に 18 ビットの表示データ、表示同期信号 103 として転送する。

【0270】

タイミング制御回路 113 は、表示データ、同期信号 103 を、データドライバ 109 内部の表示データ、タイミング制御信号に制御される。

10

【0271】

データドライバ 109 のラッチ回路 125 (図 34 参照) は、240 画素分の表示データ 115 を、3 画素分ずつ 80 回に分けて、ラッチ信号 124 で順次ラッチする。つまり、まず最初に、3 画素に対応したラッチ回路 1107-1, 1107-2, 1107-3 が、表示データ 115 をラッチする。続いて、次の 3 画素に対応したラッチ回路 1107-4, 1107-5, 1107-6 が、これに続く表示データ 115 をラッチする。これ以降のラッチ回路 1107-7 ~ 1107-240 も、同様に順次 3 画素分ずつ、18 ビットの表示データ 115 をラッチしてゆく。このようにデータドライバ 112-1 ~ 112-8 によって、合計 1920 画素、1 ライン分の表示データがラッチされる。

【0272】

20

ラッチ回路 127 は、ライン表示同期信号 116 で 1 水平ライン分の表示データ 126 を同時にラッチする。ラッチ回路 127 は、ラッチした表示データ 126 を、表示データ 128 として階調電圧生成回路 129 に転送する。

【0273】

これと並行して、電源回路 107 (図 33 参照) は、基準電圧 108 を生成している。基準電圧 108 には、階調電圧生成のための 9 レベルの基準電圧 1103 と、と階調電圧を交流化のために反転するのに用いられる反転基準電圧 1104 が含まれている (図 34 参照)。

【0274】

図 34 における入力バッファ回路 117 では、電源回路 107 から入力された基準電圧 1103 を、バッファアンプ回路 1105 がバッファし、基準電圧 118 として階調電圧生成回路 129 に出力する。同様に、反転基準電圧 1104 についてもバッファアンプ回路 1105 がバッファし、反転基準電圧 119 として出力回路 131 に出力する。

30

【0275】

さらに、入力バッファ回路 117 では、レベルシフト回路 1106 が、制御信号 103 中の交流化信号 1102 の電圧レベルを、液晶駆動レベルに合わせるように変換し、互いに極性の反転した交流化信号 120, 121 を生成する。そして、これを出力回路 131 へ出力する。制御信号 103 中の出力制御信号についても同様に電圧レベルを変換した後、出力駆動制御信号 122 として出力回路 131 へ出力する。

【0276】

40

階調電圧生成回路 129 の階調電圧生成回路 1109 は、9 レベルの基準電圧 118 から 64 レベルの階調電圧 1110 を生成する。電圧選択回路 1111 は、この中から、表示データ 128 に対応した階調電圧 1110 を各出力毎に 1 レベル選択し、それぞれ階調電圧 130 として出力回路 131 に出力する。

【0277】

出力回路 131 は、階調電圧 130 を交流化信号 120、121 に従いつつ、反転基準電圧 105 を基準として反転または非反転する。液晶駆動電圧 132 として出力する。なお、該液晶駆動電圧 132 の極性については、後ほど図 41 を用いて詳細に説明する。

【0278】

ところで、走査回路 105 は、表示同期信号 104 の水平同期信号に同期して 1 ライン

50

毎に順次ゲート駆動信号 106 を生成し出力している。該ゲート駆動信号 106 によって、液晶パネル 111 のゲート線が 1 ライン順次選択状態とされている。従って、ゲート駆動信号 106 に同期して出力される液晶駆動電圧 132 は、その時選択状態とされているライン上の画素に印加されることとなる。つまり、液晶パネル 111 が駆動され、正極性または負極性の 64 レベルの階調電圧の内、表示データに対応した液晶駆動電圧の表示を行うことができる。

#### 【0279】

次に、表示データの取り込み動作を、図 39 を用いて改めて詳細に説明する。

#### 【0280】

表示データ 1101 (図 34 参照) は、データ同期クロック (CL2) に同期してタイミング制御回路 113 に入力される。ラッチクロック 124 (ラッチクロック 1 ~ 80) は、ラッチアドレス制御回路 123 によって、ドライバ有効信号 (EIO) と、CL2 とに同期して生成されている。なお、データ同期クロック (CL2) は、制御信号 1102 中に含まれているものである。

#### 【0281】

表示データ 115 は、ラッチ回路 125 (ラッチ回路 1107 - 1 ~ 1107 - 240) によって、順次 3 画素毎にラッチされる。

#### 【0282】

1 ライン分の表示データがラッチ回路 125 によってラッチされると、ラッチ回路 127 は、該 1 ライン分の表示データを、ライン表示同期信号 116 (CL1) で同時にラッチする。そして、最終的には、このラッチ回路 127 のラッチした表示データに対応した液晶駆動電圧が、出力回路 131 から出力される。

#### 【0283】

次に、階調電圧、交流出力電圧の電圧レベルとタイミングを、図 40、図 41 を用いて詳しく説明する。

#### 【0284】

図 40 はデータドライバ 112 に入力される液晶駆動電圧の基準電圧 1103 と、その出力電圧 (液晶駆動電圧 132) との関係を示した図である。

#### 【0285】

基準電圧 1103 (V8 ~ V0) の電圧レベルは、5V ~ 0V の範囲にある。各レベルの基準電圧 1103 は階調電圧生成回路 1109 によって分圧され、64 レベルの階調電圧 130 (VG63 ~ VG0) が生成される。該階調電圧 130 の電圧レベルも 5V ~ 0V の範囲内にある。

#### 【0286】

階調電圧 130 (VG63 ~ VG0) は、出力回路 131 において、反転基準電圧 119 (Vcen) を基準に反転 (VL63 ~ VL0) されて、あるいは、非反転 (VH63 ~ VH0) で、液晶駆動電圧 132 として出力される。

#### 【0287】

VH63 ~ VH0 の電圧レベルは、階調電圧 130 (VG63 ~ VG0) と同レベルの 5V ~ 0V の範囲にある。VL63 ~ VL0 の電圧レベルは、反転基準電圧 119 (Vcen) を 0V から -5V の範囲に設定することで、0V から -10V の範囲内となる。従って、階調電圧生成回路 129 までを低耐圧回路とし、図 34 中点線で囲んだ回路部分 (すなわち、出力回路 131, 入力バッファ 117) のみを高耐圧回路とすることができる。さらに、低耐圧回路から高耐圧回路へ信号レベルを変換するレベルシフト回路が、交流化信号と出力駆動制御信号の 2 本の信号線の分だけでよい。

#### 【0288】

次に、データドライバ 109 の出力する液晶駆動電圧 132 の極性について、図 41 を用いて説明する。

#### 【0289】

交流化信号 120 は、データドライバ 109 の奇数番目の出力に対応している。一方、

10

20

30

40

50

交流化信号 1 2 1 は、データドライバ 1 0 9 の偶数番目の出力に対応している。また、交流化信号 1 2 1 は、交流化信号 1 2 0 とは極性が異なっている。従って、データドライバ 1 0 9 の出力は、偶数番目の出力と、奇数番目の出力とで、互いに交流化のタイミングが異なる。偶数番目の出力が正極性となっているときには、奇数番目の出力は負極性の出力となっている。逆に偶数番目の出力が負極性となっている時には、奇数番目の出力は正極性となっている。

#### 【 0 2 9 0 】

現在、低耐圧プロセス（耐圧 5 V ~ 3 V 程度）は、ゲート長が 1 . 0  $\mu$ m ~ 0 . 5  $\mu$ m 程度の最新の微細プロセスである。これに対し、高耐圧プロセス（耐圧 3 0 V ~ 1 0 V 程度）は、ゲート長が 5  $\mu$ m ~ 2  $\mu$ m 程度である。従って、能力が同程度の素子について考えた場合、高耐圧プロセスの素子は、その素子面積が低耐圧プロセスの素子の数倍大きくなる。また、出力回路に低耐圧プロセスを採用している場合でも、静電破壊やラッチアップ対策のために、そのゲート長を大きく設計するのが通常である。図 4 0 に示すように、本実施例では入力信号の電圧レベルを全て低耐圧プロセスの動作範囲（5 V ~ 0 V（GND））内としているため、高耐圧プロセスにする必要があるのは、出力回路 1 3 1 および入力バッファ 1 1 7 のみである。図 3 3、図 3 4 中、データドライバの点線で囲んだ回路部分は、高耐圧プロセス（耐圧 1 5 V）である。その他の回路部分は低耐圧プロセス（耐圧 5 V）である。従って、本実施例のデータドライバ 1 1 2 は、従来の低耐圧プロセスのデータドライバに比べても、チップ面積の増加を極力小さくすることができる。これは、低価格化につながる。

#### 【 0 2 9 1 】

なお、ここでの説明では低耐圧プロセスを 5 V 耐圧、高耐圧プロセスを 1 5 V 耐圧として説明したが、低耐圧プロセスについては 5 V 耐圧から 3 V 耐圧等の、高耐圧プロセスについては 3 0 V 耐圧から 1 0 V 耐圧等のプロセスを用いた場合についても本実施例と同様な効果を得ることができる。

#### 【 0 2 9 2 】

本実施例のデータドライバを用いた液晶ディスプレイでは、図 4 2 のごとく、データドライバを液晶パネルの片側に配置した場合でも、列毎反転駆動が可能となり、高画質表示を行うことができる。ここで言う“列毎反転駆動”とは、交流駆動のタイミングを、液晶パネル上の画素 1 列ごとに反転する駆動法である。

#### 【 0 2 9 3 】

また、図 4 3 に示すように、液晶パネル上において隣り合う 4 つの画素で交流駆動タイミングを反転するドット毎反転駆動が可能となり、さらなる高画質表示を行うことができる。ここでいう“ドット毎反転駆動”とは、交流駆動のタイミングを、液晶パネル上において隣り合う 4 つの画素間で反転する駆動法である。該駆動法においては、全ての画素についてその上下左右に隣接する画素と交流駆動のタイミングが反転している。

#### 【 0 2 9 4 】

さらに、列毎反転駆動、ドット毎反転駆動では、図 4 4 に示すとおり、液晶パネル駆動時の電流の向きが隣り合う画素で逆となる。また、対向電極の電流の向きも隣り合う画素で、逆方向となる。従って、両者がその影響を互いに、打ち消し合うことで対向電極の電圧レベルが安定するため高画質表示が可能となる。

#### 【 0 2 9 5 】

本実施例では、出力を 2 4 0 本有するデータドライバ 1 1 2 を採用していた。しかし、データドライバの出力数は、これに限定されるものではない。出力数が、1 9 2 本、1 6 0 本のデータドライバも、ラッチアドレス制御回路 1 2 3 等を、該出力の本数に対応した構成にすることで容易に実現できる。

#### 【 0 2 9 6 】

また、本実施例では 6 4 階調のデータドライバについて述べたが、表示データを 1 画素あたり 8 ビット構成とするとともに、ラッチ回路の構成を 1 出力当たり 8 ビットに、また、階調電圧生成回路の構成を 2 5 6 階調に対応するように変えることで、2 5 6 階調やそ

10

20

30

40

50

の他の階調数のデータドライバに対しても容易に実現することができる。

【0297】

次に、本実施例8の走査回路105の構成および動作を、図45、図46、図47を用いて説明する。

【0298】

図46に示すとおり、走査ドライバ105の出力するゲート選択信号（ゲート駆動信号106）としては、液晶パネルのTFTの特性から、データドライバ112の出力する液晶印加電圧132よりも上下に約3V程度大きな電圧を与える必要がある。一方、走査ドライバ105のデジタル信号の動作レベルは、VCC - GND間の5Vである。そのため、データドライバ112への入力信号と、走査ドライバ105のデジタル系への入力信号とでは、その電圧レベルに差がある。従来の液晶パネルではデジタル信号の電圧レベルを、データドライバの電圧レベルに合わせていた。そして、走査ドライバへ入力されるデジタル信号については、外付けの回路によってレベルシフトすることで、該走査ドライバの電圧レベルに合わせていた。しかし、このような外付けの回路を使用することは、液晶ディスプレイの周辺回路規模が大きくなる要因となっていた。本実施例では、走査ドライバ105の入力段にレベルシフト回路を内蔵することで、周辺回路の回路規模の削減を可能としている。

10

【0299】

本実施例の走査回路105は、図45に示すとおり、レベルシフト回路2202、シフトレジスタ2204、ゲート駆動回路2206からなる。

20

【0300】

レベルシフト回路2202は、図47に示すとおり、インバータ回路2404、2405等を含んで構成されている。インバータ回路2404は、スレッシュホールド電圧を入力信号レベルの真ん中に設定されており、その出力信号の振幅レベルはVCC - VSSである。インバータ回路2405の振幅レベルはVCC - VSSである。表示同期信号2203は、入力信号104を非反転してレベルシフトしたものである。

【0301】

走査回路105の動作を説明する。

【0302】

図45において、レベルシフト回路2202は、表示同期信号104の電圧レベルを変換して、表示同期信号2203としてシフトレジスタ2204に出力する。シフトレジスタ2204は、該表示同期信号2203（水平同期信号）に同期してシフト動作することで、シフト出力信号2205を生成し出力している。ゲート駆動回路2206には、電源電圧2201が入力されている。この電源電圧2201には、ゲートを選択状態とするためのオンレベルの電圧と、ゲートを非選択状態とするためのオフレベルの電圧と、が含まれている。ゲート駆動回路2206は、該電源電圧2201を用いてゲート駆動信号106を生成する。ゲート駆動回路2206は、該ゲート駆動信号106を、シフト出力信号2205に同期して、1ライン毎に順次生成している。

30

【0303】

本実施例ではデータドライバ112へ入力する液晶基準電圧108が直流の電圧でよい。そのため、電源回路107にはアンプバッファが不要である。従って、電源回路107の回路規模を小さくすることが可能である。

40

【0304】

次に、本発明の第9の実施例について、図48、図49、図50、図51、図52、図53、図54を用いて説明する。本実施例は、9レベルの基準電圧から64階調表示を行うデータドライバを用いたものである。

【0305】

本実施例の液晶表示装置は、大きく分けて、液晶表示コントローラ2501と、走査回路2505と、電源回路2507と、データドライバ2510と、640×3（R、G、B）×480ドットの液晶パネル2512と、から構成されている。

50

## 【0306】

動作概要を説明する。

## 【0307】

液晶表示コントローラ2501は、システムから入力される表示データ、表示同期信号2502を、液晶ドライバ用にタイミング制御した上で、表示データ、表示同期信号2503としてデータドライバ2510に転送する。また、同様に、液晶コントローラ2501は、システムから入力される表示データ、同期信号2502から、表示データ、同期信号2504を生成して走査回路2505へ出力する。なお、表示データ2503は、1画素当たり階調6ビットを割り当てた、3画素分づつの合計18ビットのデータである。

## 【0308】

電源回路2507は、9種類の電圧レベルの電圧からなる基準電圧2509を発生し、データドライバ2510に出力している。データドライバ2510は、該基準電圧2509に基づいて階調表示用に64階調の電圧を生成する。そして、表示データに応じていずれかの電圧を出力ごとに選択し、これを液晶駆動電圧2511として液晶パネル2512へ出力する。

## 【0309】

これと並行して走査回路2505は、表示データ、同期信号2504に従って、ゲート駆動信号2506を出力することで、液晶パネル2512を構成しているゲート線の内の一本を順次選択してゆく。これにより、データドライバ2510の出力している液晶駆動電圧2511は、その時選択状態にされているゲート線に対応する行の画素にのみ印加されることとなる。走査回路2505が選択するゲートを順次変更してゆくことで（すなわち、走査することで）、液晶パネル2512全体に画像が表示されることになる。

## 【0310】

次に、上記各部ごとにその構成および動作を詳細に説明する。

## 【0311】

まず、データドライバ2510の詳細を説明する。

## 【0312】

データドライバ2510は、240本の出力を有するデータドライバ2513を、8個備えて構成されている。以下、各データドライバ2513をその配置位置に応じて、データドライバ2513-1、データドライバ2512-2等と呼ぶ。他の回路部分についても同様の呼び方をする。

## 【0313】

各データドライバ2513は、図49に示すとおり、タイミング制御回路2514と、電圧生成回路2518と、ラッチアドレス制御回路2521と、ラッチ回路2523と、ラッチ回路2525と、レベルシフト回路2527と、液晶駆動回路2529とからなる。

## 【0314】

タイミング制御回路2514は、表示データ、表示同期信号2503（表示データ2601、制御信号2602）に基づいて、タイミング信号2515、表示データ2516、ライン表示同期信号2517を生成出力するものである。

## 【0315】

ラッチアドレス制御回路2521は、タイミング信号群2515を基に、ラッチ信号2522を生成するものである。

## 【0316】

ラッチ回路2523は、ラッチ信号2522に従って、表示データ2516を3画素分づつ順次ラッチするためのものである。ラッチ回路2523は、図49に示すとおり、1出力あたり6ビットのラッチ回路2603を、240個備えて構成されている。データドライバ2510はデータドライバ2513を8個備えているため、データドライバ2510全体では、1水平ライン分（1920画素分）の表示データを順次ラッチ可能となっている。

10

20

30

40

50

## 【 0 3 1 7 】

ラッチ回路 2 5 2 5 は、ラッチ回路 2 5 2 3 から出力されてくる 1 ライン分の表示データ 2 5 2 4 を、ライン表示同期信号 2 5 1 7 に従って同時にラッチするものである。ラッチ回路 2 5 2 5 は、1 出力あたり 6 ビットのラッチ回路 2 6 0 4 を、2 4 0 個備えて構成されている。該ラッチ回路 2 5 2 5 は、ラッチした表示データを、表示データ 2 5 2 6 として、レベルシフト回路 2 5 2 7 へ出力している。

## 【 0 3 1 8 】

レベルシフト回路 2 5 2 7 は、各出力 6 ビットの表示データ 2 5 2 6 の電圧レベルを、液晶駆動電圧レベルにまでシフトするためのものである。該レベルシフト回路 2 5 2 7 は、レベルシフト回路 2 6 0 5 を 2 4 0 個備えて構成されている。該レベルシフト回路 2 5 2 7 は、電圧レベルをシフトした後の表示データを、表示データ 2 5 2 8 として液晶駆動回路 2 5 2 9 へ出力している。

10

## 【 0 3 1 9 】

電圧生成回路 2 5 1 8 は、直流の 9 レベルの基準電圧 2 5 0 9 と、反転基準電圧 2 5 0 8 と、制御信号 2 6 0 2 中の交流化信号とから、交流の交流化基準電圧 2 5 1 9 , 2 5 2 0 を生成するためのものである。交流化基準電圧 2 5 1 9 と、交流化基準電圧 2 5 2 0 とは、共に交流化されているが、その交流化のタイミングは互いに反転したものとされている。なお、基準電圧 2 5 0 9、反転基準電圧 2 5 0 8 は、電源回路 2 5 0 7 によって生成されているものである（図 4 8 参照）。該電圧生成回路 2 5 1 8 は、図 5 1 に示すとおり、アンプバッファ回路 2 8 0 1、差動増幅回路 2 8 0 2、選択回路 2 8 0 3、選択回路 2 8 0 4 からなる。

20

## 【 0 3 2 0 】

アンプバッファ回路 2 8 0 1 は、電源回路 2 5 0 7 からの 9 レベルの基準電圧 2 5 0 9 ( V L E V 0 ~ V L E V 8 ) を一旦バッファした後、選択回路 2 8 0 3 に出力するものである。

## 【 0 3 2 1 】

差動増幅回路 2 8 0 2 は、基準電圧 2 5 0 9 ( V L E V 0 ~ V L E V 8 ) を、反転基準電圧 2 5 0 8 ( V C E N ) を基準として反転し、出力するものである。この反転の様子を図 5 2 に示す。V L E V 0 ~ V L E V 8 を、V C E N を基準として反転したものが、V L E V 0 I N V ~ V L E V 8 I N V である。

30

## 【 0 3 2 2 】

図 5 1 において、選択回路 2 8 0 3 , 2 8 0 4 は、それぞれ、アンプバッファ回路 2 8 0 1 の出力と差動増幅回路 2 8 0 2 の出力とのうちのいずれか一方を、制御信号 2 6 0 2 中の交流化信号に従って選択し、出力するものである。但し、選択回路 2 8 0 3 には、交流化信号（制御信号 2 6 0 2）がそのまま入力されているのに対し、選択回路 2 8 0 4 には、交流化信号（制御信号 2 6 0 2）を反転したものが入力されるようになっている。従って、選択回路 2 8 0 3 によって選択出力される交流化基準電圧 2 5 1 9 ( V 1 R V 0 ~ V 1 R V 8 ) と、選択回路 2 8 0 4 によって選択出力される交流化基準電圧 2 5 2 0 ( V 2 R V 0 ~ V 2 R V 8 ) とでは、交流化のタイミングが異なっている。例えば、図 5 2 に示すとおり、交流化信号（M）がハイレベルとなっている時には、交流化基準電圧 2 5 1 9 ( V 1 R V 0 ~ V 1 R V 8 ) としては、V L E V 0 I N V ~ V L E V 8 I N V の中から選択されたものが出力される。一方、交流化基準電圧 2 5 2 0 ( V 2 R V 0 ~ V 2 R V 8 ) としては、V L E V 0 ~ V L E V 8 の中から選択されたものが出力される。逆に、交流化信号（M）がロウレベルとなっている時には、交流化基準電圧 2 5 1 9 ( V 1 R V 0 ~ V 1 R V 8 ) としては、それぞれ V L E V 0 ~ V L E V 8 の中から選択されたものが出力される。交流化基準電圧 2 5 2 0 ( V 2 R V 0 ~ V 2 R V 8 ) としては、V L E V 0 I N V ~ V L E V 8 I N V の中から選択されたものが出力される。

40

## 【 0 3 2 3 】

図 4 9 において、液晶駆動回路 2 5 2 9 は、交流化基準電圧 2 5 1 9 , 2 5 2 0 を基に、表示データ 2 5 2 8 に対応した液晶駆動電圧 2 5 3 0 を生成出力するものである。該液

50

晶駆動回路 2529 は、交流化基準電圧 2519 , 2520 を基に表示データ 2528 に対応した液晶駆動電圧を生成する液晶駆動回路 2606 を、240 個備えて構成されている。該液晶駆動回路 2606 は、図 50 に示すとおり、デコーダ 2701 と、選択回路 2704 と、選択回路 2705 と、分圧回路 2708 と、選択回路 2710 と、アンプバッファ回路 2711 とから構成されている。

#### 【0324】

デコーダ 2701 は、表示データ 2528 をデコードするものである。デコーダ 2701 は、デコード結果の上位 3 ビットを、デコード信号 2702 として選択回路 2704 , 2705 へ出力している。また、デコード結果の下位 3 ビットを、デコード信号 2703 として選択回路 2710 へ出力している。

10

#### 【0325】

選択回路 2704 は、9 レベルの交流化基準電圧 2519 のうちの V8 ~ V1 の 8 レベルから、デコード信号 2702 に従って 1 レベルを選択するものである。選択回路 2704 は、選択したレベルの電圧を選択電圧 2706 として分圧回路 2708 へ出力している。一方、選択回路 2705 は、交流化基準電圧 2519 のうちの V7 ~ V0 の 8 レベルから、デコード信号 2702 に従って 1 レベルを選択し、該選択したレベルの電圧を選択電圧 2707 として分圧回路 2708 へ出力するものである。選択回路 2704 , 2705 は、選択電圧 2706 と選択電圧 2707 との組合せが、8 種類 (V8 - V7、V7 - V6、V6 - V5、V5 - V4、V4 - V3、V3 - V2、V2 - V1、V1 - V0) のうちのいずれかとなるように動作するようになっている。

20

#### 【0326】

分圧回路 2708 は、選択電圧 2706 と選択電圧 2707 との間の電圧を 8 分圧し、8 レベルの階調電圧 2709 として出力するものである。該分圧回路 2708 は、該分圧を 8 個の抵抗素子で行っている。

#### 【0327】

選択回路 2710 は、デコード信号 2703 に従って、8 レベルの階調電圧 2709 の中から 1 レベルを選択し出力するものである。

#### 【0328】

次に、データドライバ 2510 の動作を、図 48 を用いて説明する。ここでの説明は 6 階調表示に関する動作に重点をおいて行う。

30

#### 【0329】

タイミング制御回路 2514 は、液晶表示コントローラ 2501 から入力される表示データ、同期信号 2503 を、データドライバ内部の表示データ、タイミング制御信号に合わせて制御し、タイミング信号群 2515、表示データ 2516 として、ラッチアドレス制御回路 2521、ラッチ回路 2523 に出力している。なお、該信号 2503 は、表示データ 2601 と、制御信号 2602 とからなるものである (図 49 参照)。

#### 【0330】

ラッチアドレス制御回路 2521 は、表示データ 2516 に同期したラッチ信号 2522 を、上述のタイミング信号群 2515 から生成する。

#### 【0331】

40

各ラッチ回路 2523 はそれぞれ、ラッチ信号 2522 に従って、表示データ 2516 を 240 画素分、3 画素ずつ 80 回に分けて順次ラッチする。つまり、ラッチ回路 2523 では、まず表示データ 2516 の最初の 3 画素分を、ラッチ回路 2603 - 1、2603 - 2、2603 - 3 が、それぞれ 6 ビットずつラッチする。続いて、次の 3 画素の表示データ 2516 に対応したラッチ回路 2603 - 4、2603 - 5、2603 - 6 が、それぞれ 6 ビットずつラッチする。ラッチ回路 2603 - 7 ~ 2603 - 240 も同様に、三個ずつが順次表示データをラッチしてゆくことで、合計 8 個のデータドライバ 2513 全体では 1 水平ライン分 (1920 画素分) の表示データをラッチする。各ラッチ回路 2523 は、このようにしてラッチした表示データを表示データ 2524 として出力する。

#### 【0332】

50

ラッチ回路 2525 は、この表示データ 2524 をライン表示同期信号 2517 で 1 ライン分同時にラッチする。そして、ラッチした表示データを、表示データ 2526 として、レベルシフト回路 2527 に転送する。なお、ライン表示同期信号 2517 は、走査回路 2505 から出力されるゲート駆動信号 2506 に同期したものである。

【0333】

レベルシフト回路 2527 のレベルシフト回路 2605 は、各出力 6 ビットの表示データ 2526 の電圧レベルを、液晶駆動電圧レベルにまでレベルシフトし、表示データ 2528 として液晶駆動回路 2529 に転送する。

【0334】

電圧生成回路 2518 は、直流の 9 レベルの基準電圧 2509 と、反転基準電圧 2508 と、同期信号 2503 の交流化信号とから、交流化のタイミングが互いに反転されている交流の交流化基準電圧 2519 と交流化基準電圧 2520 とを生成し、これらを液晶駆動回路 2529 へ出力している。なお、交流化基準電圧 2519 は、データドライバ 2513 の出力のうちの奇数番目の出力に、一方、交流化基準電圧 2520 は偶数番目の出力に対応している。従って、交流出力のタイミングは、各出力端子毎に反転している。

【0335】

液晶駆動回路 2529 は、交流化基準電圧 2519, 2520 から、64 レベルの階調電圧を生成する。つまり、分圧回路 2708 (図 50 参照) は、選択電圧 2706、2707 の電圧間を 8 分圧し、各選択電圧間に 8 レベルの階調電圧を生成する。選択回路 2710 は、分圧回路 2708 が生成した 8 レベルの階調電圧 2709 のなかから、デコード信号 2703 に応じて 1 レベルを選択する。アンプバッファ回路 2711 は、これをバッファして液晶駆動電圧 2530 (液晶駆動電圧 2511) として出力する。このように、選択電圧 2706、2707 の 8 組の組合せとそれぞれを 8 分圧することで合計 64 レベルの階調電圧を生成することができる。

【0336】

ところで、以上述べたデータドライバの動作と並行して、走査回路 2505 は、表示同期信号 2504 の水平同期信号に同期して、1 ライン毎に順次ゲート駆動信号 2506 を生成している。そして、該ゲート駆動信号 2506 によって、液晶パネル 2512 のゲート線が 1 ラインづつ、順次、選択状態とされている。

【0337】

上述の液晶駆動電圧 2530 は、ゲート駆動信号 2506 に同期して出力されている。従って、液晶駆動電圧 2511 およびゲート選択信号 2506 によって液晶パネル 2512 が駆動され、正極性または負極性の 64 レベルの階調電圧の内、表示データに対応した液晶駆動電圧の表示を行うことができる。このようにすることで、64 レベルの液晶駆動電圧を出力毎に交流のタイミングを反転して出力することができる。

【0338】

表示データの取り込み動作については第 8 の実施例と同様である (図 39 参照)。

【0339】

液晶駆動電圧 2530 の交流化のタイミングを図 53 に示した。液晶駆動電圧 2530 として出力される電圧は、偶数番目の出力と奇数番目の出力とで、その交流化のタイミングがお互いに反転している。また、各出力の電圧レベルは、64 種類の電圧レベルのなかから当該出力に対応する表示データに対応したものとなっている。

【0340】

本実施例では図 54 に示すように、液晶パネルの電圧輝度特性のダイナミックレンジが正極性、負極性を合わせて 5 V 以上あるため、図 48、図 49 のデータドライバ中の点線で囲んだ回路部分は、高耐圧プロセス (耐圧 15 V) である。その他の回路部分は低耐圧プロセス (耐圧 5 V) である。図 40 に示したように、全ての入力信号を、低耐圧プロセスの動作範囲 (ここでは、5 V ~ GND) 内とすることで、液晶駆動回路 2529 等のみを高耐圧プロセスとするだけでよい。これにより、チップ面積を小さくすることができる。つまり、本実施例のデータドライバ 2513 のように出力回路のみに高耐圧プロセスを

10

20

30

40

50

用いることで、低耐圧プロセスのデータドライバに比べて、チップ面積の増加を極力小さくして、低価格化を図ることができる。

【0341】

以上述べた本実施例のデータドライバを用いた液晶ディスプレイでは、図42、図43のごとく、データドライバを液晶パネルの片側に配置した場合でも、列毎反転駆動、ドット毎反転駆動が可能となり、高画質表示を行うことができる。

【0342】

また、本実施例では、データドライバとして240本の出力を備えたデータドライバについて説明したが、その出力数については特に限定されない。例えば、出力を192本、160本備えたデータドライバについても、ラッチアドレス制御回路やラッチ回路を該出力本数に対応した構成にすることで容易に実現できる。

10

【0343】

本実施例では64階調のデータドライバについて述べた。しかし、表示データを1画素あたり6ビットから8ビットにし、ラッチ回路の構成を1出力当たり8ビットとし、階調電圧生成回路の構成を256階調に対応するように変えることで、256階調やその他の階調数のデータドライバに対しても容易に実現することができる。

【0344】

また、プロセスの耐圧についても、本実施例では低耐圧プロセスを5V耐圧、高耐圧プロセスを15V耐圧として説明した。しかし、低耐圧プロセスとして例えば5V耐圧～3V耐圧を、また、高耐圧プロセスとして例えば30V耐圧～10V耐圧のプロセスを用いた場合についても、本実施例と同様な効果を得ることができる。

20

【0345】

また、本実施例の走査回路2505は、第8の実施例と同様のものである。該走査回路2505は、入力信号の入力段にレベルシフト回路を内蔵することで、周辺回路の回路規模の削減を可能である。

【0346】

本実施例では、データドライバ2510に入力する9レベルの液晶基準電圧2509が、直流のレベル電圧である。従って、電源回路2507の回路規模を小さくすることが可能である。

【0347】

30

次に本発明の第10の実施例を図55、図56、図57、図58、図59を用いて説明する。

【0348】

該第10の実施例は、液晶として、図59に示すように液晶パネルの電圧輝度特性のダイナミックレンジが正極性、負極性を合わせて5V以下となるものを用いている。データドライバとしては、9レベルの基準電圧から64階調表示を行うものを用いている。本実施例で用いているデータドライバは、全ての回路部分を低耐圧回路とすることができ、レベルシフト回路が不要となっている。なお、液晶駆動動作自体は、上述の第9の実施例と同様である。

【0349】

40

本実施例の液晶表示装置は、図55に示すとおり、大きく分けて、液晶表示コントローラ3201と、走査回路3205と、電源回路3207と、データドライバ3210と、 $640 \times 3(R, G, B) \times 480$ ドットの液晶パネル3212とから構成されている。

【0350】

液晶コントローラ3201は、システムから入力される表示データ、表示同期信号3202に基づいて、表示データ、表示同期信号3203を生成し、これをデータドライバ3210へ出力している。また、同様に、表示同期信号3204を生成し、これを走査回路3205へ出力している。

【0351】

電源回路3207は、基準電圧3209、反転基準電圧3208を生成し、データドラ

50

イバ3210へ出力している。なお、直流の9レベルの基準電圧3209は、階調電圧生成に用いられるものである。また、反転基準電圧32208は、階調電圧を交流化のために反転する際の基準となる電圧である。

【0352】

データドライバ3210は、基準電圧3209および反転基準電圧3210を用いて、表示データ、表示同期信号3203に対応した液晶駆動電圧3211を生成し、これを液晶パネル3212へ出力する。

【0353】

一方、これと並行して、走査回路3205は、表示同期信号3204に従って、ゲート駆動信号3206を生成し、これを液晶パネル3212へ出力する。これにより液晶パネル3212のゲート線は、順次選択状態とされてゆく(走査)。その結果、液晶パネル3212の各画素には、表示データに対応した液晶駆動電圧3211が印加され、画像が表示されることとなる。

【0354】

以下、各部ごとにその構成および動作を詳細に説明する。

【0355】

先ずデータドライバ3210について説明する。

【0356】

データドライバ3210は、液晶パネル3212の上側に配置されたそれぞれが240出力のデータドライバ3213を8個備えて構成されている。該データドライバ3213は、図56に示すとおり、タイミング制御回路3214と、電圧生成回路3218と、ラッチアドレス制御回路3221と、ラッチ回路3223と、ラッチ回路3225と、液晶駆動回路3227とを含んで構成されている。

【0357】

タイミング制御回路3214は、液晶表示コントローラ3201から入力される表示データ、表示同期信号3203(これは表示データ3301および交流化信号3302からなる)のタイミング制御を行って、タイミング信号群3215、ライン表示同期信号3217、表示データ3216として、ラッチアドレス制御回路3221等へ出力する構成となっている。なお、ライン表示同期信号3217は、走査回路3205から出力されるゲート選択信号3206に同期している。表示データ3216は、各画素6ビットずつの3画素分(合計18ビット)で構成されている。

【0358】

ラッチアドレス制御回路3221は、タイミング信号3215に基づいて、ラッチ信号3222を生成するものである。

【0359】

ラッチ回路3223は、表示データ3216を240画素分、順次ラッチするものである。該ラッチ回路3223は、ラッチ信号3222で表示データ3216をラッチする、それぞれ1出力当たり6ビットのラッチ回路3303を、240個備えている。該ラッチ回路3223は、ラッチした表示データを表示データ3224としてラッチ回路3225へ出力する構成となっている。

【0360】

各ラッチ回路3225は、表示データ3224をライン表示同期信号3217で同時にラッチするものである。該ラッチ回路3225は、ライン表示同期信号3217で同時にラッチするそれぞれ6ビットのラッチ回路3304を240個備えている。ラッチ回路3225は、ラッチした表示データを表示データ3226として液晶駆動回路3227へ出力する構成となっている。

【0361】

電圧生成回路3218は、電源回路3207(図55参照)から入力される反転基準電圧3208および9レベルの液晶駆動電圧の基準電圧3209から、基準電圧3219, 3220を生成するものである。なお、基準電圧3219, 3220は、ともに交流化さ

10

20

30

40

50

れた9レベルの電圧である。但し、両基準電圧3219, 3220は、互いに交流化のタイミングが異なっている。基準電圧3219は、奇数番目の出力に対応した液晶駆動回路3305に入力されている。一方、基準電圧3220は、偶数番目の出力に対応した液晶駆動回路3305に入力されている。従って、交流出力のタイミングは、各出力端子ごとに反転している。なお、本実施例の電圧生成回路3218は、基本的には、第9の実施例の電圧生成回路2518と同様な構成(図51参照)である。但し、本実施例10においては、電圧生成回路3218の全ての回路部分の電圧レベルを、低耐圧電圧レベルとしている。

#### 【0362】

液晶駆動回路3227は、基準電圧3219, 3220を基に、表示データ3226に対応した液晶駆動電圧3228を生成するものである。該液晶駆動回路3227は、生成した液晶駆動電圧3228を、液晶駆動電圧3211として液晶パネル3212へ出力している。本実施例の液晶駆動回路3227は、第9の実施例の液晶駆動回路2606(図50参照)と同様な構成を有する液晶駆動回路3305を備えて構成されている。なお、液晶駆動電圧3228は、基準電圧3219, 3220の交流化のタイミングに対応して、出力毎に交流のタイミングが反転している。

#### 【0363】

次に、データドライバ3210の動作を説明する。

#### 【0364】

本実施例におけるデータドライバ3210が、表示データを取り込む動作は、第8、第9の実施例と同様である(図39参照)。

#### 【0365】

データドライバ3210には、液晶表示コントローラ3201から、3画素、階調6ビットの合計18ビット構成の表示データ、表示同期信号3203が入力される。

#### 【0366】

データドライバ3210のタイミング制御回路3214は、表示データ、表示同期信号3203のタイミングから、データドライバ内部で用いられる表示データ3216、タイミング制御信号3215、ライン表示同期信号3217を生成する。

#### 【0367】

すると、ラッチ回路3223は、表示データ3216に同期したラッチ信号3222で、該表示データ3216を1つのデータドライバ当たり240画素分、順次ラッチする。該各ラッチ回路3223は、該ラッチを3画素分づつ、80回に分けて行なう。つまり、まず最初の3画素に対応した6ビットラッチ回路3303-1、3303-2、3303-3が、表示データ3216をラッチする。続いて、次の3画素に対応した6ビットラッチ回路3303-4、3303-5、3303-6が、これに続く表示データ3216をラッチする。これ以降も同様に、順次表示データを、3画素分(18ビット)づつラッチしてゆく。最後に6ビットラッチ回路3303-238、3303-239、3303-240が表示データ3216をラッチする。以上のラッチ動作を全てのラッチ回路3223が行うことで、データドライバ3210全体としては(データドライバ3213-1~3213-8)、1水平ライン分の表示データをラッチすることができる。

#### 【0368】

全て(合計8個)のラッチ回路3223は、ラッチした表示データを、表示データ3224としてラッチ回路3225に出力する。

#### 【0369】

ラッチ回路3225の各ラッチ回路3304は、ライン表示同期信号3217で、表示データ3224を同時にラッチする。従って、合計8個のデータドライバ3213によって、合計1920画素、1ライン分の表示データが同時にラッチされる。ラッチ回路3225は、ラッチした表示データを表示データ3226として、液晶駆動回路3227に出力する。

#### 【0370】

10

20

30

40

50

電圧生成回路 3218 は、電源回路 3207 から入力されている基準電圧 3209 および反転基準電圧 3208 と、液晶表示コントローラ 3201 から入力されている表示同期信号 3203 中の交流化信号 3302 とから、交流の基準電圧 3219、3220 を生成する。該基準電圧 3219 と基準電圧 3220 とは、共に交流化されているが、その交流化のタイミングが互いに反転している。この交流化のタイミングを図 57 に示した。交流化信号 (M) 3302 がハイレベルとなっている時には、基準電圧 3219 (V1RV0 ~ V1RV8) としては、それぞれ VLEV0INV ~ VLEV8INV が出力される。また、基準電圧 3220 (V2RV0 ~ V2RV8) としては、それぞれ VLEV0 ~ VLEV8 が出力される。一方、交流化信号 (M) 3302 がロウレベルとなっている時には、交流化基準電圧 3219 (V1RV0 ~ V1RV8) としては、それぞれ VLEV0 ~ VLEV8 が出力される。基準電圧 3220 (V2RV0 ~ V2RV8) としては、それぞれ VLEV0INV ~ VLEV8INV が出力される。そして、これらの電圧レベルは、5V ~ 0V の範囲内にある。

10

#### 【0371】

再び図 56 に戻り、電圧生成回路 3218 は、生成した基準電圧 3219、3220 を、液晶駆動回路 3227 に出力する。

#### 【0372】

液晶駆動回路 3227 の液晶駆動回路 3305 は、それぞれ 9 レベルの基準電圧 3219、3220 から、64 レベルの階調電圧を生成する。そして、表示データ 3226 に対応したレベルの階調電圧を、各出力毎に、1 つ選択して、内部に有するバッファアンプ回路でバッファした後、液晶駆動電圧 3228 として出力する。液晶駆動電圧 3228 の出力レベルは、基準電圧 3209 と同様に 5V ~ 0V の範囲である。液晶駆動電圧 3228 のタイミングを図 58 に示した。交流化信号 3302 に対応して、液晶駆動電圧 3228 の交流化のタイミングは反転している。また、液晶駆動電圧 3228 のうち、偶数番目の画素に対応する出力と、奇数番目の画素に対応する出力とでは、交流のタイミングがお互いに反転している。

20

#### 【0373】

一方、既に述べたとおり、走査回路 3205 は、表示同期信号 3204 の水平同期信号に同期して 1 ライン毎に順次ゲート駆動信号 3206 を生成し、これを液晶パネル 3212 に出力することで、ゲート線を 1 ラインずつ順次選択している。

30

#### 【0374】

このように動作することで、ゲート選択信号 3206 に同期して出力される液晶駆動電圧 3211 によって液晶パネル 3212 が駆動され、正極性または負極性の 64 レベルの階調電圧の内、表示データに対応した液晶駆動電圧の表示を行うことができる。

#### 【0375】

以上でデータドライバ 3210 の動作説明を終わる。

#### 【0376】

本実施例では図 59 に示すように、液晶パネルの電圧輝度特性のダイナミックレンジが正極性、負極性を合わせて 5V 以下であるため、データドライバ 3210 の回路を、全て低耐圧プロセス (耐圧 5V) で構成することができる。従って、本実施例のデータドライバ 3210 は、小チップ化が可能であり、低価格化を図ることができる。

40

#### 【0377】

本実施例のデータドライバ 3210 を用いた場合、図 42、図 43 に示すようにデータドライバを液晶パネルの片側に配置した場合でも、列毎反転駆動、ドット毎反転駆動が可能となり、高画質表示を行うことができる。

#### 【0378】

本実施例のデータドライバ 3210 は、出力を 240 本備えたものであった。しかし、その出力の本数はこれに限定されるものではない。ラッチアドレス制御回路やラッチ回路を出力数に対応した構成にすることで、例えば、出力が 192 本、160 本のデータドライバも容易に実現できる。

50

## 【 0 3 7 9 】

本実施例では表示データを1画素当たり8ビットで構成するとともに、これに対応して64階調の表示を可能なデータドライバについてのみ述べた。しかし、表示データを1画素あたり8ビットで構成し、また、ラッチ回路を1出力当たり8ビットの構成とし、さらに、階調電圧生成回路の構成を256階調に対応させることで、256階調のデータドライバを使用した場合でも本発明を適用できる。他の階調数(例えば、256)のデータドライバを使用した場合でも容易に適用できる。

## 【 0 3 8 0 】

本実施例10の走査回路320は、第8の実施例と同様のものである。つまり、入力信号の入力段にレベルシフト回路を内蔵することで、周辺回路の回路規模の削減を可能としたものである。

10

## 【 0 3 8 1 】

本実施例の電源回路3207が発生する必要のある電圧(例えば、データドライバ3210に inputs する基準電圧3208, 3209は、直流のレベル電圧である。従って、電源回路3207の回路規模を小さくすることが可能である。

## 【 0 3 8 2 】

本実施例とは異なり、高耐圧プロセスとして例えば5V耐圧のプロセスを、また、低耐圧プロセスとして例えば、5V耐圧~3V耐圧のプロセスを用いた場合でも、本実施例と同様な効果を得ることができる。

## 【 図面の簡単な説明 】

20

## 【 0 3 8 3 】

【 図 1 】 本発明の第1の実施例の液晶表示装置の構成図である。

【 図 2 】 本発明の第1の実施例の液晶駆動回路のブロック図である。

【 図 3 】 本発明の第1の実施例の電圧生成回路の構成図である。

【 図 4 】 本発明の第1の実施例の液晶基準電圧生成のタイミング図である。

【 図 5 】 本発明の第2の実施例の液晶表示装置の構成図である。

【 図 6 】 本発明の第2の実施例の電圧生成回路の構成図である。

【 図 7 】 本発明の第2の実施例の電圧生成回路の構成図である。

【 図 8 】 本発明の第3の実施例の電圧生成回路の構成図である。

【 図 9 】 本発明の第3の実施例の液晶基準電圧生成のタイミング図である。

30

【 図 10 】 本発明の第4の実施例の液晶表示装置の構成図である。

【 図 11 】 本発明の第5の実施例の液晶表示装置の構成図である。

【 図 12 】 本発明の第5の実施例の液晶駆動回路のブロック図である。

【 図 13 】 本発明の第5の実施例の電圧生成回路の構成図である。

【 図 14 】 本発明の第5の実施例の液晶基準電圧生成のタイミング図である。

【 図 15 】 本発明の第6, 第7の実施例の液晶表示装置の全体構成図である。

【 図 16 】 第6の実施例における液晶駆動回路のブロック図である。

【 図 17 】 第6の実施例における階調電圧生成回路の構成図である。

【 図 18 】 第6の実施例における出力回路の構成図である。

【 図 19 】 第6の実施例における出力バッファ回路の構成図である。

40

【 図 20 】 液晶交流出力電圧のタイミング図である。

【 図 21 】 プロセス電圧を示す図である。

【 図 22 】 列毎反転駆動を示す図である。

【 図 23 】 ドット毎反転駆動を示す図である。

【 図 24 】 ドライバ電圧レベルを示す図である。

【 図 25 】 ドライバ電圧レベルを示す図である。

【 図 26 】 レベルシフト回路の構成図である。

【 図 27 】 レベルシフト回路の構成図である。

【 図 28 】 第7の実施例における液晶駆動回路のブロック図である。

【 図 29 】 第7の実施例における階調電圧生成回路のブロック図である。

50

- 【図 30】第 7 の実施例における出力回路のブロック図である。
- 【図 31】出力波形のタイミングを示す図である。
- 【図 32】他の出力回路のブロック図である。
- 【図 33】本発明の第 8 の実施例の液晶表示装置の構成図である。
- 【図 34】データドライバ 109 の内部構成を示すブロック図である。
- 【図 35】アンプバッファ回路 1105 および階調電圧生成回路 1109 の内部構成を示すブロック図である。
- 【図 36】電圧選択回路 1111 のブロック図である。。
- 【図 37】出力回路 1112 のブロック図である。
- 【図 38】出力バッファ 1405 の回路図である。 10
- 【図 39】表示データ取り込み動作のタイミングチャートである。
- 【図 40】階調電圧の反転出力を示す図である。
- 【図 41】液晶交流出力電圧のタイミング図である。
- 【図 42】列毎反転駆動において、画素部に印加する電圧の極性を示す図である。
- 【図 43】ドット毎反転駆動において、画素部に印加する電圧の極性を示す図である。
- 【図 44】液晶画素部における電流の方向を示す図である。
- 【図 45】走査回路 105 の内部構成を示すブロック図である。
- 【図 46】走査回路 105 の電圧レベルを示す図である。
- 【図 47】レベルシフト 2202 の内部構成を示す回路図である。
- 【図 48】本発明の第 9 の実施例である液晶表示装置の構成図である。 20
- 【図 49】データドライバ 2513 のブロック図である。
- 【図 50】液晶駆動回路 2606 のブロック図である。
- 【図 51】電圧生成回路 2518 のブロック図である。
- 【図 52】基準電圧のタイミング図である。
- 【図 53】液晶交流出力電圧のタイミング図である。
- 【図 54】液晶の電圧輝度特性図である。
- 【図 55】本発明の第 10 の実施例である液晶表示装置の構成図である。
- 【図 56】データドライバ 3213 のブロック図である。
- 【図 57】基準電圧のタイミング図である。
- 【図 58】液晶交流出力電圧のタイミング図である。 30
- 【図 59】液晶の電圧輝度特性図である。
- 【図 60】従来の液晶ドライバの構成図である。
- 【図 61】液晶の電圧、輝度特性を示す図である。
- 【図 62】従来の液晶表示装置の構成図である。
- 【図 63】従来の液晶基準電圧のタイミング図である。
- 【図 64】従来の液晶表示装置の構成図である。
- 【図 65】従来の液晶基準電圧のタイミング図である。
- 【図 66】共通電極交流駆動の液晶出力電圧のタイミング図である。
- 【図 67】従来の液晶表示装置の構成図である。
- 【図 68】従来の走査回路のブロック図である。 40
- 【図 69】液晶の電圧、輝度特性を示す図である。
- 【図 70】LSI のプロセス電圧を示す図である。
- 【図 71】従来の液晶基準電圧の変動の様子を示すタイミング図である。
- 【図 72】従来の液晶表示装置の構成図である。
- 【図 73】従来の液晶表示装置の構成図である。
- 【図 74】対向電極交流駆動における液晶基準電圧の変動の様子を示すタイミング図である。
- 【図 75】液晶画素部における電流の方向を示す図である。
- 【符号の説明】
- 【0384】 50

## [ 第 1 ~ 第 5 の実施例 ]

1 0 1 ... 表示データ、1 0 2 ... 制御信号群、1 0 3 ... 交流化信号、1 0 4 ... 電源回路、  
1 0 5 ... 基準電圧、1 0 6 ... 基準電圧、1 0 7 - 1 ~ 1 0 7 - 1 0 ... 液晶ドライバ、1 0  
8 ... タイミング制御回路、1 0 9 ... 制御信号、1 1 0 ... 表示データ、1 1 1 ... タイミング  
信号、1 1 2 ... ラッチアドレス制御回路、1 1 3 ... ラッチ信号、1 1 4 ... ラッチ回路、1  
1 5 ... 表示データ、1 1 6 ... ラッチ回路、1 1 7 ... 表示データ、1 1 8 ... 電圧生成回路、  
1 1 9 ... 交流化基準電圧、1 2 0 ... 交流化基準電圧、1 2 1 ... 液晶駆動回路、1 2 2 ... 液  
晶駆動信号、1 2 3 ... 走査回路、1 2 4 ... ゲート選択信号、1 2 5 ... 液晶パネル

8 0 1 - 1 ~ 8 0 1 - 1 9 2 ... 液晶駆動回路

9 0 1 - 0 ~ 9 0 1 - 8 ... アンプバッファ回路、9 0 2 - 0 ~ 9 0 2 - 8 ... 差動増幅回 10  
路、9 0 3 - 0 ~ 9 0 3 - 8 ... 選択回路、9 0 4 - 0 ~ 9 0 4 - 8 ... 選択回路

1 1 0 1 ... 制御回路、1 1 0 2 - 1 ~ 1 1 0 2 - 1 0 ... 液晶ドライバ、1 1 0 3 ... 電圧  
生成回路

1 2 0 1 ... 切り換え回路

1 4 0 1 - 0 ~ 1 4 0 1 - 8 ... アンプバッファ回路、1 4 0 2 - 0 ~ 1 4 0 2 - 8 ... レ  
ベルシフト回路、1 4 0 3 - 0 ~ 1 4 0 3 - 8 ... 選択回路、1 4 0 4 - 0 ~ 1 4 0 4 - 8  
... 選択回路

1 6 0 1 ... 電源回路、1 6 0 2 ... 基準電圧、1 6 0 3 ... 基準電圧、1 6 0 4 - 1 ~ 1 6  
0 4 - 1 0 ... 液晶ドライバ、1 6 0 5 ... 選択回路、1 6 0 6 ... 選択回路

1 7 0 1 ... 表示データ、1 7 0 2 ... 制御信号群、1 7 0 3 ... 交流化信号、1 7 0 4 ... 電 20  
源回路、1 7 0 5 ... 基準電圧、1 7 0 6 ... 基準電圧、1 7 0 7 - 1 ~ 1 7 0 7 - 1 0 ... 液  
晶ドライバ、1 7 0 8 ... タイミング制御回路、1 7 0 9 ... 制御信号、1 7 1 0 ... 表示デ  
ータ、1 7 1 1 ... タイミング信号、1 7 1 2 ... ラッチアドレス制御回路、1 7 1 3 ... ラッチ  
信号、1 7 1 4 ... ラッチ回路、1 7 1 5 ... 表示データ、1 7 1 6 ... ラッチ回路、1 7 1 7  
... 表示データ、1 7 1 8 ... 電圧生成回路、1 7 1 9 ... 交流化基準電圧、1 7 2 0 ... 交流化  
基準電圧、1 7 2 1 ... 液晶駆動回路、1 7 2 2 ... 液晶駆動信号

1 8 0 1 - 1 ~ 1 8 0 1 - 1 9 2 ... 液晶駆動回路、1 7 1 7 - 1 M ~ 1 7 1 7 - 1 9 2  
M ... 交流化信号、1 7 1 7 - 1 D ~ 1 7 1 7 - 1 9 2 D ... 表示データ

1 9 0 1 - 0 ~ 1 9 0 1 - 8 ... アンプバッファ回路、1 9 0 2 - 0 ~ 1 9 0 2 - 8 ... 差  
動増幅回路 30

## [ 第 6、第 7 の実施例 ]

1 0 1 ... 表示データ、1 0 2 ... 制御信号群、1 0 3 ... 電源回路、1 0 4 ... 基準電圧、1  
0 5 ... 反転基準電圧、1 0 6 ... 交流化信号、1 0 7 ... 選択信号、1 0 8 ... 制御信号、1 0  
9 - 1 ~ 1 0 9 - 8 ... データドライバ、1 1 0 ... タイミング制御回路、1 1 1 ... タイミン  
グ信号群、1 1 2 ... 表示データ、1 1 3 ... 表示タイミング信号、1 1 4 ... バッファ回路、  
1 1 5 ... 基準電圧、1 1 6 ... E O R 回路、1 1 7 ... 交流化信号、1 1 8 ... レベルシフト回  
路、1 1 9 ... 反転基準電圧、1 2 0 ... 交流化信号、1 2 1 ... 交流化信号、1 2 2 ... 制御信  
号、1 2 3 ... ラッチアドレス制御回路、1 2 4 ... ラッチ信号、1 2 5 ... ラッチ回路、1 2  
6 ... 表示データ、1 2 7 ... ラッチ回路、1 2 8 ... 表示データ、1 2 9 ... 階調電圧生成回路  
、1 3 0 ... 階調電圧、1 3 1 ... 出力回路、1 3 2 ... 液晶駆動電圧、1 3 3 ... 走査回路、1 40  
3 4 ... ゲート選択信号、1 3 5 ... 液晶パネル、2 0 1 ... 液晶ドライバ、2 0 2 ... 表示デ  
ータ、2 0 3 ... 制御信号群、2 0 4 ... タイミング制御回路、2 0 5 ... 制御信号、2 0 6 ... 表  
示データ、2 0 7 ... タイミング信号、2 0 8 ... ラッチアドレス制御回路、2 0 9 ... ラッチ  
信号、2 1 0 ... ラッチ回路、2 1 1 ... 表示データ、2 1 2 ... ラッチ回路、2 1 3 ... 表示デ  
ータ、2 1 4 ... レベルシフタ、2 1 5 ... 表示データ、2 1 6 ... 基準電圧、2 1 7 ... 液晶駆  
動回路、2 1 8 ... 液晶駆動信号、4 0 1 ... 電源回路、4 0 2 ... 交流化信号、4 0 3 ... 基準  
電圧、4 0 4 ... 基準電圧、4 0 5 ... 走査ドライバ、4 0 6 ... ゲート選択信号、4 0 7 ... 液  
晶ドライバ、4 0 8 ... データ信号線、4 0 9 ... 液晶ドライバ、4 1 0 ... データ信号線、4  
1 1 ... 液晶パネル、6 0 1 ... 電源回路、6 0 2 ... 交流化信号、6 0 3 ... 基準電圧、6 0 4  
... 走査ドライバ、6 0 5 ... ゲート選択信号、6 0 6 ... 液晶ドライバ、6 0 7 ... データ信号 50

線、608...液晶パネル、901-1~901-240...ラッチ回路、902-1~902-240...ラッチ回路、903...階調電圧生成回路、904...階調電圧、905-1~905-240...選択回路、906-1~906-240...出力回路、1101...反転増幅回路、1102...反転電圧、1103...選択回路、1104...出力電圧、1105...出力バッファ回路、1201...差動増幅回路、1202...電流増幅回路、1203...電流増幅回路、1204...選択回路、1901...レベルシフト回路、1902...入力信号、1903...反転基準電圧、1904...出力信号、2001...レベルシフト回路、2002...入力信号、2003...出力信号、2004...インバータ回路、2005...インバータ回路、2101-1~2101-240...階調電圧生成回路、2102-1~2102-240...出力回路、2201...デコード回路、2202...デコード信号、2203...デコード信号、2204...選択回路、2205...選択回路、2206...選択電圧、2207...選択電圧、2208...分圧回路、2209...階調電圧、2210...選択回路、2301...非反転増幅回路、2302...反転増幅回路、2303...正転電圧、2304...反転電圧、2305...選択回路。

10

[ 第8~第10の実施例 ]

・図33

101...液晶表示コントローラ、102...表示データと同期信号、103...制御信号群、104...表示同期信号、105...走査回路、106...ゲート駆動信号、107...電源回路、108...基準電圧、109...データドライバ、110...液晶駆動電圧、111...液晶パネル、112-1~112-8...データドライバ、113...タイミング制御回路、114...タイミング信号群、115...表示データ、116...ライン表示同期信号、117...入力バッファ回路、118...基準電圧、119...基準電圧、120...交流信号、121...交流化信号、122...制御信号、123...ラッチアドレス制御回路、124...ラッチ信号、125...ラッチ回路、126...表示データ、127...ラッチ回路、128...表示データ、129...階調電圧生成回路、130...階調電圧、131...出力回路、132...液晶駆動電圧

20

・図34

1101...表示データ、1102...制御信号、1103...基準電圧、1104...基準電圧、1105...バッファ回路、1106...レベルシフト回路、1107-1~1107-240...ラッチ回路、1108-1~1108-240...ラッチ回路、1109...階調電圧生成回路、1110...基準電圧、1111-1~1111-240...電圧選択回路、1112-1~1112-240...出力回路

30

・図37

1401...差動増幅回路、1402...反転出力電圧、1403...選択回路、1404...電圧信号、1405...、バッファアンプ回路

・図38

1501...差動増幅回路、1502...電流増幅回路、1503...電流増幅回路、1504...選択回路

・図45

2201...電源電圧、2202...シレベルシフト回路、2203...シフト出力信号、2204...シフトレジスタ、2205...シフト出力信号、2206...駆動回路、2207...高耐圧回路

40

・図47

2401...レベルシフト回路、2402...入力信号、2403...出力信号、2404...インバータ、2405...インバータ

・図48

2501...液晶表示コントローラ、2502...表示データと同期信号、2503...制御信号群、2504...表示同期信号、2505...走査回路、2506...ゲート駆動信号、2507...電源回路、2508...基準電圧、2509...基準電圧、2510...データドライバ、2511...液晶駆動電圧、2512...液晶パネル、2513-1~2513-8...デ

50

ータドライバ、2514...タイミング制御回路、2515...タイミング信号群、2516...表示データ、2517...ライン表示同期信号、2518...電圧生成回路、2519...交流化基準電圧、2520...交流化基準電圧、2521...ラッチアドレス制御回路、2522...ラッチ信号、2523...ラッチ回路、2524...表示データ、2525...ラッチ回路、2526...表示データ、2527...レベルシフト回路、2528...表示データ、2529...出力回路、2530...液晶駆動電圧

・図49

2601...表示データ、2602...制御信号、2603-1~2603-240...ラッチ回路、2604-1~2604-240...ラッチ回路、2605-1~2605-240...レベルシフト回路、2606-1~2606-240...出力回路

10

・図50

2701...デコーダ、2702...デコード出力、2703...デコード出力、2704...選択回路、2705...選択回路、2706...選択信号、2707...選択信号、2708...分圧回路、2709...階調電圧、2710...選択回路、2711...アンプバッファ回路

・図51

2801-0~2801-8...アンプバッファ回路、2802-0~2802-8...反転増幅回路、2803-0~2803-8...選択回路、2804-0~2804-8...選択回路

・図55

3201...液晶表示コントローラ、3202...表示データと同期信号、3203...制御信号群、3204...表示同期信号、3205...走査回路、3206...ゲート駆動信号、3207...電源回路、3208...基準電圧、3209...基準電圧、3210...データドライバ、3211...液晶駆動電圧、3212...液晶パネル、3213-1~3213-8...データドライバ、2514...タイミング制御回路、2515...タイミング信号群、2516...表示データ、3217...ライン表示同期信号、3218...電圧生成回路、3219...基準電圧、3220...基準電圧、3221...ラッチアドレス制御回路、3222...ラッチ信号、3223...ラッチ回路、3224...表示データ、3225...ラッチ回路、3226...表示データ、2527...出力回路、3228...液晶駆動電圧

20

・図56

3301...表示データ、3302...制御信号、3303-1~3303-240...ラッチ回路、3304-1~3304-240...ラッチ回路、3305-1~3305-240...出力回路

30

[従来技術]

・図60~図66

201...液晶ドライバ、202...表示データ、203...制御信号群、204...タイミング制御回路、205...制御信号、206...表示データ、207...タイミング信号、208...ラッチアドレス制御回路、209...ラッチ信号、210...ラッチ回路、211...表示データ、212...ラッチ回路、213...表示データ、214...レベルシフタ、215...表示データ、216...基準電圧、217...液晶駆動回路、218...液晶駆動信号

401...電源回路、402...交流化信号、403...基準電圧、404...基準電圧、405...走査ドライバ、406...ゲート選択信号、407...液晶ドライバ、408...データ信号線、409...液晶ドライバ、410...データ信号線、411...液晶パネル

40

601...電源回路、602...交流化信号、603...基準電圧、604...走査ドライバ、605...ゲート選択信号、606...液晶ドライバ、607...データ信号線、608...液晶パネル

・図67

201...液晶表示コントローラ、202...表示データと同期信号、203...制御信号群、204...制御信号群、205...表示同期信号、206...走査回路、207...ゲート駆動信号、208...表示同期信号、209...電源回路、210...基準電圧、211...基準電圧、212...データドライバ、214...液晶駆動電圧、216...液晶パネル、217-1~

50

2 1 7 - 8 ... データドライバ、2 1 8 ... タイミング制御回路、2 1 9 ... タイミング信号群、2 2 0 ... 表示データ、2 2 1 ... 表示同期信号、2 2 2 ... ラッチアドレス制御回路、2 2 3 ... ラッチ信号、2 2 4 ... ラッチ回路、2 2 5 ... 表示データ、2 2 6 ... ラッチ回路、2 2 7 ... 表示データ、2 2 8 ... レベルシフト回路、2 2 9 ... 表示データ、2 3 0 ... 出力回路、2 3 1 ... 液晶駆動電圧

・図 6 8

3 0 1 ... 電源電圧、3 0 2 ... シフトレジスタ、3 0 3 ... シフト出力信号、3 0 4 ... レベルシフト回路、3 0 5 ... シフト出力信号、3 0 6 ... 駆動回路、3 0 7 ... 高耐圧回路

・図 7 2

7 0 1 ... 液晶表示コントローラ、7 0 2 ... 表示データと同期信号、7 0 3 ... 制御信号群、7 0 4 ... 表示同期信号、7 0 5 ... 表示同期信号、7 0 6 ... 電源回路、7 0 7 ... 基準電圧、7 0 8 ... データドライバ、7 0 9 ... 液晶駆動電圧、7 1 0 ... 液晶パネル

10

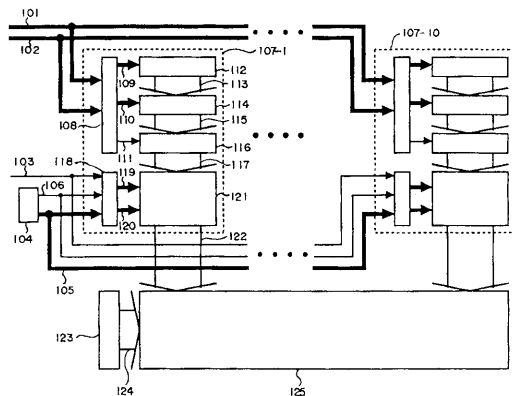
・図 7 3

8 0 1 ... 液晶表示コントローラ、8 0 2 ... 表示データと同期信号、8 0 3 ... 制御信号群、8 0 4 ... 表示同期信号、8 0 5 ... レベルシフト回路、8 0 6 ... 表示同期信号、8 0 7 ... 走査回路、8 0 8 ... ゲート駆動信号、8 0 9 ... 表示同期信号、8 1 0 ... 電源回路、8 1 1 ... 基準電圧、8 1 2 ... 基準電圧、8 1 3 ... データドライバ、8 1 4 ... 液晶駆動電圧、8 1 5 ... 液晶パネル、8 1 6 - 1 ~ 8 1 6 - 8 ... データドライバ、8 1 7 ... タイミング制御回路、8 1 8 ... タイミング信号群、8 1 9 ... 表示データ、8 2 0 ... 表示同期信号、8 2 1 ... ラッチアドレス制御回路、8 2 2 ... ラッチ信号、8 2 3 ... ラッチ回路、8 2 4 ... 表示データ、8 2 5 ... ラッチ回路、8 2 6 ... 表示データ、8 2 7 ... 出力回路、8 2 8 ... 液晶駆動電圧

20

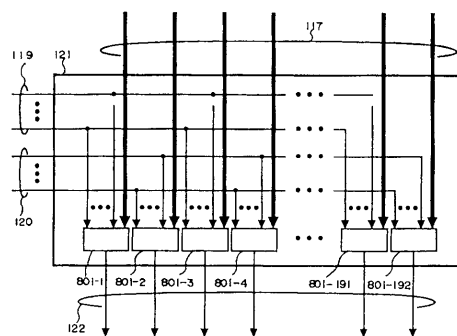
【図 1】

図1

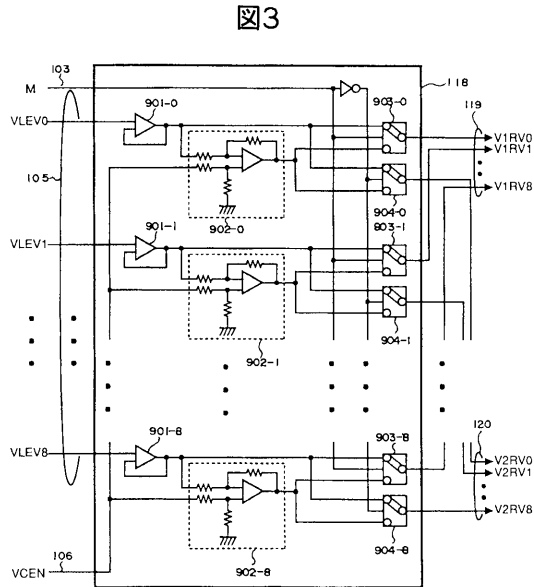


【図 2】

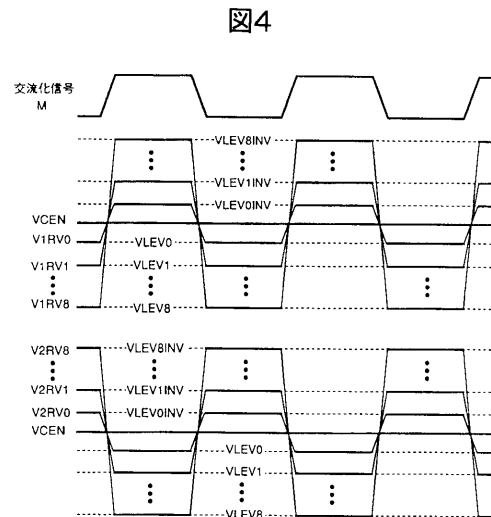
図2



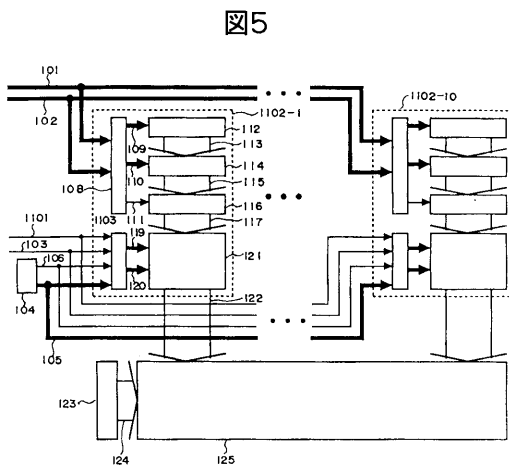
【 図 3 】



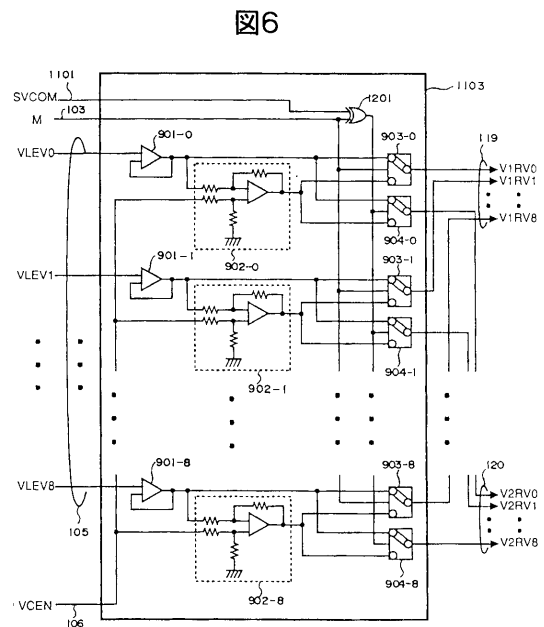
【 図 4 】



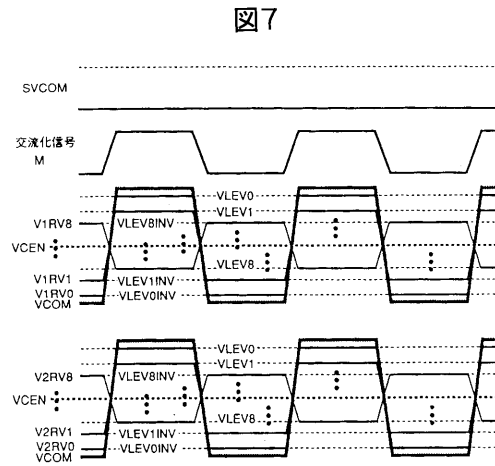
【 図 5 】



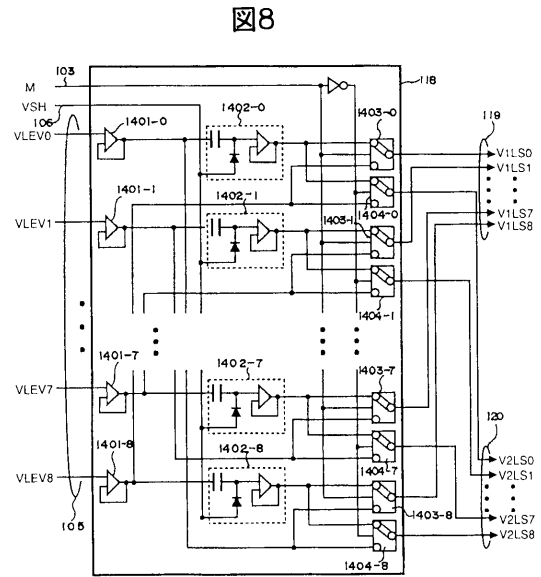
【 図 6 】



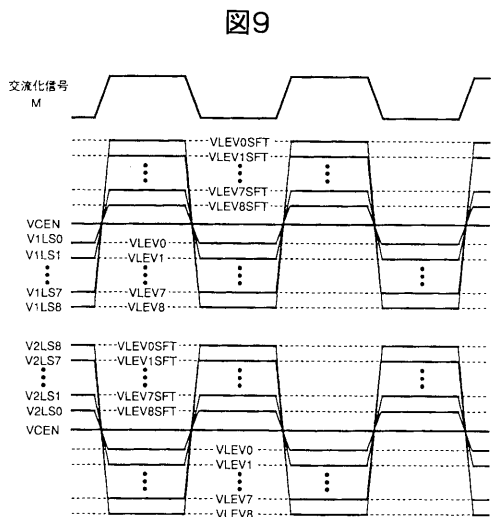
【図 7】



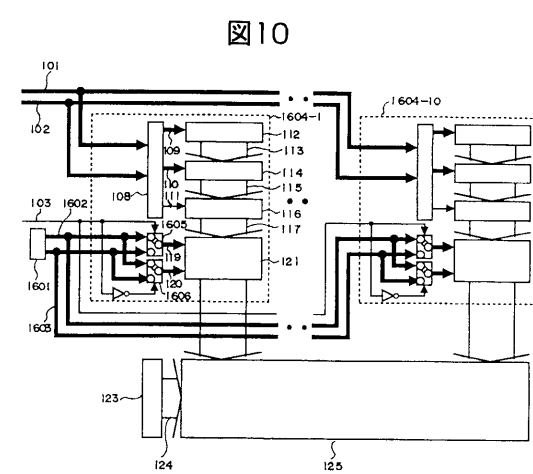
【図 8】



【図 9】

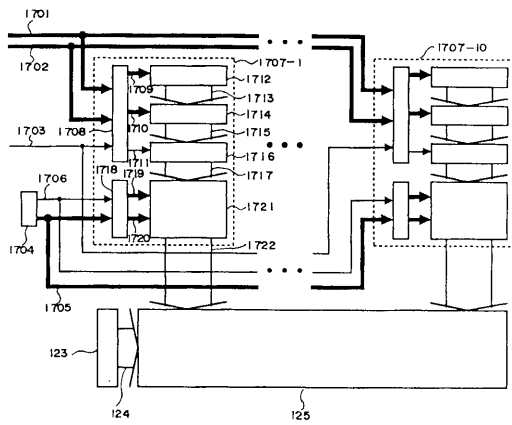


【図 10】



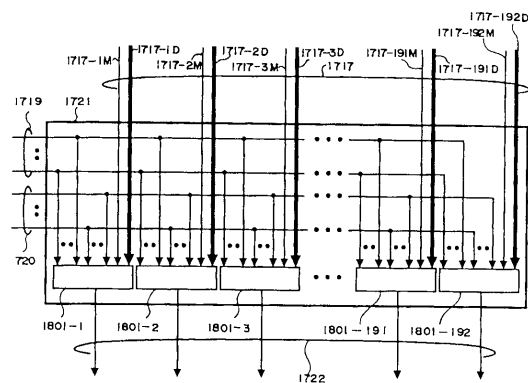
【図 1 1】

図 11



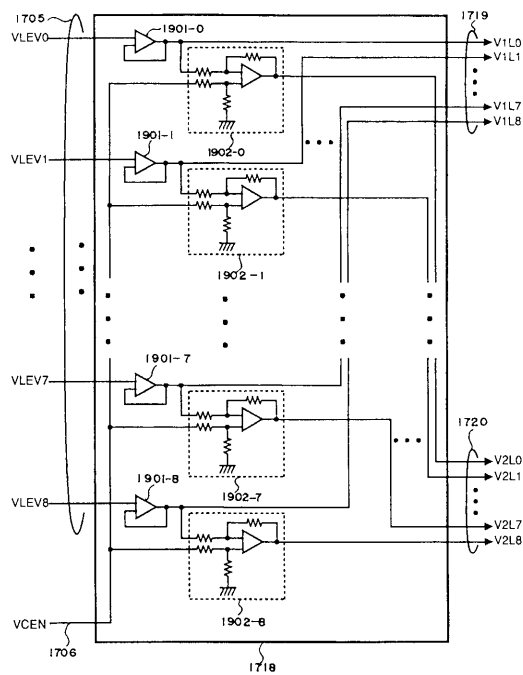
【図 1 2】

図 12



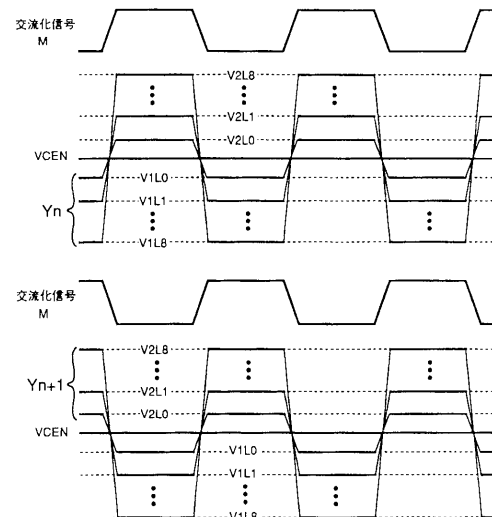
【図 1 3】

図 13



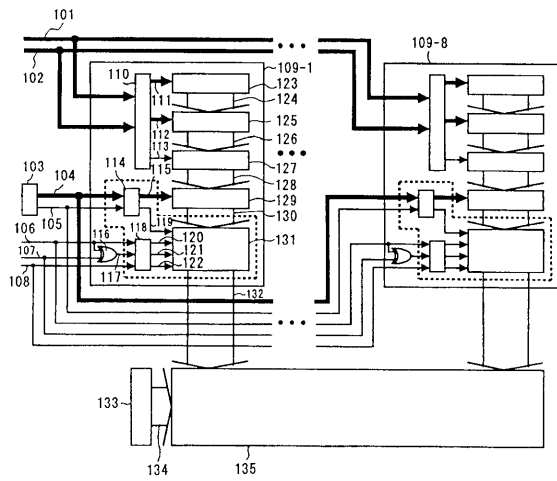
【図 1 4】

図 14



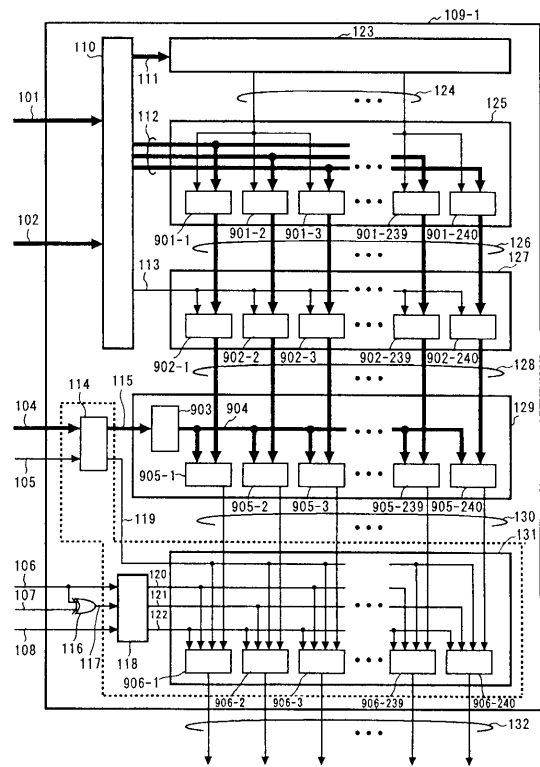
【図 15】

図15



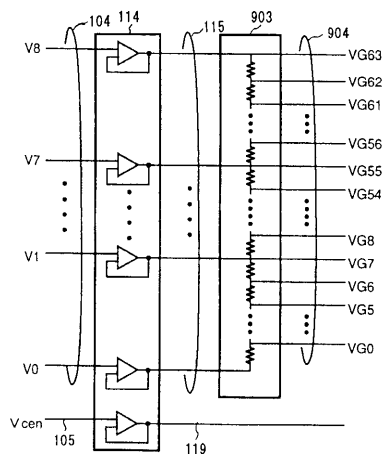
【図 16】

図16



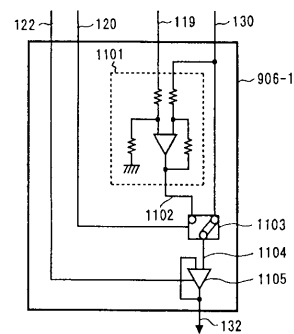
【図 17】

図17

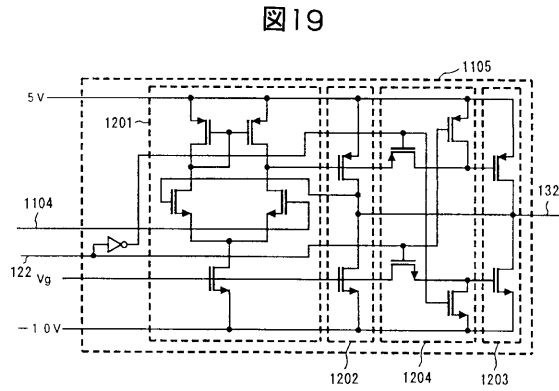


【図 18】

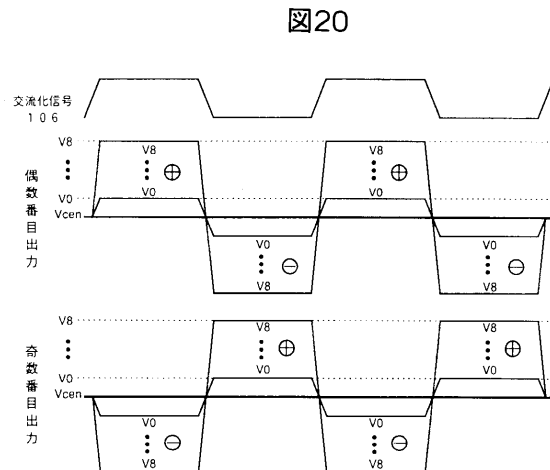
図18



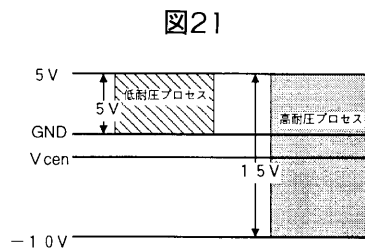
【図 19】



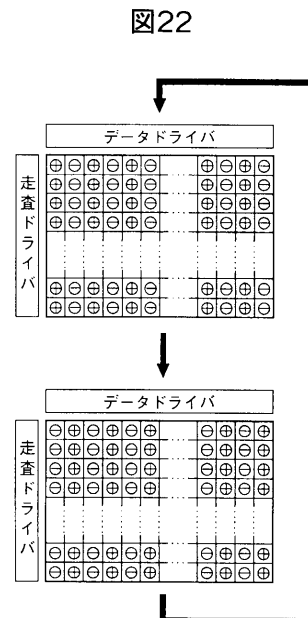
【図 20】



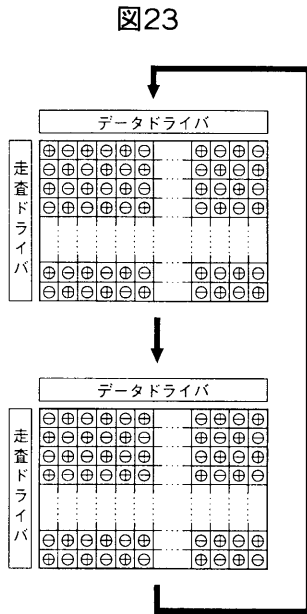
【図 21】



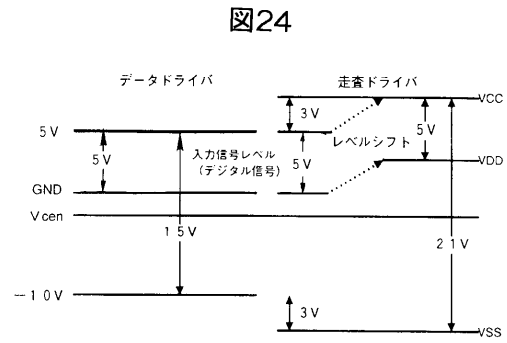
【図 22】



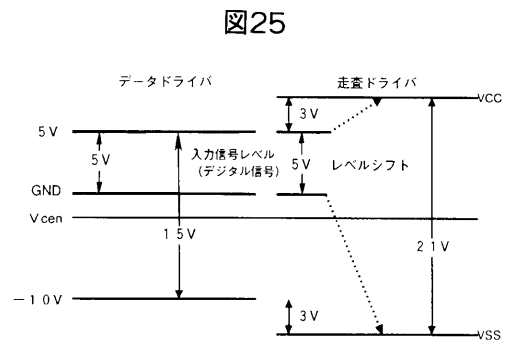
【 図 2 3 】



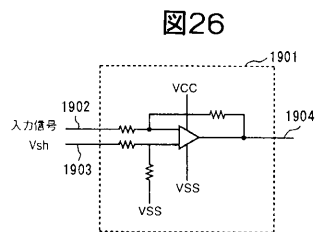
【 図 2 4 】



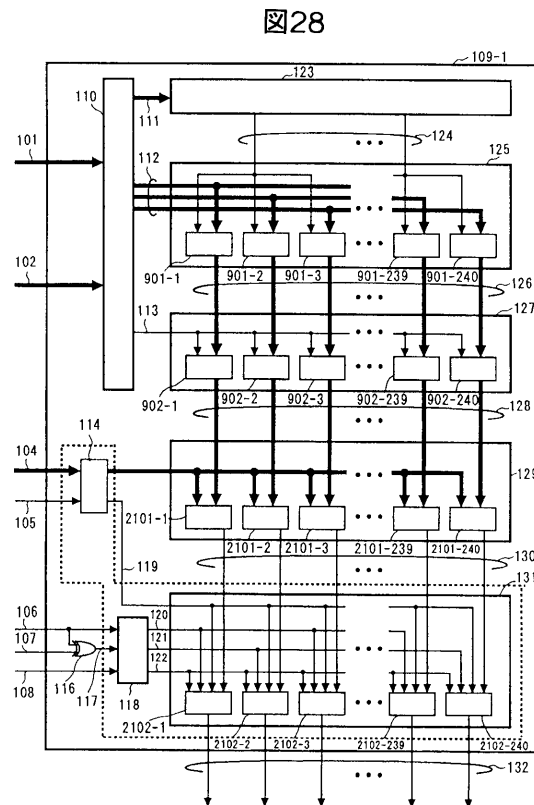
【 ㄨ 2 5 】



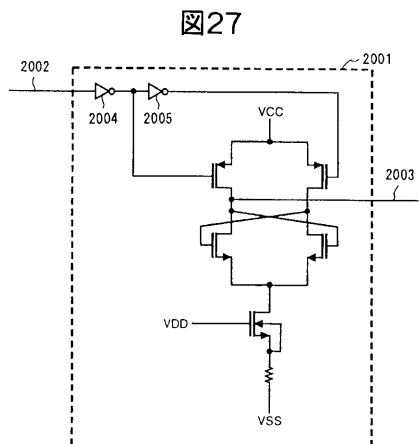
【 図 2 6 】



【 図 2 8 】

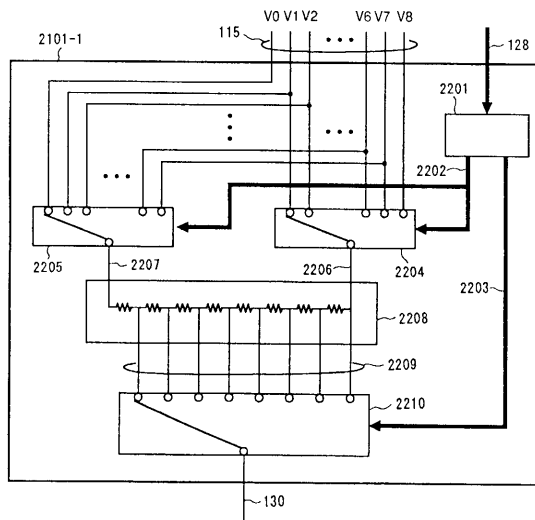


【 図 2 7 】



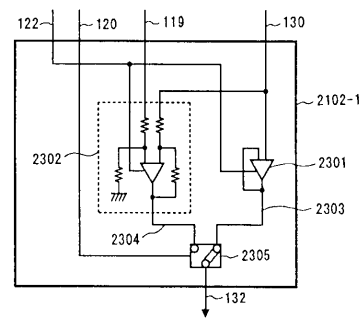
【図 29】

図29



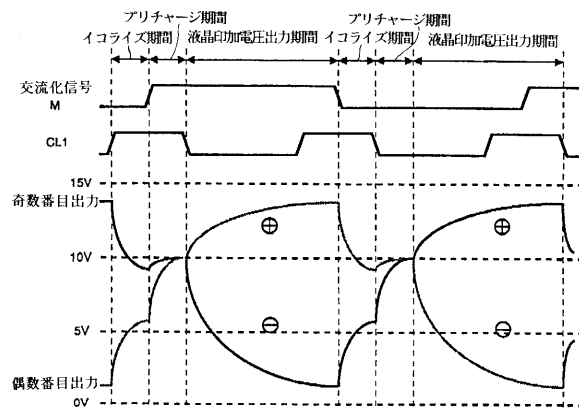
【図 30】

図30



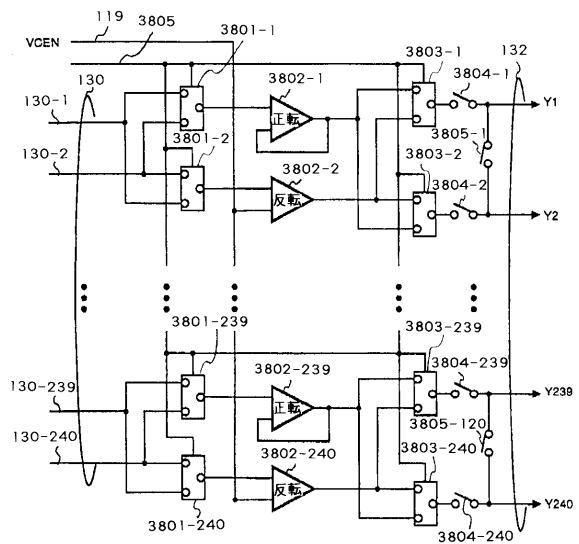
【図 31】

図31

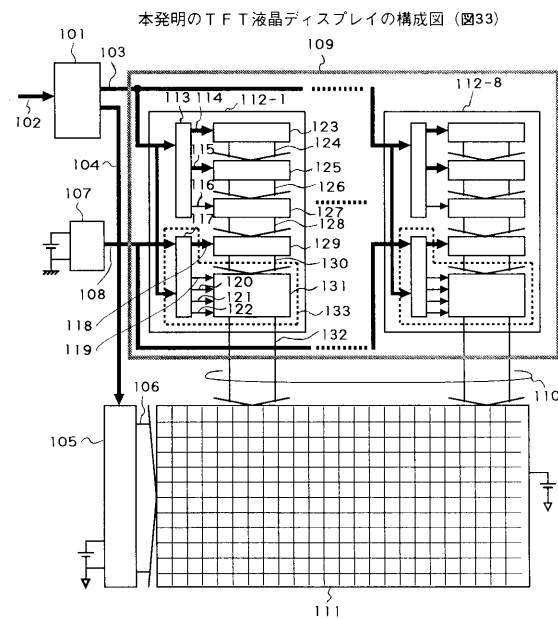


【図 32】

図32

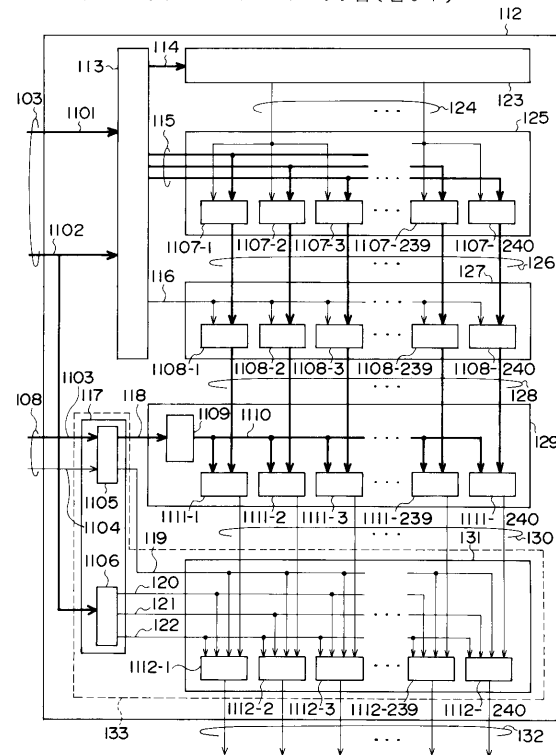


【図 3 3】

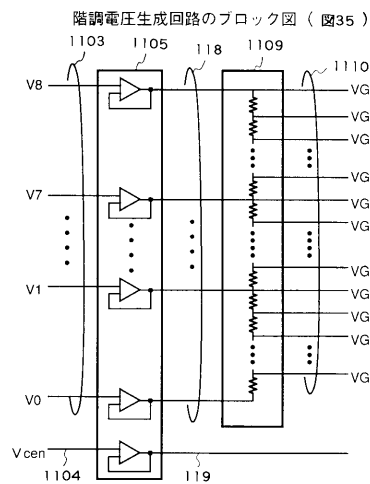


【図 3 4】

本発明の多階調ドライバのブロック図 (図 3 4)

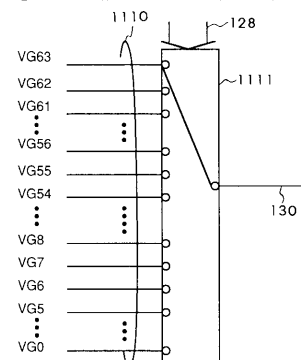


【図 3 5】



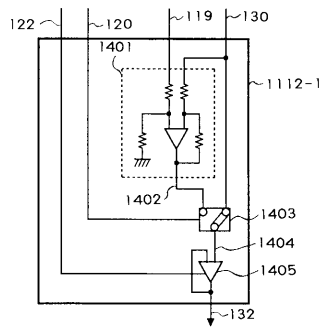
【図 3 6】

電圧選択回路のブロック図 (図36)



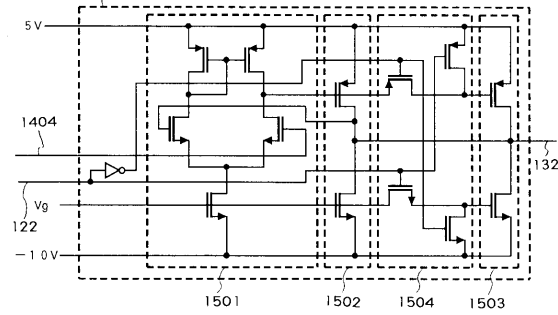
【図 37】

出力回路のブロック図 (図37)



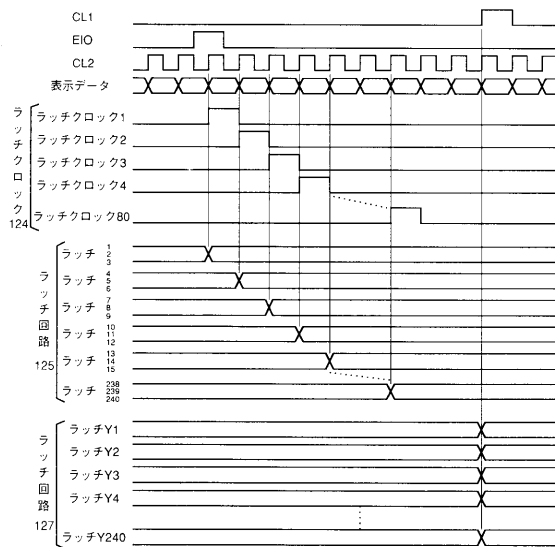
【図 38】

出力バッファの詳細回路図 (図38)



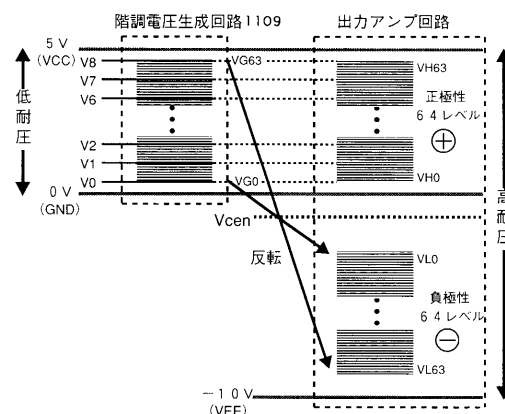
【図 39】

表示データ取込動作のタイミングチャート図 (図39)



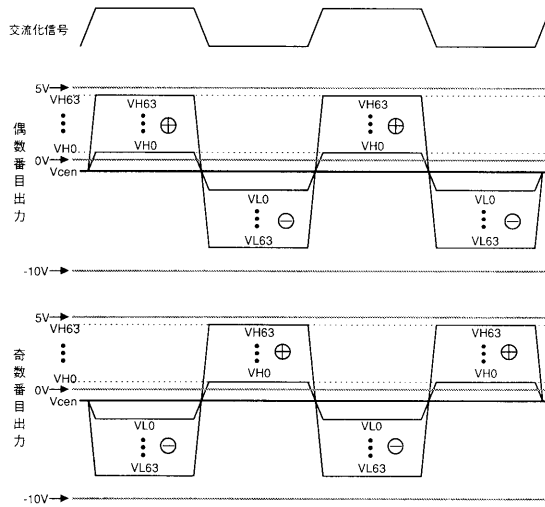
【図 40】

階調電圧反転図 (図40)



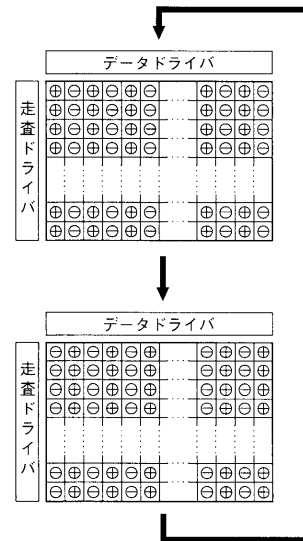
【図 4 1】

液晶交流出力電圧のタイミング図 (図41)



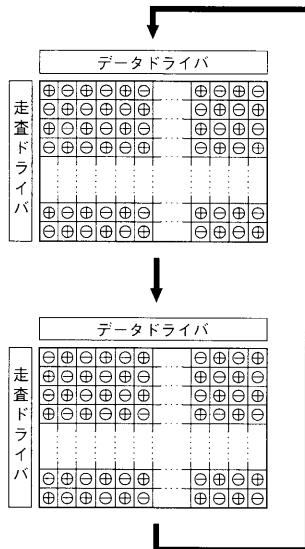
【図 4 2】

列毎反転駆動の画素部印加電圧極性図 (図42)



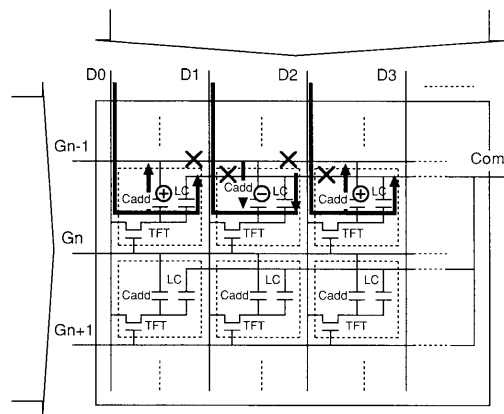
【図 4 3】

ドット毎反転駆動の画素部印加電圧極性図 (図43)



【図 4 4】

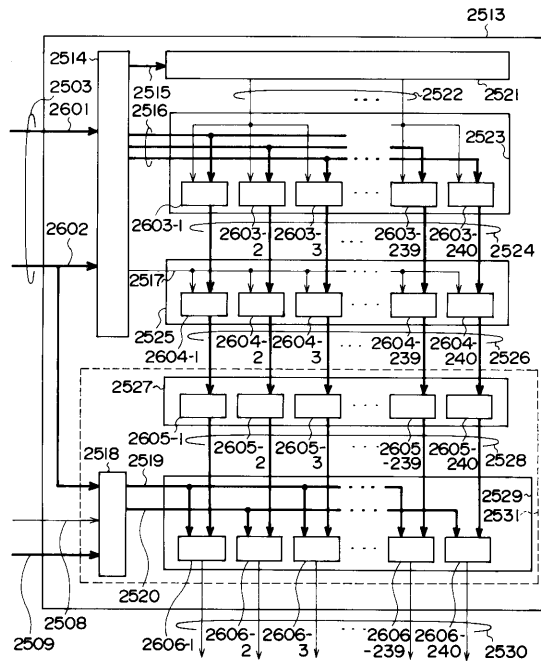
画素部電流方向の説明図 (図44)





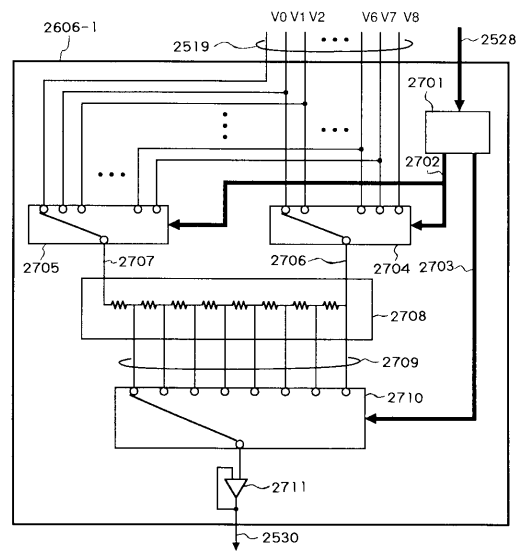
【図 49】

本発明の多階調ドライバのブロック図（図49）

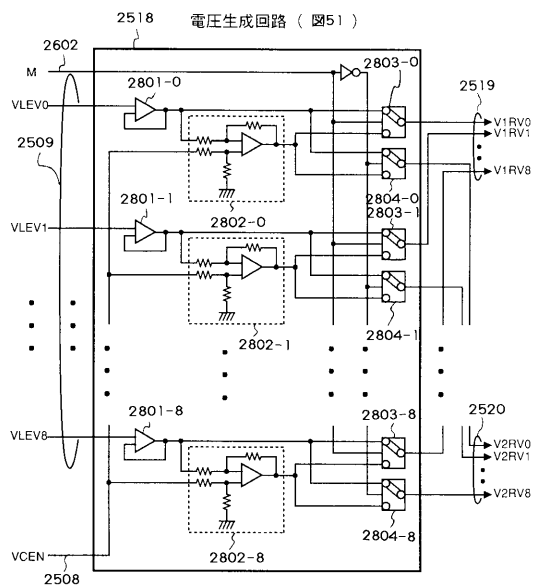


【図 50】

図50

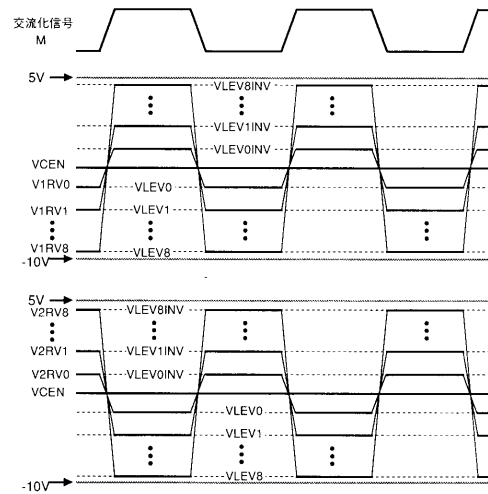


【図 51】



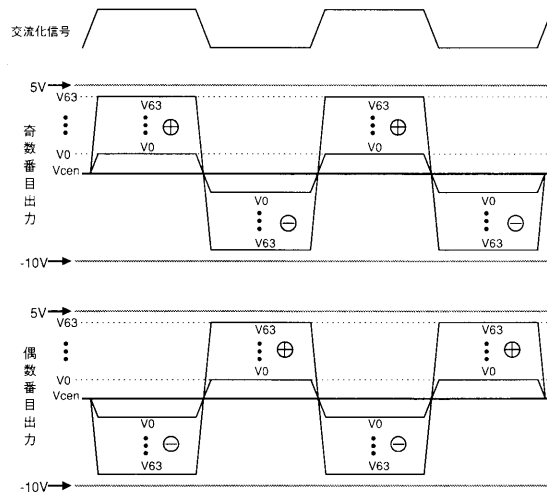
【図 52】

基準電圧生成のタイミング図（図52）



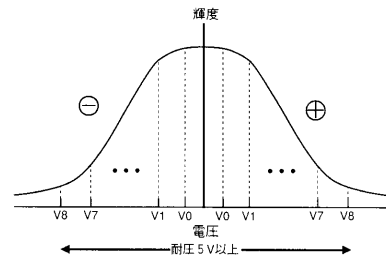
【 図 5 3 】

液晶交流出力電圧のタイミング図（図53）



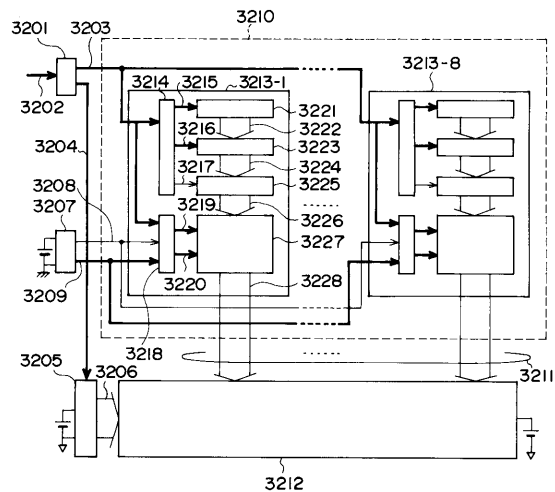
【 図 5 4 】

TFT液晶の電圧輝度特性図（図54）



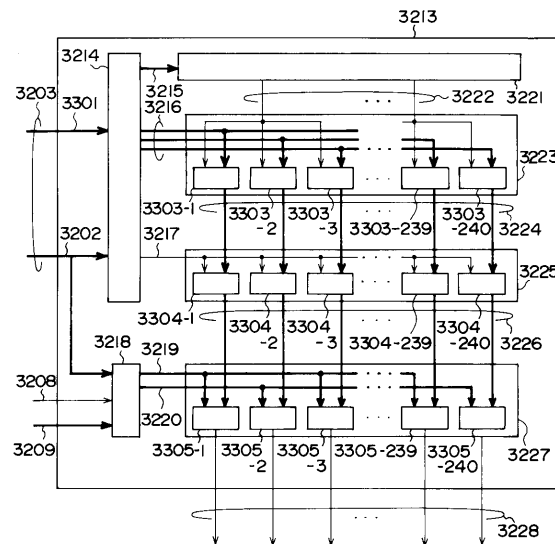
【 図 5 5 】

液晶駆動回路の簡単なブロック図(図55)

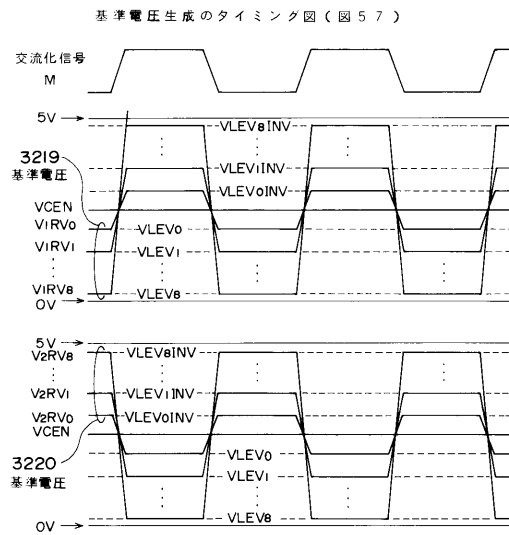


【 図 5 6 】

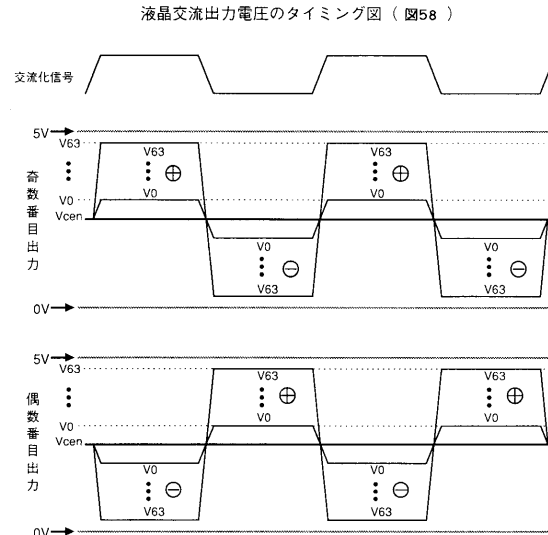
本発明の多階調ドライバのブロック図（図５６）



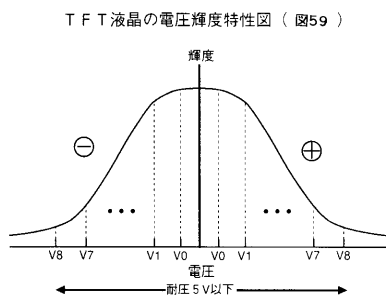
【図 5 7】



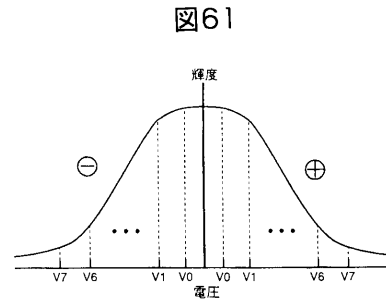
【図 5 8】



【図 5 9】

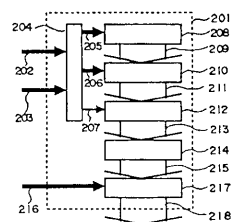


【図 6 1】



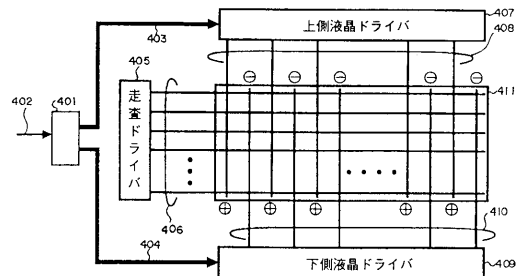
【図 6 0】

図 60



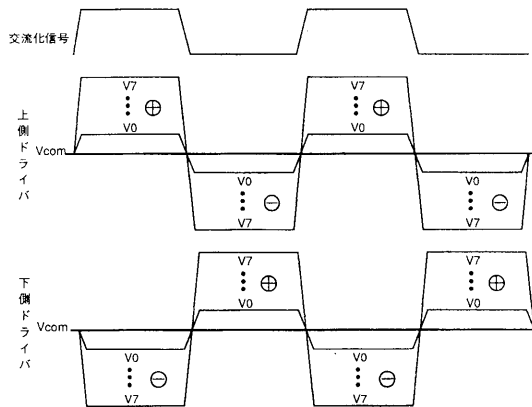
【図 6 2】

図 62



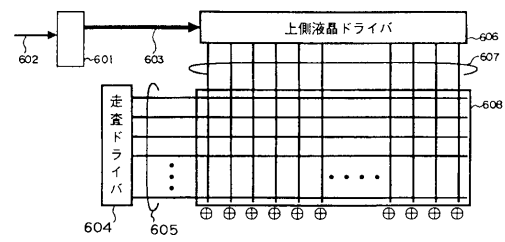
【図 6 3】

図63



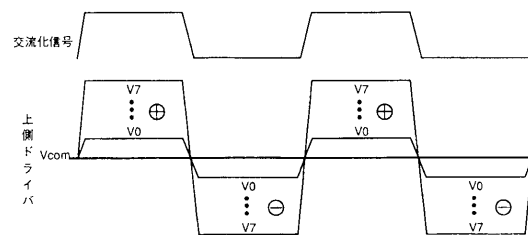
【図 6 4】

図64



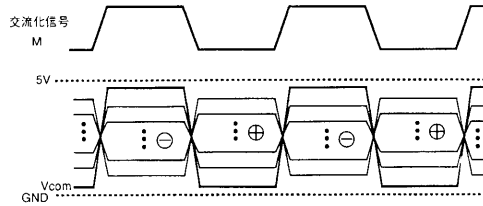
【図 6 5】

図65



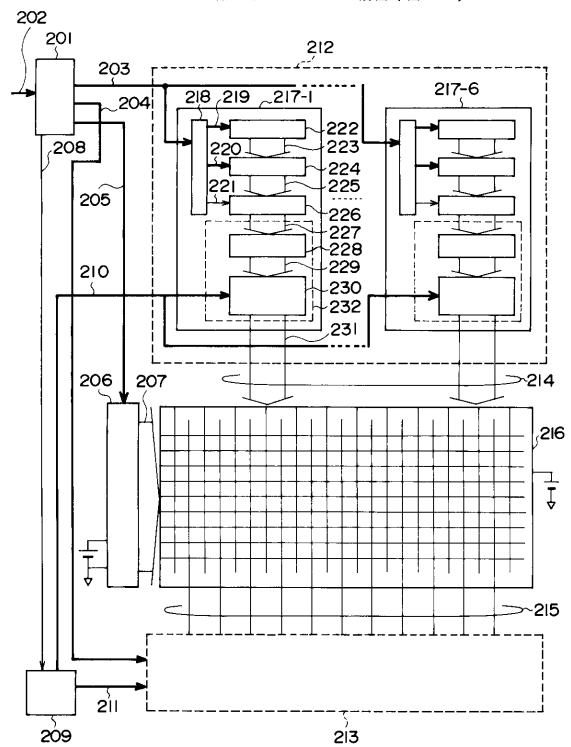
【図 6 6】

図66



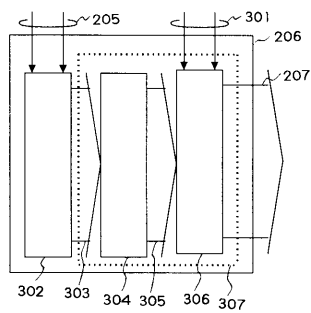
【図 6 7】

従来の TFT 液晶ディスプレイの構成図 (図 6 7)



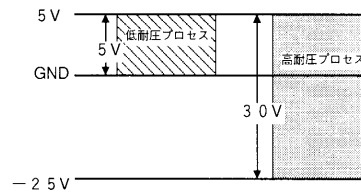
【図 68】

従来走査回路のブロック図 (図68)



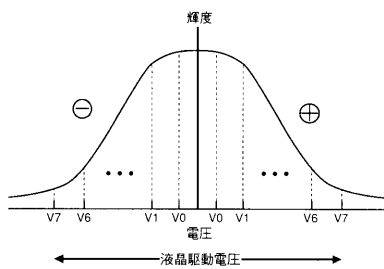
【図 70】

プロセス電圧 (図70)



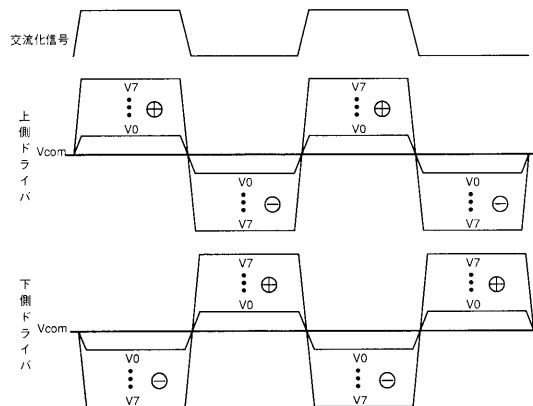
【図 69】

TFT液晶の電圧輝度特性図 (図69)



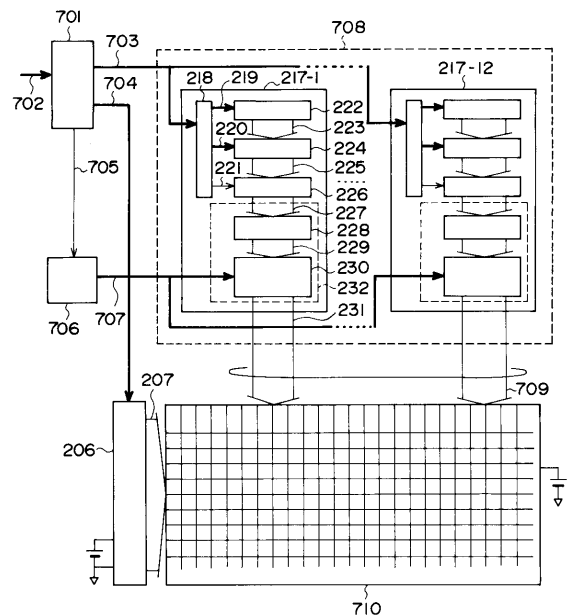
【図 71】

従来技術の液晶基準電圧の交流タイミング図 (図71)



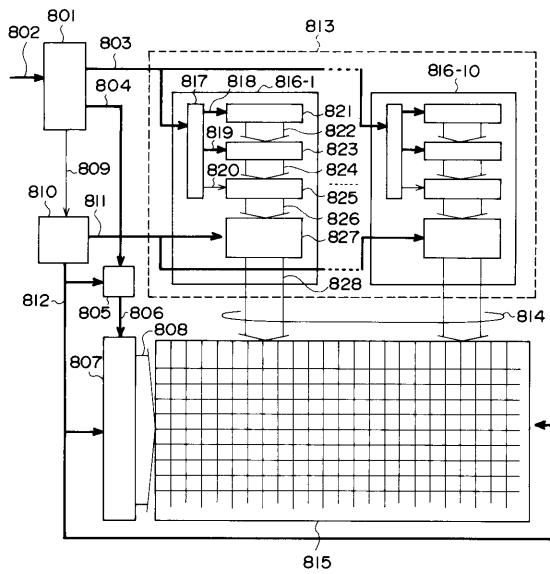
【図 72】

従来のTFT液晶ディスプレイの構成図 (図72)



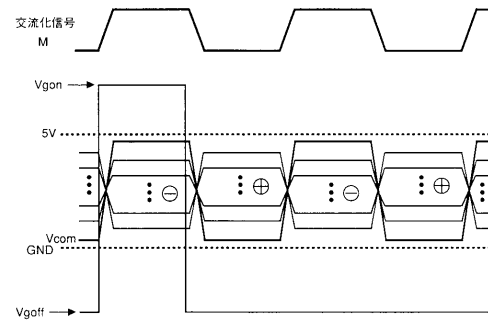
【図 7 3】

従来のTFT液晶ディスプレイの構成図(図73)



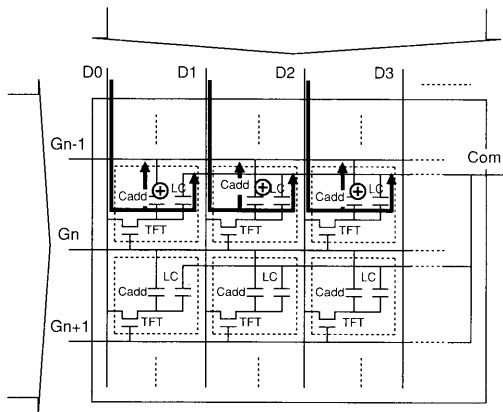
【図 7 4】

従来技術の液晶基準電圧の交流タイミング図(図74)



【図 7 5】

画素部電流方向の説明図(図75)



## フロントページの続き

(51) Int.Cl.

F I

G 0 2 F 1/133 5 0 5

(72)発明者 古橋 勉

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所 システム開発研究所内

(72)発明者 大石 純久

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所 システム開発研究所内

(72)発明者 恒川 悟

東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体事業部内

(72)発明者 二見 利男

千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所 電子デバイス事業部内

(72)発明者 滝田 功

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所 システム開発研究所内

(72)発明者 池田 牧子

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所 システム開発研究所内

審査官 西島 篤宏

(56)参考文献 特開平 0 3 - 0 5 1 8 8 7 ( J P , A )

特開昭 6 3 - 0 7 4 0 9 8 ( J P , A )

特開平 0 5 - 1 3 4 6 2 7 ( J P , A )

特開平 0 7 - 3 1 9 4 3 2 ( J P , A )

特開平 0 4 - 2 0 4 6 8 9 ( J P , A )

特開平 0 7 - 1 9 9 8 6 6 ( J P , A )

特開平 0 3 - 2 3 5 9 8 9 ( J P , A )

特開平 0 7 - 2 1 9 4 8 4 ( J P , A )

特開平 0 7 - 2 3 0 2 6 4 ( J P , A )

特開平 0 4 - 1 4 9 5 9 1 ( J P , A )

特開平 0 1 - 2 1 7 4 9 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示器                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
| 公开(公告)号        | <a href="#">JP3917168B2</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            | 公开(公告)日 | 2007-05-23 |
| 申请号            | JP2006128114                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | 申请日     | 2006-05-02 |
| [标]申请(专利权)人(译) | 株式会社日立制作所                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| 申请(专利权)人(译)    | 株式会社日立制作所                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| 当前申请(专利权)人(译)  | 株式会社日立制作所                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| [标]发明人         | 新田博幸<br>真野宏之<br>古橋勉<br>大石純久<br>恒川悟<br>二見利男<br>滝田功<br>池田牧子                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| 发明人            | 新田 博幸<br>▲真▼野 宏之<br>古橋 勉<br>大石 純久<br>恒川 悟<br>二見 利男<br>滝田 功<br>池田 牧子                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| CPC分类号         | G09G3/2011 G09G3/3614 G09G3/3655 G09G3/3688 G09G3/3696 G09G2310/0248 G09G2310/027<br>G09G2310/0281 G09G2310/0289 G09G2310/0297 G09G2330/023                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| FI分类号          | G09G3/36 G09G3/20.611.A G09G3/20.641.C G09G3/20.621.B G09G3/20.623.B G02F1/133.505<br>G09G3/20.612.F G09G3/20.621.L G09G3/20.623.C G09G3/20.623.D G09G3/20.623.F G09G3/20.623.<br>W                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| F-TERM分类号      | 2H093/NA16 2H093/NA32 2H093/NA43 2H093/NA53 2H093/NC03 2H093/NC09 2H093/NC11 2H093<br>/NC12 2H093/NC13 2H093/NC26 2H093/NC34 2H093/NC35 2H093/ND42 2H093/ND49 2H093/ND54<br>2H193/ZA04 2H193/ZC02 2H193/ZD23 2H193/ZF03 2H193/ZF36 5C006/AA16 5C006/AC11 5C006<br>/AC21 5C006/AC27 5C006/AF43 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BC23<br>5C006/BC24 5C006/BF03 5C006/BF04 5C006/BF24 5C006/BF25 5C006/BF27 5C006/BF33 5C006<br>/BF34 5C006/BF43 5C006/BF46 5C006/EB04 5C006/EB05 5C006/FA23 5C006/FA25 5C006/FA41<br>5C006/FA46 5C006/FA51 5C080/AA10 5C080/BB06 5C080/DD05 5C080/DD06 5C080/DD25 5C080<br>/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 |         |            |
| 优先权            | 1994170696 1994-07-22 JP<br>1994138499 1994-06-21 JP                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| 其他公开文献         | JP2006221194A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| 摘要(译)          |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |

要解决的问题：通过在液晶面板的一侧设置液晶驱动器同时减少液晶显示装置的封装面积，通过对每列进行反向驱动来获得高图像质量通过将用于液晶驱动的参考电压交替的电路结合到液晶驱动器中，减小了电源电路的电路规模。解决方案：通过提供电压产生装置，将相同的液晶驱动器的输出制成具有相互不同的交替时序的液晶驱动电压，该电压产生装置产生用于从输入的参考电压和交替信号交替驱动的两组交替参考电压，以及显示数据和将两种交替参考电压和交替信号转换成对每个输出具有不同交替驱动的液晶施加电压并将液晶施加电压输出到液晶面板的装置。

图 1

