

(51) Int.Cl ⁷	識別記号	F I
G 0 2 F 1/1368		G 0 2 F 1/1368
1/1343		1/1343

請求項の数 6 (全 11数)

(21)出願番号	特願2000 - 321784(P2000 - 321784)	(73)特許権者	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成12年10月20日 (2000.10.20)	(73)特許権者	392026707 秋田日本電気株式会社 秋田県秋田市御所野下堤3丁目1番1号
(65)公開番号	特開2001 - 242490(P2001 - 242490A)	(72)発明者	半 貫 貴久 東京都港区芝五丁目7番1号 日本電気株式 会社内
(43)公開日	平成13年9月7日 (2001.9.7)	(72)発明者	西 田 真一 東京都港区芝五丁目7番1号 日本電気株式 会社内
審査請求日	平成12年10月20日 (2000.10.20)	(74)代理人	100086645 弁理士 岩佐 義幸
(31)優先権主張番号	特願平11 - 364544		
(32)優先日	平成11年12月22日 (1999.12.22)		
(33)優先権主張国	日本 (JP)	審査官	右 田 昌士

最終頁に続く

(54)【発明の名称】 液晶表示装置

1

2

(57)【特許請求の範囲】

【請求項 1】透明基板上にゲート電極、ゲート絶縁膜、半導体層およびソース電極・ドレイン電極を積層して複数の T F T が形成されたアレイ基板と、前記アレイ基板に対向配置された対向基板を具備した、横方向電界駆動方式の液晶表示装置において、
前記半導体層の境界が、前記 T F T のゲート電極とソース電極またはドレイン出極とがオーバーラップする領域の内側に形成されている部分と、前記ゲート電極の外側に形成されている部分の両方を有することを特徴とする液晶表示装置。

【請求項 2】請求項 1 に記載の液晶表示装置において、前記 T F T の半導体層の境界がゲート電極の内側にある部分がゲート電極とソース電極ないしドレイン電極とのオーバーラップ領域の中央部にあり、ゲート電極の外側にある部分が前記オーバーラップ領域の両端にあたる部分に形成されていることを特徴とする液晶表示装置。

【請求項 3】請求項 1 または 2 に記載の液晶表示装置において、前記 T F T の半導体層がソース電極ないしドレイン電極とオーバーラップしていない辺の一部を取り除き、凹型の形状としたことを特徴とする液晶表示装置。

【請求項 4】透明基板上にゲート電極、ゲート絶縁膜、半導体層およびソース電極・ドレイン電極を積層して複数の T F T が形成されたアレイ基板と、前記アレイ基板に対向配置された対向基板を具備し、対向基板側に共通電極が配置された液晶表示装置において、
前記半導体層の境界が、前記 T F T のゲート電極とソース電極またはドレイン出極とがオーバーラップする領域の内側に形成されている部分と、前記ゲート電極の外側

に形成されている部分の両方を有することを特徴とする液晶表示装置。

【請求項 5】請求項 4 に記載の液晶表示装置において、前記 T F T の半導体層の境界がゲート電極の内側にある部分がゲート電極とソース電極ないしドレイン電極とのオーバーラップ領域の中央部にあり、ゲート電極の外側にある部分が前記オーバーラップ領域の両端にあたる部分に形成されていることを特徴とする液晶表示装置。

【請求項 6】請求項 4 または 5 に記載の液晶表示装置において、前記 T F T の半導体層がソース電極ないしドレイン電極とオーバーラップしていない辺の一部を取り除き、凹型の形状としたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、横方向電界駆動方式およびツイスティッドネマティック方式の液晶表示装置に関し、特に残像の少ない高表示品質の液晶表示装置に関する。

【 0 0 0 2 】

【従来の技術】近年、配向した分子の分子軸の方向を基板に対して水平方向に回転させることにより表示を行う横方向電界駆動方式または I P S (I n P l a n e S w i t c h i n g) 方式の液晶表示装置が研究開発されている。

【 0 0 0 3 】この I P S 方式の液晶表示装置は、ツイスティッドネマティック (T N : T w i s t N e m a t i c) 方式の液晶表示装置と比較して、広視野角が得られるという特徴を有している。

【 0 0 0 4 】図 1 7 は、従来の I P S 方式を用いた液晶表示装置の T F T 素子部の断面図である。図 1 7 において、透明基板上にゲート電極 1 0 1、ゲート絶縁膜 1 0 2、半導体層 1 0 3、ソース電極 1 0 4、ドレイン電極 1 0 5 および絶縁膜 1 0 6 を積層して T F T が形成されており、半導体層 1 0 3 がゲート電極 1 0 1 よりも外側にはみ出して形成されている。

【 0 0 0 5 】

【発明が解決しようとする課題】バックライトからアクティブマトリックスの裏面に入射する光は、ゲート電極により遮光されるが、上述のように、半導体層がゲート電極よりも外側にはみ出していると、このはみ出した部分の半導体層にバックライトの光が直接当たって光リーク電流が多く流れ、残像が発生する。

【 0 0 0 6 】また、I P S 方式の液晶表示装置では液晶が低透過率であるので、輝度を確保する場合、透過率が低い分バックライト光量を増やす必要があるが、バックライト光量を増やすとゲート電極より外側にはみ出している部分によって、さらにリーク電流が増加し、残像の程度 (レベル) が悪化するという問題がある。

【 0 0 0 7 】また、I P S 方式において、液晶材料、配

向膜および絶縁膜の物性を制御して残像を改善する方法が、例えば特開平 7 - 1 5 9 7 8 6 号公報により提案されている。この公知技術においては、液晶の抵抗値を下げることににより、残像レベルを改善している。しかし、この方法では、液晶中の可動イオン数が増え、液晶を低抵抗にしているため、図 1 8 に示すように、薄膜トランジスタ (T F T) のバックチャネルの凹んだ部分に液晶中の可動イオンが従来より多く吸着され、その結果、リーク電流が増大し、結果的にやはり残像レベルは改善されない。

【 0 0 0 8 】また、逆に、半導体層がゲート電極より非常に小さい場合には、ゲート電極とドレイン電極・ソース電極との重なりによって、この部分の寄生容量が増加するので、フィードスルーという現象によって、画素電極に保持すべき目標電位にばらつきが現れてフリッカという画面のちらつきになって見える。

【 0 0 0 9 】また、ドレイン電極・ソース電極と半導体層との重なりは、オン電流を確保するために一定の面積以上が必要である。

【 0 0 1 0 】

【 0 0 1 1 】また、半導体層をゲート電極と自己整合的に形成する方法としては、ゲート電極形成後アクティブマトリックス基板の裏面から露光することにより形成する方法 (裏面露光法) がある。すなわち、この方法は、ゲート電極をパターンニングして、その上に半導体層を形成し、さらにその上にレジストを塗布しておいて、アクティブマトリックス基板の裏面から光を照射露光する方法である。ゲート電極のパターン上を除くレジストが露光されるので、半導体層がゲート電極と自己整合的に形成される。

【 0 0 1 2 】しかし、このような製造方法では、アクティブマトリックス基板の表面に傷をつけやすくなるため、実用化されていない。

【 0 0 1 3 】本発明の目的は、従来に比べて特別な工程を経ることなく、薄膜トランジスタのオフ状態でのリーク電流の増大を招くことなく、残像の少ない高表示品質の液晶表示装置を提供することにある。

【 0 0 1 4 】

【 0 0 1 5 】

【課題を解決するための手段】本発明は、透明基板上にゲート電極、ゲート絶縁膜、半導体層およびソース電極・ドレイン電極を積層して複数の T F T が形成されたアレイ基板と、前記アレイ基板に対向配置された対向基板を具備した、横方向電界駆動方式の液晶表示装置において、前記半導体層の境界が、前記 T F T のゲート電極とソース電極またはドレイン出極とがオーバーラップする領域の内側に形成されている部分と、前記ゲート電極の外側に形成されている部分の両方を有することを特徴とする液晶表示装置である。

【 0 0 1 6 】また、本発明は、前記 T F T の半導体層の

境界がゲート電極の内側にある部分がゲート電極とソース電極ないしドレイン電極とのオーバーラップ領域の中央部にあり、ゲート電極の外側にある部分が前記オーバーラップ領域の両端にあたる部分に形成されていることを特徴とする液晶表示装置である。

【0017】また、本発明は、前記TFTの半導体層がソース電極ないしドレイン電極とオーバーラップしていない辺の一部を取り除き、凹型の形状としたことを特徴とする液晶表示装置である。

【0018】また、本発明は、透明基板上にゲート電極、ゲート絶縁膜、半導体層およびソース電極・ドレイン電極を積層して複数のTFTが形成されたアレイ基板と、前記アレイ基板に対向配置された対向基板を具備し、対向基板側に共通電極が配置された液晶表示装置において、前記半導体層の境界が、前記TFTのゲート電極とソース電極またはドレイン電極とがオーバーラップする領域の内側に形成されている部分と、前記ゲート電極の外側に形成されている部分の両方を有することを特徴とする液晶表示装置である。

【0019】また、本発明は、前記TFTの半導体層の境界がゲート電極の内側にある部分がゲート電極とソース電極ないしドレイン電極とのオーバーラップ領域の中央部にあり、ゲート電極の外側にある部分が前記オーバーラップ領域の両端にあたる部分に形成されていることを特徴とする液晶表示装置である。

【0020】また、本発明は、前記TFTの半導体層がソース電極ないしドレイン電極とオーバーラップしていない辺の一部を取り除き、凹型の形状としたことを特徴とする液晶表示装置である。

【0021】

【0022】

【0023】

【0024】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0025】図1は、IPS方式の液晶表示装置のアクティブマトリクス基板の単位画素の拡大平面図である。マトリクス状に配置された走査線1と信号線2によって区画された領域には、TFT（薄膜トランジスタ）4およびこれに接続された画素電極3が形成されている。そして、TFT4のゲート電極5の上には、図示しない絶縁膜を介してTFTを形成するための半導体層7が形成され、さらにその上には、半導体層7を挟んで互いに対抗する位置に画素電極（ソース電極）3およびドレイン電極6が形成されている。また、ゲート電極5は走査線1の一部であり、ドレイン電極6は信号線2に接続されている。8は、ゲート電極と同じに形成される且つ同層に位置する共通電極である。

【0026】図2は、図1のA-A'切断線の対向カラーフィルタを含む液晶表示装置の部分断面図である。な

お、各図において、同一要素または相当する要素には同一符号を付す。ガラス基板14上の一部にゲート電極5が形成され、これと同層に同一工程で共通電極8を櫛歯状に形成する。このゲート電極5と共通電極8を覆うようにゲート絶縁膜9が全面に形成される。

【0027】ゲート電極5上には、ゲート絶縁膜9を介してTFT4の半導体層となるシリコン膜10と、ソース・ドレイン電極とのオーミックコンタクトをとるためのリン等の不純物をドーブしたシリコン膜からなる電極層11を積層したアイランドが形成される。このアイランドは、製造時の目合わせマージンを考慮して、チャンネル長方向の幅をチャンネル長方向のゲート電極の幅より0～5μm狭く形成される。

【0028】さらに、このアイランド上の一部に、画素電極3およびドレイン電極6が形成される。この後、不純物をドーブしたシリコン膜からなる電極層11の一部が除去され、TFT4のチャンネル部分が形成される。

【0029】また、画素の表示寄与部分において、画素電極3は、櫛歯状に配置形成された共通電極8と平行に、互いに噛み合うように形成される。このとき、共通電極8と画素電極3との間に補助容量が形成される。この画素電極3と共通電極8とは、ゲート絶縁膜9を介して形成されており、対向する画素電極3と共通電極8との間に電圧を印加されて電界としてガラス基板14と平行方向成分が発生し、液晶を駆動する。

【0030】さらに、TFT4および画素電極3の全面を覆うようにパッシベーション膜13が形成される。ゲート電極5およびドレイン電極6は、延長部分で、それぞれ図1で示した走査線1および信号線2になる。

【0031】ゲート電極5、画素電極3およびドレイン電極6は、例えば、スパッタリングまたは蒸着法等で形成されたAl、Cr、Ta、Ti、Mo、W等から選ばれる金属膜またはこれらの合金膜、あるいはこれらの積層膜で構成されている。

【0032】ゲート絶縁膜9およびパッシベーション膜13は、例えば、プラズマCVD法、またはスパッタリング法等で形成された窒化シリコン膜、または酸化シリコン膜等の絶縁膜で構成される。ゲート絶縁膜9は、ゲート電極5および走査線1の一部表面を酸化して形成してもよい。また、これらの酸化膜と窒化シリコン膜または酸化シリコン膜との積層膜でもよい。

【0033】半導体層となるシリコン膜10および不純物をドーブしたシリコン膜からなる電極層11は、例えば、プラズマCVD法で形成された非晶質シリコン膜、または、多結晶シリコン膜で構成される。

【0034】図3は、図1および図2に示す液晶表示装置の製造方法について説明する工程図である。右側は、上面図であり、左側は、右側に示す図の中央部短手方向の断面図である。

【0035】まず、図3(a)において、ガラス基板上

にゲート電極を形成する。次に、図 3 (b) において、ゲート絶縁膜、非晶質シリコン層、n 型非晶質シリコン層を順次積層する。次に、図 3 (c) において、n 型非晶質シリコン層と非晶質シリコン層を一括で選択的にエッチングして島状化する。このとき、非晶質シリコン層のエッジがゲート電極と一致するように島状化する。次に、図 3 (d) において、ソース・ドレイン電極を形成し、チャンネルエッチングを行う。次に、図 3 (e) において、パッシベーション膜を形成する。次に、図示しないが、パッシベーション膜やゲート絶縁膜にコンタクトホールを形成する。次に、透明導電膜を被覆し、パターンニングし、各電極端子を形成する。最後にアニールを行い、アクティブマトリックス基板を完成する。

【 0 0 3 6 】次に、アイランド構造の実施例を具体的に説明する。

【 0 0 3 7 】図 4 は、図 1 における点線部 B 内の拡大図である。なお、同一要素または相当する要素には同一符号を付す。

【 0 0 3 8 】アイランドの、チャンネル長方向に垂直な方向の輪郭線は、ゲート電極の、チャンネル長方向に垂直な方向の輪郭線とオンラインにすることが望ましいが、アイランドを形成する露光プロセスにおける目合わせずれマージンを見込むことにより、ゲート電極の、チャンネル長方向に垂直な方向の輪郭線よりもともに $0 \sim 5 \mu\text{m}$ 内側に入り込ませた構造となっている。半導体層がゲート電極よりも引っ込んでい
ると、ゲート電極とドレイン電極・ソース電極との重なりによって、寄生容量が増加し、フィードスルーという現象によって、フリッカという画面のちらつきになって見える。このフリッカはでき
る限り減らした方が良く、そこで、製造時の目合わせマ
ージンを考慮し、さらに、製造ばらつきを考慮して半導
体層のゲート電極からの引っ込み幅を最大 $5 \mu\text{m}$ とする
ものである。チャンネル長およびチャンネル幅の比 $W1/L$ の値は、例えば $20/8$ 、 $W1/L$ $20/10$ となる。

【 0 0 3 9 】図 5 は、アイランドがゲート電極からはみ出している片側辺のはみ出し幅 W と光リーク電流との関係を示す図である。アイランドがゲート電極からはみ出すにつれて、光リーク電流が増加しており、この図から、アイランドの幅がゲート電極の幅より狭いほど光リークを抑制できることがわかる。

【 0 0 4 0 】図 6 は、目視観察に基づくアイランドのはみ出し幅 W と残像レベルとの関係を示す図である。

が、正面から見て全く見えないもの、○が正面からは見えないが斜め視野からうっすら見えるもの、△が正面からうっすら見えるもの、×が正面から見えるもの、××が正面からはっきり見えるものを表している。まです製品として良品とすると、この図から、はみ出し幅 W は $0 \mu\text{m}$ 以下であることが望ましい。残像レベルは、2 4 時間同じ固定パターン表示をした後に白と黒の真ん中の

中間調の明るさに戻したときにどの程度固定パターンが残って見えるかということを目視で観察したものである。

【 0 0 4 1 】また、図 7 は、チャンネル長方向の半導体の幅をチャンネル長方向のゲート電極の幅より $0 \sim 5 \mu\text{m}$ 狭くしたときの液晶の抵抗率と残像との関係を示す図であり、液晶の抵抗を変えていった時に、残像がどの程度起こるかということをグラフにしたものである。

【 0 0 4 2 】このグラフにおいては、横軸が液晶の抵抗率であり、縦軸が残像のレベルである。まですを良品とすると、液晶の抵抗率として $5 \times 10^{12} \Omega \text{cm}$ 以下にすることが好ましいとわかる。

【 0 0 4 3 】次に、アイランドのチャンネル長方向に対して垂直な方向の輪郭線を、ゲートのチャンネル長方向に対して垂直な方向の輪郭線とオンラインにし易くする液晶表示装置の製造方法について説明する。図 8 は、その製造方法について説明する工程図である。右側は、上面図であり、左側は、右側に示す図の中央部短手方向の断面図である。

【 0 0 4 4 】まず、図 8 (a) において、ゲートメタルを成膜する。図 8 (b) において、その上に、ゲート絶縁膜、非晶質シリコン層、n 型非晶質シリコン層、ソースドレインメタル層を形成する。次に、図 8 (c) において、ゲートメタル、ゲート絶縁膜、非晶質シリコン層、n 型非晶質シリコン層、ソースドレインメタル層を同一フォトリソ工程により走査線であるゲート電極のパタンで選択的にエッチングしてパターンニングする。

【 0 0 4 5 】次に、図 8 (d) において、ソースドレインメタル層をパターンニングしてソース・ドレイン電極を形成し、そのパタンでチャンネルエッチングを行う。その後で、図 8 (e) において、非晶質シリコン層の必要部分を選択的にエッチングすることで島状非晶質シリコン層をパターンニング形成する。次に、図 8 (f) において、パッシベーションの絶縁膜を形成し、コンタクトのためソース・ドレインの部分除去する。最後に、図 8 (g) において、信号線配線、画素電極形成を行う。

【 0 0 4 6 】この製造方法は、工程数を減らすことはできないが、図 8 (c) において、非晶質シリコン層および n 型非晶質シリコン層を、ゲート電極のパタンでパターンニングするので、アイランドのチャンネル長方向に対して垂直な方向の輪郭線とオンラインに形成することができる。すなわち、半導体層をゲート電極と自己整合的に形成できる。また、この製造方法によれば、前記した裏面露光法の問題を避けられる。

【 0 0 4 7 】次に、本発明の第 1 の実施の形態に係わる液晶表示装置のアイランド構造の例を図 9、図 1 0、図 1 1 に示す。ここに示した実施の形態は、図 4 の形状のときよりもさらにリーク電流を減らすことができる。なお、図 9 ~ 図 1 1 の形状は一例であり、これらの形状に

限るものではない。

【0048】図9は、半導体層7のチャンネル長方向に沿った辺の中央部分を除いた構造であり、図10は、半導体層7のチャンネル長方向に沿った辺の一部分を取り除き、チャンネル長方向に対して垂直な方向に沿った辺の一部分をゲート電極の外側に拡大した構造であり、図11は、半導体層7のチャンネル長方向に対して垂直な方向に沿った辺の一部分をゲート電極の外側に拡大した構造である。

【0049】半導体層を図9～図11の形状にすると、図4の形状のときよりもさらにリーク電流を減らすことができるのは、以下の理由によるものである。

【0050】図12(a)に示すように、ゲートをオフさせた時のリーク電流の大小関係は、電流のパスを分解して考えると $I_2 = I_3 < I_1 = I_4$ となる。 I_1 、 I_4 が大きいのは、画素電極3およびドレイン電極6によってこの部分が遮光されていないので、このパス中で光(フォト)キャリア生成数が多いためである。一方、オン電流には I_1 、 I_4 の寄与は少ない。

【0051】したがって、図12(b)に示すように、 I_1 、 I_4 パス上の半導体層を取り除くと、図12(a)に比べて、オン電流を維持したままで、 I_1 や I_4 のパスがなくなるためにオフ電流を低減できる。

【0052】また、図12(c)に示すように、半導体層の一部分をゲート電極の外側に拡大すると、拡大した部分に光があたることで発生するフォトキャリアを利用してオン電流を増大させることができる。オフ電流は増えないが、オン電流を増大させることによって、相対的にオフ電流を低減したのと同様の効果が得られる。

【0053】上述した液晶表示装置では、薄膜トランジスタ(TFT)のチャンネル部がゲート電極により遮光され、このことにより、半導体層への光入射によるフォトキャリアの発生を抑制することができるので、スイッチング特性のオン/オフ比を向上させることができる。したがって、白表示部・黒表示部に適性な電圧が印加され、残像の抑制、ひいては高表示品質を得ることができる。

【0054】従来では24時間白と黒のチェッカフラッグの固定表示パターンで焼き付けた(残像試験)後、中間調に切り替えると、パターンの境界線がはっきりと残って見え、固定表示パターンのコントラストがはっきりしていたものが、上記構成を適用することにより、残像試験後、中間調に切り替えると、固定表示パターンの境界線が不鮮明になって見えなくなり、コントラストの差がなくなる。

【0055】

【0056】(第2の実施の形態)次に、本発明の第2の実施の形態に係わる液晶表示装置について説明する。

【0057】図13は、第2の実施の形態に係わる液晶表示装置のアクティブマトリックス基板の単位画素の拡

大平面図である。マトリックス状に配置された走査線1と信号線2によって区画された領域には、TFT(薄膜トランジスタ)4およびこれに接続された画素電極3が形成されている。そして、TFT4のゲート電極5の上には、図示しない絶縁膜を介してTFTを形成するための半導体層7が形成され、さらにその上には、半導体層7を挟んで互いに対抗する位置に画素電極(ソース電極)3およびドレイン電極6が形成されている。また、ゲート電極5は走査線1の一部分であり、ドレイン電極6は信号線2に接続されている。

【0058】図14は、図13のA-A'切断線の対向カラーフィルタを含む液晶表示装置の部分断面図である。なお、各図において、同一要素または相当する要素には同一符号を付す。ガラス基板14上の一部にゲート電極5が形成される。このゲート電極5を覆うようにゲート絶縁膜9が全面に形成される。

【0059】ゲート電極5上には、ゲート絶縁膜9を介してTFT4の半導体層となるシリコン膜10と、ソース・ドレイン電極とのオーミックコンタクトをとるためのリン等の不純物をドーブしたシリコン膜からなる電極層11を積層したアイランドが形成される。このアイランドは、チャンネル長方向に対して垂直な方向に沿った辺の一部分がゲートの外側に拡大している。

【0060】さらに、このアイランド上の一部に、ドレイン電極6およびソース電極16が形成される。この後、不純物をドーブしたシリコン膜からなる電極層11の一部が除去され、TFT4のチャンネル部分が形成され、この全面を覆うようにパッシベーション膜13が形成される。

【0061】この後、パッシベーション膜13にコンタクトホールが形成され、パッシベーション膜13上の一部に画素電極3が形成され、ソース電極16と画素電極3とがコンタクトホールを介して電氣的に接続される。また、対向基板側には、共通電極8が設置される。

【0062】各々の基板には配向膜15が塗布され、液晶を配向させるためにラビングが施される。ラビングは、対向する基板どうしが直行する方向に施される。

【0063】画素電極3と共通電極8は、間に液晶を介して形成されており、対向する画素電極3と共通電極8との間に電圧を印加されて電界としてガラス基板14と垂直方向成分が発生し、液晶を駆動する。

【0064】次に、第2の実施の形態に係わるアイランド構造の実施例を図15に示す。図15は、図13における点線部B内の拡大図である。なお、同一要素または相当する要素には同一符号を付す。

【0065】半導体層7の、チャンネル長方向に沿った辺の一部分を取り除き、チャンネル長方向に対して垂直な方向に沿った辺の一部分をゲート電極5の外側に拡大している。この構造により、リーク電流が低減され、表示ムラが改善された。

【0066】次に、第2の実施の形態に係わるアイランド構造の他の実施例を図16に示す。半導体層7のチャネル長方向に対して垂直な方向に沿った辺の一部分をゲート電極5の外側に拡大している。この構造により、リーク電流が低減され、表示ムラが改善された。

【0067】

【発明の効果】以上説明したように、本発明の液晶表示装置は、チャネル部のリーク電流を大幅に減らすことができ、またはリーク電流を相対的に減らすことができ、残像を劇的に低減することができる。

【0068】

【0069】

【図面の簡単な説明】

【図1】IPS方式の液晶表示装置の単位画素の拡大平面図である。

【図2】図1のA-A'断面図である。

【図3】液晶表示装置の製造方法について説明する工程図である。

【図4】図1における点線部B内の拡大図である。

【図5】アイランドのはみ出し幅と光リーク電流との関係を示す図である。

【図6】アイランドのはみ出し幅と残像レベルとの関係を示す図である。

【図7】液晶の抵抗率と長期残像との関係を示す図である。

【図8】アイランドの長手方向の輪郭線とゲートの長手方向の輪郭線をオンラインにする製造方法について説明する工程図である。

【図9】第1の実施の形態に係わるアイランド構造の例を示す図である。

【図10】第1の実施の形態に係わるアイランド構造の他の例を示す図である。

10 【図16】第2の実施の形態に係わるアイランド構造の他の例を示す図である。

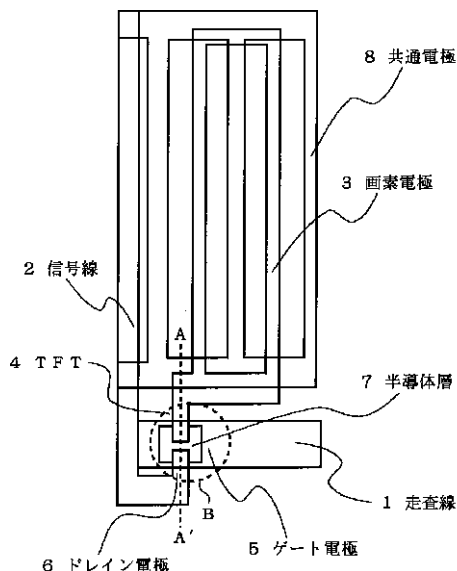
【図17】従来のIPS方式を用いた液晶表示装置のTFT素子部の断面図である。

【図18】液晶中の可動イオンのバックチャネルへの吸着モデルを示す図である。

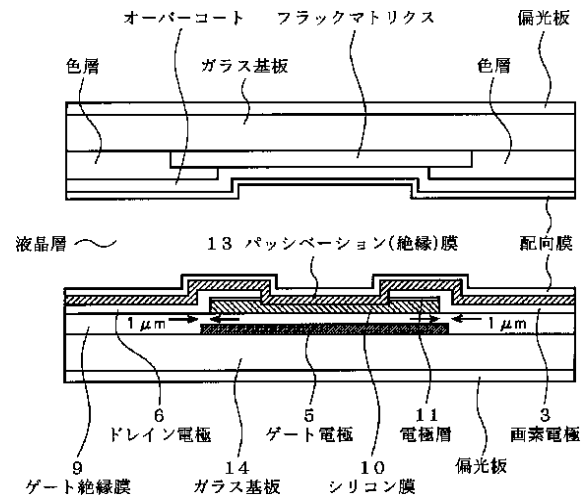
【符号の説明】

- 1 走査線
- 2 信号線
- 3 画素電極
- 4 TFT
- 5 ゲート電極
- 6 ドレイン電極
- 7 半導体層
- 8 共通電極
- 9 ゲート絶縁膜
- 10 シリコン膜
- 11 電極層
- 13 パッシベーション膜
- 14 ガラス基板
- 15 配向膜
- 16 ソース電極

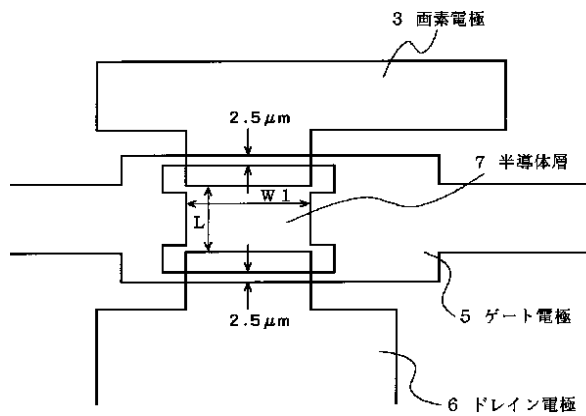
【図1】



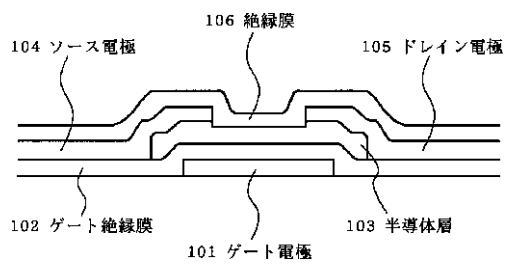
【図2】



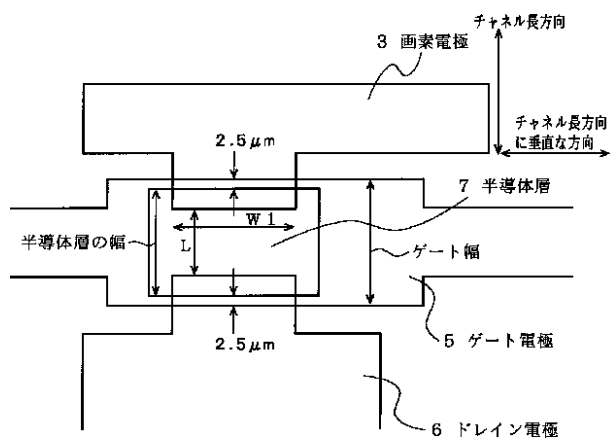
【図 9】



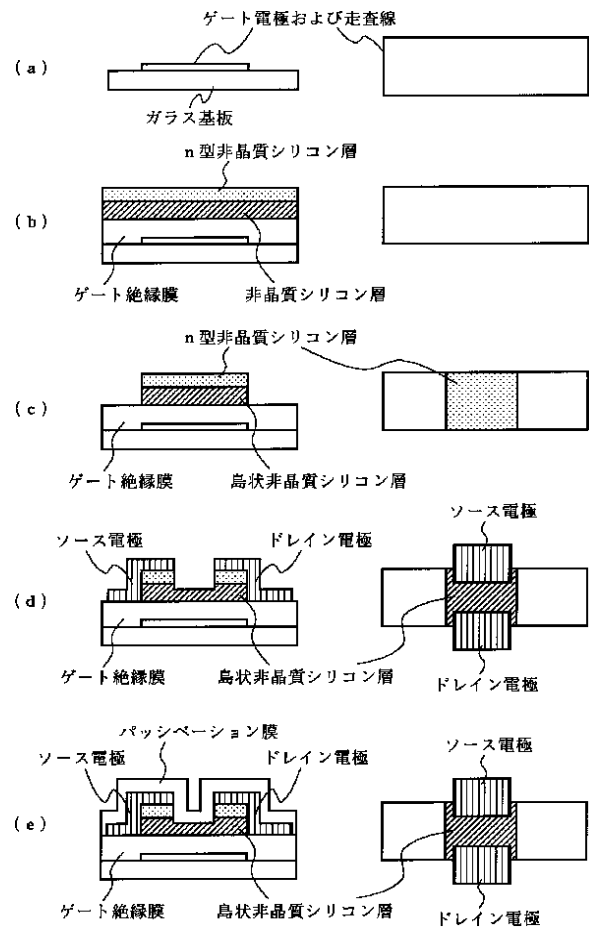
【図 17】



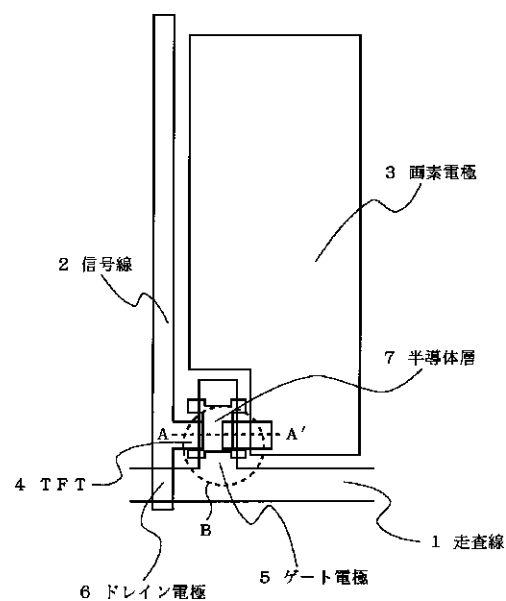
【図 4】



【図 3】

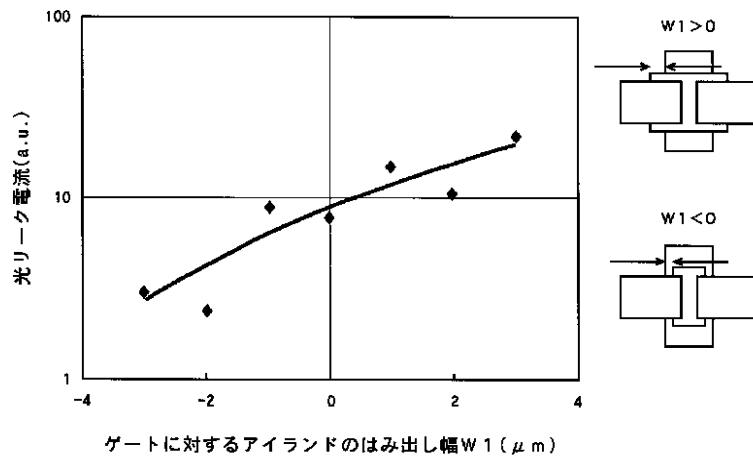


【図 13】



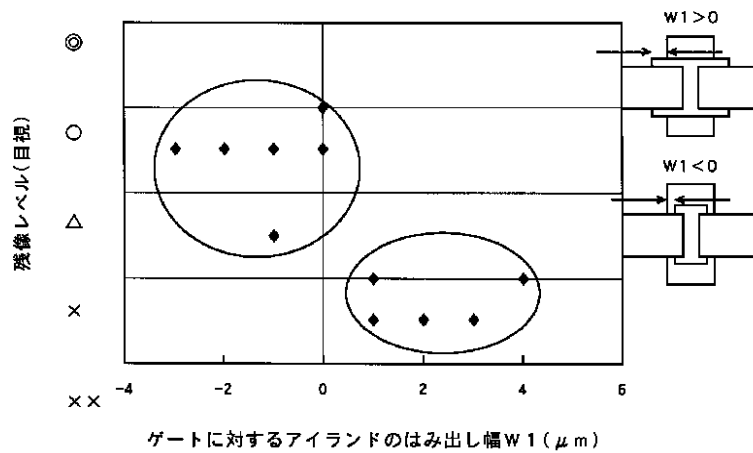
【図 5】

アイランドのはみ出し幅と光リーク電流

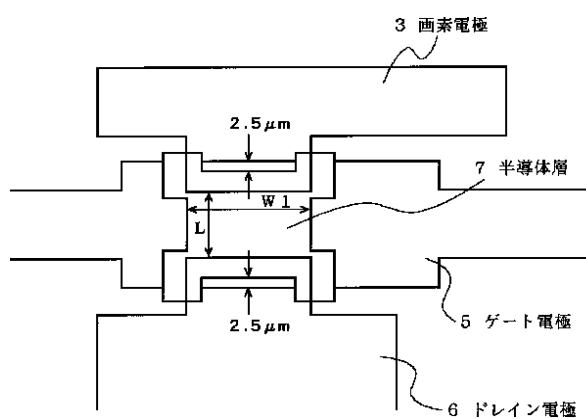


【図 6】

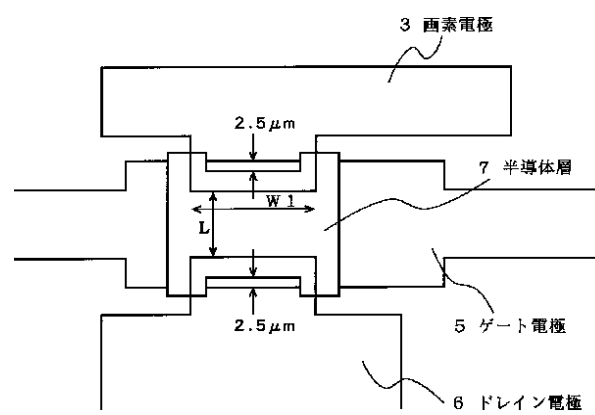
アイランドのはみ出し幅と残像レベル



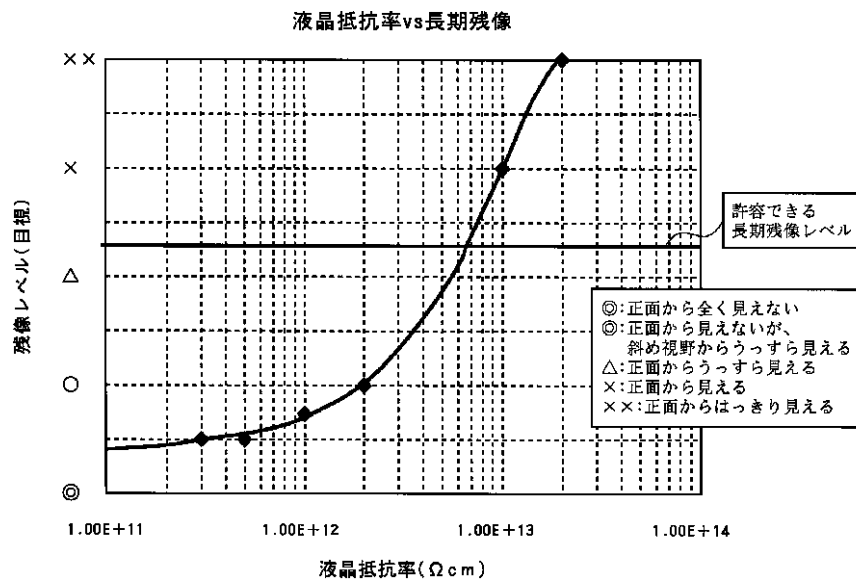
【図 10】



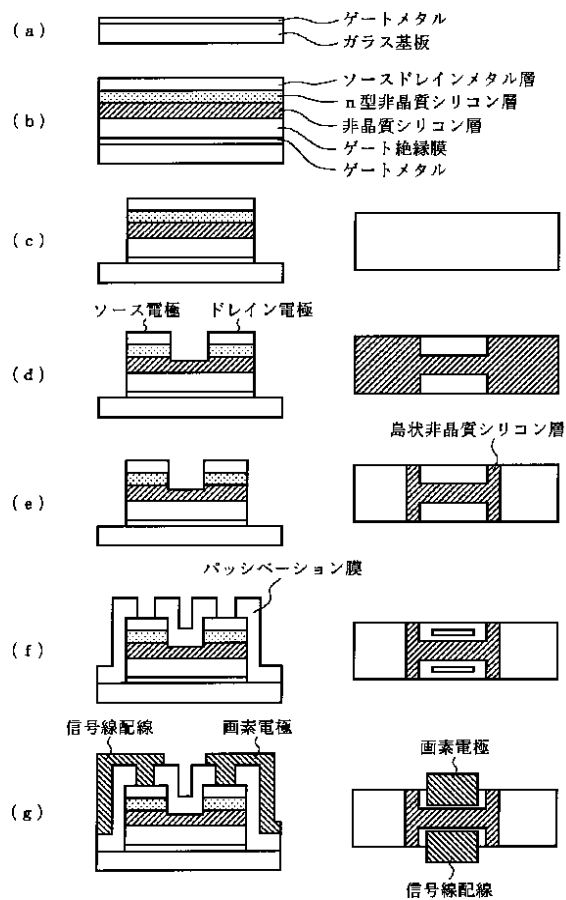
【図 11】



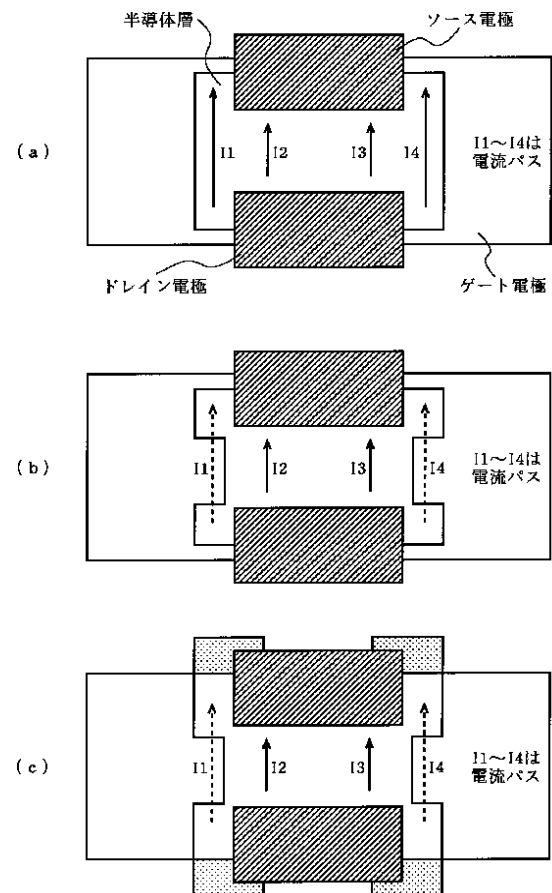
【図 7】



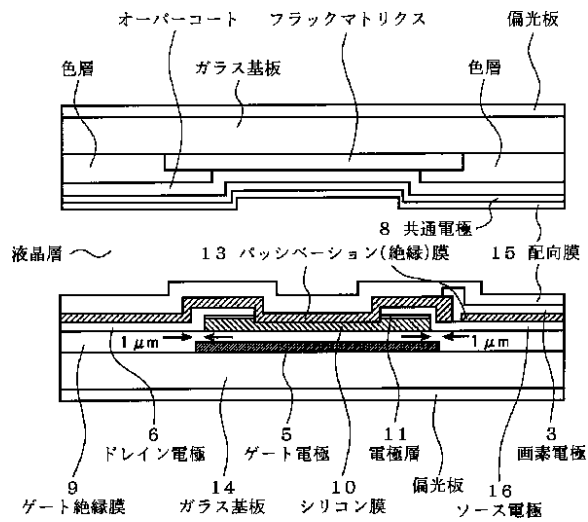
【図 8】



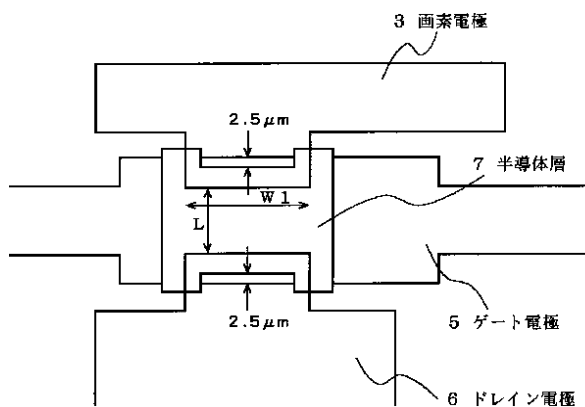
【図 12】



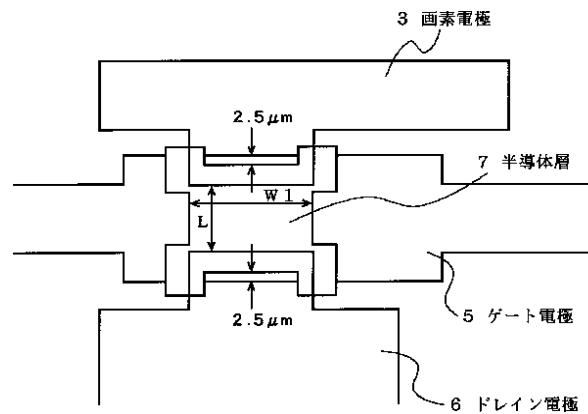
【図 14】



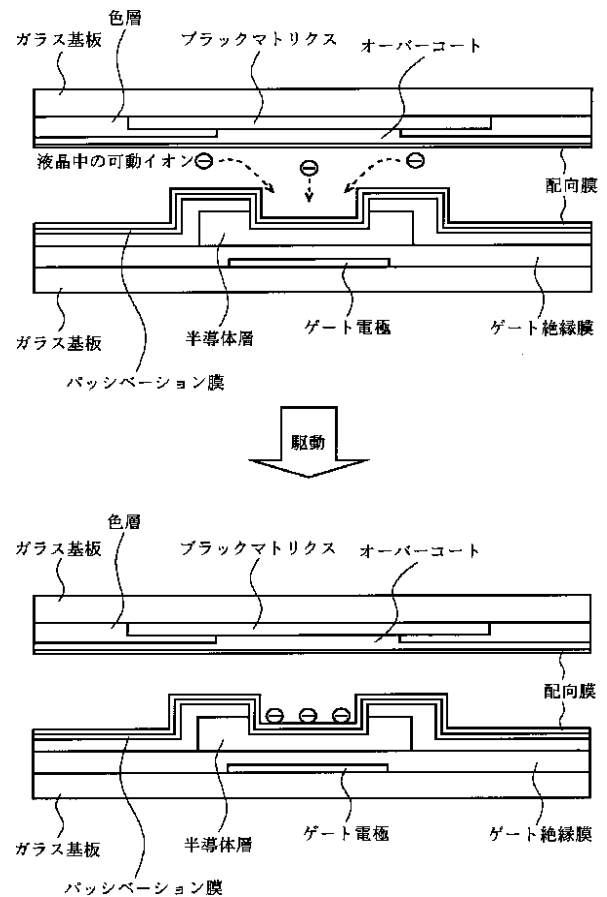
【図 16】



【図 15】



【図 18】



フロントページの続き

(72)発明者 井樋田 悟史
東京都港区芝五丁目7番1号 日本電気
株式会社内
(72)発明者 黒羽 昇一
東京都港区芝五丁目7番1号 日本電気
株式会社内

(72)発明者 高橋 隆司
秋田県秋田市御所野下堤三丁目1番1号
秋田日本電気株式会社内
(72)発明者 三浦 聡
秋田県秋田市御所野下堤三丁目1番1号
秋田日本電気株式会社内

- (56)参考文献 特開 平 9 - 33946 (J P , A)
 特開 平 9 - 101538 (J P , A)
 特開 平 7 - 306417 (J P , A)
 特開 平 7 - 122754 (J P , A)

(58)調査した分野(Int.Cl.⁷, D B 名)

G02F 1/1368
G02F 1/1343

专利名称(译)	液晶表示装置		
公开(公告)号	JP3420201B2	公开(公告)日	2003-06-23
申请号	JP2000321784	申请日	2000-10-20
申请(专利权)人(译)	NEC公司 秋田NEC公司		
当前申请(专利权)人(译)	NEC公司 秋田NEC公司		
[标]发明人	半貫貴久 西田真一 井樋田悟史 黒羽昇一 高橋隆司 三浦聡		
发明人	半貫 貴久 西田 真一 井樋田 悟史 黒羽 昇一 高橋 隆司 三浦 聡		
IPC分类号	G02F1/137 G02F1/1343 G02F1/136 G02F1/1368 G02F1/139 H01L21/336 H01L29/786		
CPC分类号	G02F1/134363		
FI分类号	G02F1/1368 G02F1/1343 G02F1/136.500 G02F1/137.505 G02F1/139 H01L29/78.618.C H01L29/78.627.C		
F-TERM分类号	2H088/EA02 2H088/GA02 2H088/HA08 2H088/JA05 2H088/KA24 2H088/MA01 2H092/GA14 2H092/JA26 2H092/JA29 2H092/JA31 2H092/JA32 2H092/JA38 2H092/JA42 2H092/JA44 2H092/JB54 2H092/MA42 2H092/NA22 2H092/NA23 2H092/PA09 2H092/QA07 2H192/AA24 2H192/BB02 2H192/BC31 2H192/CB05 2H192/CB45 2H192/CB52 2H192/CC04 2H192/DA72 2H192/EA04 2H192/EA15 2H192/EA22 2H192/EA43 2H192/JA32 5F110/CC07 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE25 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG23 5F110/GG26 5F110/GG28 5F110/GG29 5F110/GG45 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK14 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK33 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN34 5F110/NN35 5F110/NN72 5F110/QQ11		
优先权	1999364544 1999-12-22 JP		
其他公开文献	JP2001242490A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示质量高，几乎没有后续图像的液晶显示装置，不会在薄膜晶体管的关闭状态下增加漏电流，而不需要经过特殊处理，如与传统工艺相比，当使用具有低电阻率的液晶时。解决方案：在具有阵列基板的液晶显示装置中，其中通过在透明基板上层叠栅电极，栅极绝缘膜，半导体层，源电极和漏电极以及设置为面对的相对基板来形成多个TFT与阵列基板相对。半导体层在沟道长度方向上的宽度形成为与沟道长度方向上的栅电极的宽度相匹配。

【図 1】

