

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-78866

(P2010-78866A)

(43) 公開日 平成22年4月8日(2010.4.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H093
G09G 3/20 (2006.01)	G09G 3/20 621F	2H193
G09F 9/30 (2006.01)	G09G 3/20 624B	5C006
G09F 9/35 (2006.01)	G09G 3/20 621A	5C080
審査請求 未請求 請求項の数 5 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2008-246692 (P2008-246692)
 (22) 出願日 平成20年9月25日 (2008.9.25)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

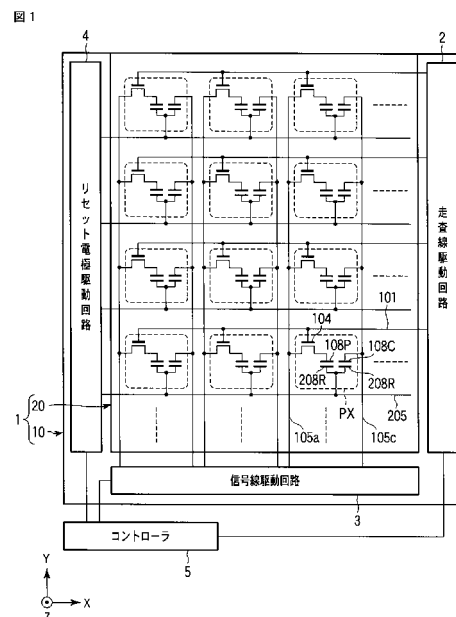
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】簡略化された構造を採用しながらも、開口率を犠牲にすることなしに、全画素で最適な駆動条件を達成可能とする。

【解決手段】本発明の液晶表示装置では、アレイ基板10が含んでいる各画素回路は、スイッチ104を介して信号線105aに接続された画素電極108Pと対電極108Cとを含んでいる。走査線101又は信号線105aの長さ方向に隣り合った画素回路は対電極108Cが互いに接続されている。対向基板20は、走査線101の長さ方向に配列した画素回路からなる列の1つ以上と各々が向き合い、信号線105aの長さ方向に配列した複数のリセット電極208Rを含んでいる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 絶縁基板と、前記第 1 絶縁基板の主面に平行な第 1 方向に各々が延び、前記主面に平行であり且つ前記第 1 方向と交差する第 2 方向に配列した複数の走査線と、前記第 2 方向に各々が延び、前記第 1 方向に配列した複数の信号線と、前記複数の走査線と前記複数の信号線との交差部に対応して配列し、各々が、前記主面の一部と向き合った画素電極と、前記主面の他の一部と少なくとも部分的に向き合った対電極と、前記信号線と前記画素電極との間に接続され、前記走査線を介して供給される走査信号によって動作が制御されるスイッチとを含んだ複数の画素回路とを含み、前記第 1 又は第 2 方向に隣り合った前記画素回路は前記対電極が互いに接続されているアレイ基板と、

10

前記複数の画素回路を間に挟んで前記第 1 絶縁基板と向き合った第 2 絶縁基板と、前記第 1 方向に配列した前記画素回路からなる列の 1 つ以上と各々が向き合い、前記第 2 方向に配列した複数のリセット電極とを含んだ対向基板と、

前記アレイ基板と前記対向基板との間に介在した液晶層とを具備したことを特徴とする液晶表示装置。

【請求項 2】

前記複数の走査線に前記スイッチを閉じる走査電圧を順次供給する走査線駆動回路と、前記複数の信号線の各々に映像信号に対応した信号電圧 V_{sig} と第 1 リセット電圧 V_{rst} 1 とを供給する信号線駆動回路と、

前記複数の画素回路の各々が含んでいる前記対電極に第 1 表示電圧 V_{dsp} 1 を供給する電圧源と、

20

前記複数のリセット電極の各々に第 2 表示電圧 V_{dsp} 2 と第 2 リセット電圧 V_{rst} 2 とを供給するリセット電極駆動回路と、

前記走査線駆動回路と前記信号線駆動回路と前記リセット電極駆動回路とに接続され、それらの動作を制御するコントローラとを更に具備したことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記コントローラは、各フレーム期間の最初又は最後のフィールド期間においてリセット動作が実行され、各フレーム期間の他のフィールド期間において書込動作が実行されるように前記信号線駆動回路及び前記リセット電極駆動回路の動作を制御し、

30

前記リセット動作は、前記信号線駆動回路から前記複数の信号線の各々へと前記第 1 リセット電圧 V_{rst} 1 を供給することと、前記複数のリセット電極に供給する電圧を前記第 2 表示電圧 V_{dsp} 2 から前記第 2 リセット電圧 V_{rst} 2 へと順次切り替えることとを含み、

前記書込動作は、前記信号線駆動回路から前記複数の信号線の各々へと前記信号電圧 V_{sig} を供給することと、前記複数のリセット電極に供給する電圧を前記第 2 リセット電圧 V_{rst} 2 から前記第 2 表示電圧 V_{dsp} 2 へと順次切り替えることとを含み、

前記第 2 リセット電圧 V_{rst} 2 と前記第 1 リセット電圧 V_{rst} 1 との差は、前記第 2 表示電圧 V_{dsp} 2 と前記信号電圧 V_{sig} との差と比較して絶対値がより大きく、前記第 2 リセット電圧 V_{rst} 2 と前記第 1 表示電圧 V_{dsp} 1 との差は、前記第 2 表示電圧 V_{dsp} 2 と前記第 1 表示電圧 V_{dsp} 1 との差と比較して絶対値がより大きく、前記信号電圧 V_{sig} と前記第 1 表示電圧 V_{dsp} 1 との差は、前記第 1 リセット電圧 V_{rst} 1 と前記第 1 表示電圧 V_{dsp} 1 との差と比較して絶対値が等しいか又はより大きいことを特徴とする請求項 2 に記載の液晶表示装置。

40

【請求項 4】

前記対向基板は、前記第 1 及び第 2 絶縁基板間で前記複数のリセット電極に対応して配列し、各々が前記リセット電極と複数の位置で接続された複数の給電線を更に含んだ請求項 1 に記載の液晶表示装置。

【請求項 5】

請求項 1 に記載の液晶表示装置を駆動する方法であって、

各フレーム期間の最初又は最後のフィールド期間においてリセット動作を実行すること

50

と、

各フレーム期間の他のフィールド期間において書込動作を実行することとを含み、

前記リセット動作は、前記複数の信号線の各々へと第1リセット電圧 V_{rst1} を供給することと、前記複数のリセット電極に供給する電圧を第2表示電圧 V_{dsp2} から第2リセット電圧 V_{rst2} へと順次切り替えることとを含み、

前記書込動作は、前記複数の信号線の各々へと信号電圧 V_{sig} を供給することと、前記複数のリセット電極に供給する電圧を前記第2リセット電圧 V_{rst2} から前記第2表示電圧 V_{dsp2} へと順次切り替えることとを含み、

前記第2リセット電圧 V_{rst2} と前記第1リセット電圧 V_{rst1} との差は、前記第2表示電圧 V_{dsp2} と前記信号電圧 V_{sig} との差と比較して絶対値がより大きく、前記第2リセット電圧 V_{rst2} と前記第1表示電圧 V_{dsp1} との差は、前記第2表示電圧 V_{dsp2} と前記第1表示電圧 V_{dsp1} との差と比較して絶対値がより大きく、前記信号電圧 V_{sig} と前記第1表示電圧 V_{dsp1} との差は、前記第1リセット電圧 V_{rst1} と前記第1表示電圧 V_{dsp1} との差と比較して絶対値が等しいか又はより大きいことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示技術に関する。

【背景技術】

【0002】

液晶表示装置にIPS (in-plane switching) モード、VA (vertically aligned) モード及びOCB (optically compensated bend) モードなどの表示モードを採用すると、速い応答速度を達成できる。しかしながら、そのような液晶表示装置であっても、CRT (cathode-ray tube) 表示装置に匹敵する応答速度は達成できていない。

【0003】

特許文献1及び2には、各々の画素について、一方の基板上に第1及び第2電極を設けると共に他方の基板上に第3電極を設けた液晶表示装置が記載されている。この構造を採用すると、第1及び第2電極間に横電界を生じさせることと、第1及び第3電極間と第2及び第3電極間とに縦電界を生じさせることができる。

【0004】

即ち、液晶分子の配向状態の第1状態から第2状態への変化と第2状態から第1状態への変化との双方を、電界の印加によって誘起することができる。従って、短い応答時間を達成することができる。

【0005】

このような液晶表示装置では、特許文献1に記載されているように、第1電極への電圧の印加を制御するためのスイッチを各画素に設け、第2及び第3電極の各々を全画素で共用する共通電極とすることができる。しかしながら、或る画素で縦電界を印加した場合、横電界を印加すべき画素にも縦電界が印加されることとなる。即ち、この場合、一部の画素で最適な駆動条件を達成できたとしても、他の画素で最適な駆動条件を達成することはできない。

【0006】

或いは、特許文献1に記載されているように、第1電極への電圧の印加を制御するためのスイッチと第3電極への電圧の印加を制御するためのスイッチとを各画素に設け、第2電極を全画素で共用する共通電極とすることができる。しかしながら、この場合、2つの基板の双方にスイッチアレイを形成しなければならない。

【0007】

或いは、特許文献2に記載されているように、第1電極への電圧の印加を制御するためのスイッチと第2電極への電圧の印加を制御するためのスイッチとを各画素に設け、第3電極を全画素で共用する共通電極とすることができる。しかしながら、この場合、各画素

10

20

30

40

50

は2つのスイッチを含むこととなるのに加え、画素の列毎に2本の信号線が必要となる。それゆえ、高い開口率を達成することは難しい。

【特許文献1】特開2004-354407号公報

【特許文献2】特開2007-101972号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上記の通り、従来技術によれば、全ての画素で最適な駆動条件を達成するためには、複雑な構造を採用するか又は開口率を犠牲にする必要がある。

【0009】

本発明の目的は、簡略化された構造を採用しながらも、開口率を犠牲にすることなしに、全画素で最適な駆動条件を達成可能とすることにある。

【課題を解決するための手段】

【0010】

本発明の第1側面によると、第1絶縁基板と、前記第1絶縁基板の主面に平行な第1方向に各々が延び、前記主面に平行であり且つ前記第1方向と交差する第2方向に配列した複数の走査線と、前記第2方向に各々が延び、前記第1方向に配列した複数の信号線と、前記複数の走査線と前記複数の信号線との交差部に対応して配列し、各々が、前記主面の一部と向き合った画素電極と、前記主面の他の一部と少なくとも部分的に向き合った対電極と、前記信号線と前記画素電極との間に接続され、前記走査線を介して供給される走査信号によって動作が制御されるスイッチとを含んだ複数の画素回路とを含み、前記第1又は第2方向に隣り合った前記画素回路は前記対電極が互いに接続されているアレイ基板と、前記複数の画素回路を間に挟んで前記第1絶縁基板と向き合った第2絶縁基板と、前記第1方向に配列した前記画素回路からなる列の1つ以上と各々が向き合い、前記第2方向に配列した複数のリセット電極とを含んだ対向基板と、前記アレイ基板と前記対向基板との間に介在した液晶層とを具備したことを特徴とする液晶表示装置が提供される。

【0011】

本発明の第2側面によると、第1側面に係る液晶表示装置を駆動する方法であって、各フレーム期間の最初又は最後のフィールド期間においてリセット動作を実行することと、各フレーム期間の他のフィールド期間において書込動作を実行することとを含み、前記リセット動作は、前記複数の信号線の各々へと第1リセット電圧 V_{rst1} を供給することと、前記複数のリセット電極に供給する電圧を第2表示電圧 V_{dsp2} から第2リセット電圧 V_{rst2} へと順次切り替えることとを含み、前記書込動作は、前記複数の信号線の各々へと信号電圧 V_{sig} を供給することと、前記複数のリセット電極に供給する電圧を前記第2リセット電圧 V_{rst2} から前記第2表示電圧 V_{dsp2} へと順次切り替えることとを含み、前記第2リセット電圧 V_{rst2} と前記第1リセット電圧 V_{rst1} との差は、前記第2表示電圧 V_{dsp2} と前記信号電圧 V_{sig} との差と比較して絶対値がより大きく、前記第2リセット電圧 V_{rst2} と前記第1表示電圧 V_{dsp1} との差は、前記第2表示電圧 V_{dsp2} と前記第1表示電圧 V_{dsp1} との差と比較して絶対値がより大きく、前記信号電圧 V_{sig} と前記第1表示電圧 V_{dsp1} との差は、前記第1リセット電圧 V_{rst1} と前記第1表示電圧 V_{dsp1} との差と比較して絶対値が等しいか又はより大きいことを特徴とする方法が提供される。

【発明の効果】

【0012】

本発明によると、簡略化された構造を採用しながらも、開口率を犠牲にすることなしに、全画素で最適な駆動条件を達成することが可能となる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の態様について、図面を参照しながら詳細に説明する。なお、同様又は類似した機能を発揮する構成要素には全ての図面を通じて同一の参照符号を付し、重複する説明は省略する。

10

20

30

40

50

【0014】

図1は、本発明の一態様に係る液晶表示装置を概略的に示す平面図である。図2、図1の液晶表示装置に採用可能な構造の一例を概略的に示す断面図である。図3は、図2に示す構造の分解斜視図である。なお、図3では、簡略化のため、一部の構成要素を省略している。

【0015】

図1乃至図3に示す液晶表示装置は、アクティブマトリクス型液晶表示装置である。この液晶表示装置は、液晶表示パネル1と、これと向き合うように配置されたバックライト（図示せず）と、液晶表示パネル1に接続された走査線駆動回路2、信号線駆動回路3及びリセット電極駆動回路4と、これら駆動回路2乃至4に接続されたコントローラ5とを含んでいる。

10

【0016】

液晶表示パネル1は、アレイ基板10と対向基板20とを含んでいる。アレイ基板10と対向基板20との間には、枠状のシール層（図示せず）が介在している。アレイ基板10と対向基板20とシール層とに囲まれた空間は、液晶材料で満たされており、この液晶材料は液晶層30を形成している。アレイ基板10及び対向基板20の外面上には、偏光板40が設置されている。

【0017】

アレイ基板10は、光透過性基板100を含んでいる。基板100は、例えば、ガラス基板又はプラスチック基板である。

20

【0018】

基板100上には、走査線101が配置されている。走査線101は、各々がX方向に延びており、X方向と交差するY方向に配列している。

【0019】

なお、X方向及びY方向は、基板100の一方の主面に平行であり且つ互いに交差する方向である。後述するZ方向は、X方向及びY方向に垂直な方向である。

【0020】

走査線101の各々は、Y方向に突き出した突出部を含んでいる。これら突出部は、後述する薄膜トランジスタのゲート電極として利用する。走査線101の材料としては、例えば、金属又は合金を使用することができる。

30

【0021】

走査線101は、絶縁膜102で被覆されている。絶縁膜102としては、例えばシリコン酸化膜を使用することができる。

【0022】

絶縁膜102上では、半導体層103が上記のゲート電極に対応して配列している。これら半導体層103は、それぞれ、ゲート電極と交差している。半導体層103は、例えばアモルファスシリコンからなる。

【0023】

ゲート電極と、半導体層103と、絶縁膜102のうちゲート電極と半導体層103との間に位置した部分、即ちゲート絶縁膜とは、薄膜トランジスタを形成している。これら薄膜トランジスタは、スイッチ104として利用する。

40

【0024】

なお、本態様では、スイッチ104は、nチャネル薄膜トランジスタである。また、各半導体層103上には、図示しないチャネル保護層及びオーミック層を形成している。

【0025】

スイッチ104は、pチャネル薄膜トランジスタであってもよい。或いは、スイッチ104は、ダイオードなどの他のスイッチング素子であってもよい。

【0026】

絶縁膜102上には、信号線105aとソース電極105bと給電線105cとが更に配置されている。

50

【0027】

信号線105aは、各々がY方向に延びており、スイッチ104が形成する列に対応してX方向に配列している。信号線105aは、スイッチ104が含む半導体層103のドレインを被覆している。即ち、信号線105aの一部は、スイッチ104に接続されたドレイン電極である。

【0028】

ソース電極105bは、スイッチ104に対応して配列している。ソース電極105bは、スイッチ104のソースを被覆している。

【0029】

給電線105cは、各々がY方向に延びており、X方向に配列している。給電線105cは、各々がX方向に延び、Y方向に配列していてもよい。

10

【0030】

絶縁膜102上では、対電極108Cが更に配列している。対電極108Cは、各々がY方向に延びており、スイッチ104が形成する列に対応してX方向に配列している。これら対電極108Cは、それぞれ給電線105cを少なくとも部分的に被覆している。対電極108Cの材料としては、例えばITO(indium tin oxide)を使用することができる。

【0031】

対電極108Cの各々がY方向に延びた形状を有している場合、給電線105cは省略してもよい。また、給電線105cを設置した場合、対電極108Cは、スイッチ104に対応してX方向とY方向とに配列していてもよい。或いは、対電極108Cは、表示領域全体に亘って広がった1つの層であってもよい。

20

【0032】

対電極108Cは、絶縁膜109で被覆されている。絶縁膜109は、例えば、シリコン酸化膜及びシリコン窒化膜などの透明無機層である。絶縁膜109として、透明有機層を使用してもよい。

【0033】

絶縁膜109上では、対電極108Cに対応して、画素電極108Pが配列している。これら画素電極108Pは、対電極108Cから絶縁されており、それぞれソース電極105bを少なくとも部分的に被覆している。画素電極108Pの材料としては、例えばITOを使用することができる。

30

【0034】

画素電極108Pは基板100の主面の一部と向き合っており、対電極108Cはこの主面の他の一部と少なくとも部分的に向き合っている。ここでは、画素電極108Pは楕円形状を有しており、対電極108Cは帯形状を有している。

【0035】

絶縁膜109及び画素電極108Pは、配向膜111で被覆されている。配向膜111は、その近傍で、液晶分子を、Z方向に対してほぼ平行に配向させる。典型的には、配向膜111は、その近傍で、液晶分子を、Z方向に対して略平行に配向させる。配向膜111は、例えば、ポリイミドを塗布することやシリコン酸化物を斜方蒸着することにより得られる。これらの中でも、成膜の容易さや化学的安定性の点では、ポリイミドが優れている。この例では、配向膜111として、垂直配向性のポリイミド膜を使用することとする。

40

【0036】

なお、スイッチ104と画素電極108Pと対電極10Cとは、画素回路を形成している。画素回路は、表示期間に画素電極108Pの電位を維持するキャパシタなどの他の素子を更に含んでもよい。

【0037】

対向基板20は、光透過性基板200を含んでいる。基板200は、例えば、ガラス基板又はプラスチック基板である。

50

【0038】

基板200上には、給電線205とカラーフィルタ層220とがこの順に形成されている。

【0039】

給電線205は、各々がX方向に延び、走査線101に対応してY方向に配列している。給電線205は、金属又は合金からなる。給電線205は、ブラックマトリクス又はその一部として利用することができる。

【0040】

カラーフィルタ層220は、赤色着色層220Rと緑色着色層220Gと青色着色層220Bとを含んでいる。着色層220R、220G及び220Bは、画素回路が形成する列に対応したストライプ配列を形成している。着色層220R、220G及び220Bは、デルタ配列及び正方配列などの他の配列を形成していてもよい。

【0041】

カラーフィルタ層220上には、リセット電極208Rが形成されている。リセット電極208Rは、各々がX方向に延び、給電線205に対応してY方向に配列している。各リセット電極208Rは、X方向に配列した画素回路からなる列の1つと向き合っている。リセット電極208Rの材料としては、例えばITOを使用することができる。

【0042】

各リセット電極208Rは、カラーフィルタ層220に設けられた複数の貫通孔を介して給電線205に接続されている。リセット電極208Rの各々がY方向に延びた形状を有している場合、給電線205は省略してもよい。また、給電線205を設置した場合、リセット電極208Rは、スイッチ104に対応してX方向とY方向とに配列していてもよい。

【0043】

リセット電極208Rは、配向膜211で被覆されている。配向膜211としては、配向膜111と同様の膜を使用することができる。この例では、配向膜211として、垂直配向性のポリイミド膜を使用することとする。

【0044】

アレイ基板10と対向基板20とは、それらの配向膜111及び211同士が向き合うように配置されている。アレイ基板10と対向基板20の間には、枠状のシール層（図示せず）が介在している。シール層は、アレイ基板10と対向基板20とを互いに貼り合せている。シール層の材料としては、接着剤を使用することができる。

【0045】

アレイ基板10と対向基板20との間であってシール層が形成する枠の外側には、図示しないトランスファ電極が配置されている。トランスファ電極は、リセット電極208Rをアレイ基板10に接続している。

【0046】

アレイ基板10と対向基板20の間には粒状スペーサが介在しているか、或いは、アレイ基板10及び／又は対向基板20は柱状スペーサを更に含んでいる。これらスペーサは、アレイ基板10と対向基板20との間であって画素電極108Pに対応した位置に、厚さがほぼ一定の隙間を形成している。

【0047】

アレイ基板10と対向基板20と接着剤層とに囲まれた空間は、液晶材料で満たされている。この液晶材料は、液晶層30を形成している。この液晶材料としては、例えば、誘電率異方性が正のネマチック液晶材料を使用することができる。

【0048】

画素電極108Pと対電極108Cとリセット電極208Rと配向膜111及び211と液晶層30とは、液晶素子を形成している。各画素PXは、この液晶素子とスイッチ104とを含んでいる。また、アレイ基板10と対向基板20とそれらの間に介在した液晶層30及びシール層とは、液晶セルを形成している。

【0049】

偏光板40は、例えば、それらの透過軸が互いに略直交するように配置する。また、各偏光板40は、例えば、その透過軸がX方向及びY方向に対して45°の角度を為すように設置する。

【0050】

走査線駆動回路2には、走査線101が接続されている。走査線駆動回路2は、走査線101に、スイッチ104を閉じる第1走査電圧 V_{scan1} を順次供給する。走査線駆動回路2は、第1走査電圧 V_{scan1} を供給していない走査線101には、スイッチ104を開く第2走査電圧 V_{scan2} を供給する。

【0051】

信号線駆動回路3には、信号線105aと給電線105cとが接続されている。信号線駆動回路3は、信号線105aに信号電圧 V_{sig} と第1リセット電圧 V_{rst1} とを供給し、給電線105cに第1表示電圧 V_{dsp1} を供給する。なお、ここでは、給電線105cに第1表示電圧 V_{dsp1} を供給するための電圧源を信号線駆動回路3が含んだ構成を採用しているが、給電線105cに第1表示電圧 V_{dsp1} を供給するための電圧源は、信号線駆動回路3とは別に設けてもよい。

【0052】

リセット電極駆動回路4には、給電線205が接続されている。リセット電極駆動回路4は、各リセット電極208Rに第2表示電圧 V_{dsp2} と第2リセット電圧 V_{rst2} とを供給する。

【0053】

駆動回路2乃至4は、COG (chip on glass) 実装してもよい。或いは、駆動回路2乃至4は、TCP (tape carrier package) 実装してもよい。

【0054】

コントローラ5は、駆動回路2乃至4に接続されている。コントローラ5は、例えば、以下に説明する方法に従って駆動回路2乃至4の動作を制御する。

【0055】

図4は、図1に示す液晶表示装置の駆動方法の一例を示すタイミングチャートである。図4において、横軸は時間を示し、縦軸は電圧又は電位を示している。「 $V_{SCL}(m)$ 」は、走査線駆動回路2がm行目の走査線101に出力する電圧の波形を示している。「 V_{SGL} 」は、信号線駆動回路3が或る画素PXに接続された信号線105aに出力する電圧の波形を示している。「 V_{CE} 」は、信号線駆動回路3が各給電線105cに出力する電圧の波形を示している。「 $V_{RE}(m)$ 」は、リセット電極駆動回路4がm行目の給電線205に出力する電圧の波形を示している。

【0056】

図4に示す駆動方法では、各フレームを2つ以上のフィールドで構成している。各フィールド期間では、順次走査を行う。信号線駆動回路3は、全ての信号線群に信号電圧を同時に供給する。また、この駆動方法では、対電極108Cの電位 V_{dsp1} は一定とする。

【0057】

各フレーム期間の最初のフィールド期間は、リセット期間である。リセット期間においては、リセット動作を実行する。具体的には、信号線駆動回路2は、コントローラ5による制御のもと、走査線駆動回路2が1行目の走査線101へ供給する走査信号を第2走査電圧 V_{scan2} から第1走査電圧 V_{scan1} へと切り替えてから、n行目の走査線101へ供給する走査信号を第1走査電圧 V_{scan1} から第2走査電圧 V_{scan2} へと切り替えるまでの期間に亘り、信号線105aに第1リセット信号 V_{rst1} を供給する。そして、リセット電極駆動回路4は、コントローラ5による制御のもと、走査線駆動回路2がm行目の走査線101への第1走査信号 V_{scan1} の供給を開始してから、走査線駆動回路2がm行目の走査線101への第1走査信号 V_{scan1} の供給を再び開始するまでの期間に亘り、給電線205に第2リセット電圧 V_{rst2} を供給する。これにより、各画素PXにおいて、画素電極108Pとリセット電極208Rとの間の第1電圧V1を電圧 $V_{rst1} - V_{rst2}$ に設

10

20

30

40

50

定し、対電極 108C とリセット電極 208R との間の第 2 電圧 V_2 を電圧 $V_{dsp1} - V_{rst2}$ に設定する。

【0058】

各フレーム期間の 2 番目以降のフィールド期間においては、走査線駆動回路 2 が 1 つの走査線 101 に第 1 走査電圧を供給している各選択期間内に書込動作を実行する。

【0059】

具体的には、各選択期間において、信号線駆動回路 3 は、コントローラ 5 による制御のもと、信号線 105a に、映像信号に対応した大きさの信号電圧 V_{sig} を供給する。そして、リセット電極駆動回路 4 は、コントローラ 5 による制御のもと、リセット期間を終了してから、次のリセット期間を開始するまでの期間に亘り、給電線 205 に第 2 表示電圧 V_{dsp2} を供給する。これにより、画素電極 108P と対電極 108C との間の電圧を電圧 $V_{sig} - V_{dsp1}$ に設定すると共に、リセット電極 208 と対電極 108C との間の電圧を電圧 $V_{dsp2} - V_{dsp1}$ に設定する。

【0060】

第 2 リセット電圧 V_{rst2} と第 1 リセット電圧 V_{rst1} との差は、第 2 表示電圧 V_{dsp2} と信号電圧 V_{sig} との差と比較して絶対値がより大きい。第 2 リセット電圧 V_{rst2} と第 1 表示電圧 V_{dsp1} との差は、第 2 表示電圧 V_{dsp2} と第 1 表示電圧 V_{dsp1} との差と比較して絶対値がより大きい。そして、信号電圧 V_{sig} と第 1 表示電圧 V_{dsp1} との差は、第 1 リセット電圧 V_{rst1} と第 1 表示電圧 V_{dsp1} との差と比較して絶対値が等しいか又はより大きい。例えば、第 1 表示電圧 V_{dsp1} 及び第 1 リセット電圧 V_{rst1} の各々を約 0V とし、第 2 リセット電圧 V_{rst2} を約 10V とし、第 2 表示電圧 V_{dsp2} を約 2.5V とした場合、信号電圧 V_{sig} は、映像信号の大きさに対応して約 0V 乃至約 7V の範囲内で変化させる。

【0061】

この駆動方法では、上記の通り、各フレーム期間の最初のフィールド期間において、リセット動作を実行する。それゆえ、以下に説明するように、短い応答時間を達成することができる。

【0062】

図 5 は、書込動作に伴う液晶分子の配向状態の変化の一例を概略的に示す図である。図 6 は、リセット動作に伴う液晶分子の配向状態の変化の一例を概略的に示す図である。なお、図 5 及び図 6 において、参照符号 LC は液晶分子を表し、一点鎖線は電気力線を表している。また、図 5 及び図 6 には、各電極の電圧を示している。

【0063】

図 5 に示すように、画素電極 108P の電圧を 5V とし、対電極 108C の電圧を 0V とし、リセット電極 208R の電圧を 2.5V とした場合、画素電極 108P 及び対電極 108C の近傍には横電界が生じる。従って、例えば、Z 方向にほぼ平行に配向していた液晶分子は、この横電界の作用によって、速やかにその傾き角を大きくする。

【0064】

また、図 6 に示すように、画素電極 108P の電圧を 0V とし、対電極 108C の電圧を 0V とし、リセット電極 208R の電圧を 10V とした場合、画素電極 108P 及び対電極 108C とリセット電極 208R との間には縦電界が生じる。従って、例えば、Z 方向に対して傾いていたか又は垂直に配向していた液晶分子は、この縦電界の作用によって、速やかに Z 方向にほぼ平行に配向する。

【0065】

このように、先の駆動方法では、まず、リセット動作によって、最低階調に対応した第 1 配向状態を生じさせ、次いで、書込動作によって、表示すべき階調に対応した第 2 配向状態を生じさせる。第 1 配向状態から第 2 配向状態への変化は、横電界によって誘起することができるため、表示すべき階調が如何様であろうと速やかに進行する。そして、第 2 配向状態から第 1 配向状態への変化は、縦電界によって誘起することができるため速やかに進行する。

【0066】

即ち、液晶分子の配向状態の第1状態から第2状態への変化と第2状態から第1状態への変化との双方を、電界の印加によって誘起することができる。従って、短い応答時間を達成することができる。

【0067】

また、この液晶表示装置では、スイッチを対向基板20に設ける必要がなく、各画素PXに2つ以上のスイッチを設ける必要もない。即ち、上述した技術によると、簡略化された構造を採用しながらも、高い開口率を犠牲にすることなしに、全ての画素で最適な駆動条件を達成することが可能となる。

【0068】

10

この駆動方法には、様々な変形が可能である。

例えば、この駆動方法では、各フレーム期間の最初のフィールド期間においてリセット動作を行っている。その代わりに、各フレーム期間の最後のフィールド期間においてリセット動作を行ってもよい。

【0069】

また、この駆動方法では、順次走査を行っている。その代わりに、インターレース走査を行ってもよい。

また、この駆動方法では、画素電極108Pと対電極108Cとの間に印加する電圧及びリセット電極208と対電極108Cとの間に印加する電圧の極性の各々を、フレーム期間毎に反転させている。その代わりに、これら極性の各々は、反転させなくてもよい。

20

【0070】

上述した液晶表示装置には、様々な変形が可能である。

図7は、一変形例に係る液晶表示装置の分解斜視図である。

【0071】

図7に示す液晶表示装置では、対電極108Cの形状を各画素PXの位置で楕形状としている。具体的には、各画素PXにおいて、対電極108Cの楕歯は、長さ方向が画素電極108Pの楕歯の長さ方向、即ちX方向に対して平行であり、Y方向に配列している。そして、各画素PXにおいて、対電極108Cの楕歯は、画素電極108Pの楕歯間の隙間と向き合っている。これ以外は、図7に示す液晶表示装置は、図1乃至図6を参照しながら説明した液晶表示装置と同様である。

30

【0072】

図7に示す液晶表示装置は、例えば、図4を参照しながら説明したのと同様の方法により駆動することができる。従って、上述したのとほぼ同様の効果を得ることができる。

【0073】

図8は、他の変形例に係る液晶表示装置の分解斜視図である。

図8に示す液晶表示装置では、給電線205（図8では省略している）が2本の走査線101に対して1本の割合で設けられている。そして、各リセット電極208は、X方向に配列した画素回路からなる列の2つと向き合っている。これ以外は、図8に示す液晶表示装置は、図1乃至図6を参照しながら説明した液晶表示装置と同様である。

【0074】

40

図8に示す液晶表示装置は、例えば、給電線205を走査する速度を、走査線101を走査する速度の1/2とすること以外は、図4を参照しながら説明したのとほぼ同様の方法により駆動することができる。従って、上述したのとほぼ同様の効果を得ることができる。

【0075】

なお、各リセット電極208は、X方向に配列した画素回路からなる列の3つ以上と向き合っているもよい。

【0076】

また、これら液晶表示装置は透過型液晶表示装置であるが、上述した技術は、反射型又は半透過型液晶表示装置に適用することも可能である。

50

【実施例】

【0077】

以下、本発明の例について説明する。

【0078】

<例1>

本例では、図1乃至図3を参照しながら説明した液晶表示装置を以下の方法により製造した。

【0079】

アレイ基板10を作製するに当たっては、まず、ガラス基板100上に、走査線101を形成した。走査線101の材料としては、クロムを使用した。

10

【0080】

次に、走査線101とガラス基板100とを、シリコン酸化物からなる絶縁膜102によって被覆した。この絶縁膜102上にアモルファスシリコン層を形成し、これをパターニングすることにより半導体層103を得た。その後、各半導体層103の一部の上に窒化シリコンからなるチャンネル保護層（図示せず）を形成し、半導体層103及びチャンネル保護層上に図示しないオーミック層を形成した。

【0081】

次に、絶縁膜102上に、信号線105aとソース電極105bと給電線105cとを形成した。絶縁膜102上には、ITOからなる対電極108Cを、それらが給電線105cを少なくとも部分的に被覆するように形成した。対電極108Cは、フォトリソグラフィ技術を利用してパターニングすることにより形成した。

20

【0082】

その後、信号線105aとソース電極105bと給電線105c対電極108C上に、シリコン窒化物からなる絶縁膜109を堆積させた。この絶縁膜109には、ソース電極105bに対応した位置にコンタクトホールを設けた。

【0083】

次いで、絶縁膜109上に、ITOからなる画素電極108Pを、それらが先のコンタクトホールを埋め込むように形成した。画素電極108Pは、連続膜としてのITO層を絶縁膜109上に形成し、このITO層を、フォトリソグラフィ技術を利用してパターニングすることにより形成した。

30

【0084】

対向基板20を作製するに当たっては、まず、ガラス基板200上にクロム膜を形成し、これをパターニングした。これにより、ブラックマトリクスを兼ねた給電線205を得た。続いて、その上に、それぞれ赤、緑、青色の顔料を混入した感光性アクリル樹脂を用いて、ストライプ状のカラーフィルタ220を形成した。

【0085】

次に、カラーフィルタ220上に、透明なアクリル樹脂を塗布して、図示しない平坦化層（オーバーコート）を形成した。その後、平坦化層上に、ITO層をスパッタリングによって形成した。更に、このITO層を、フォトリソグラフィ技術を利用してパターニングして、各々が帯形状を有しているリセット電極208Rを形成した。各リセット電極208Rは、平坦化層及びカラーフィルタ220に設けたコンタクトホールを介して給電線205に接続した。

40

【0086】

その後、平坦化層上に、フォトリソグラフィ法を利用して、高さが5 μ mであり且つ底面の寸法が5 μ m $\times$ 10 μ mの柱状スペーサ（図示せず）を形成した。これら柱状スペーサは、アレイ基板10と対向基板20とを貼り合せたときに信号線105上に位置するように形成した。

【0087】

画素電極108P及びリセット電極208Rを洗浄した後、それらの上に、オフセット印刷によってポリイミド溶液を塗布した。これら塗膜を、ホットプレートを用いて90 $^{\circ}$ C

50

で1分間加熱し、更に200℃で30分間加熱した。このようにして、垂直配向膜111及び211を形成した。

【0088】

その後、対向基板20の主面に、シール層の材料であるエポキシ接着剤を、配向膜211を取り囲むようにディスペンサを用いて塗布した。なお、接着剤層が形成する枠には、後で注入口として利用する開口を設けた。続いて、アレイ基板10と対向基板20とを、配向膜111及び211が向き合うように配置した。位置合わせ後、アレイ基板10と対向基板20とを貼り合わせ、更に、加圧状態で160℃に加熱することにより接着剤を硬化させた。

【0089】

次に、このようにして得られた空セルを真空チャンバ内に搬入し、セル内を真空にした。その後、注入口からセル内へと液晶材料を注入した。液晶材料としては、ネマチック液晶組成物であるメルクジャパン社製E7を使用した。

【0090】

その後、注入口をエポキシ接着剤で封止した。以上のようにして、液晶セルを得た。なお、この液晶セルのセルギャップは、約5μmであった。

【0091】

次に、液晶セルの両面に、偏光板40を貼り付けた。これら偏光板40は、それらの透過軸が互いに略直交すると共に、各々の透過軸がX方向又はY方向に対してほぼ45度になるように配置した。

【0092】

その後、アレイ基板10に駆動回路2乃至4などを接続し、駆動回路2乃至4をコントローラ5と接続した。更に、この表示パネル1とバックライトとを組み合わせた。以上のようにして、液晶表示装置を完成した。

【0093】

次に、この液晶表示装置を、図4を参照しながら説明したのとほぼ同様の方法により駆動した。

【0094】

具体的には、各フレームを2つのフィールドで構成した。各フレーム期間の最初のフィールド期間は13.3ミリ秒間とし、このフィールド期間では書込動作を行った。そして、各フレーム期間の2番目のフィールド期間は3.4ミリ秒間とし、このフィールド期間ではリセット動作を行った。各フレーム期間の2番目のフィールド期間では、各選択期間を20マイクロ秒間とした。

【0095】

書込動作では、画素電極108Pと対電極108Cとの間に、絶対値が最大で5Vの電圧を印加した。リセット動作では、画素電極108Pに印加する電圧と対電極108Cに印加する電圧とをほぼ等しくし、リセット電極208Rと対電極108Cとの間に印加する電圧は、+10V又は-10Vとした。

【0096】

この条件のもとで液晶表示装置を駆動し、表示画像を白色画像から黒色画像へと切り替えた。その結果、2ミリ秒の応答時間を達成できた。また、この条件のもとで液晶表示装置に白色画像と黒色画像とを表示させたところ、1000:1のコントラスト比を達成できた。

【0097】

<例2>

本例では、図7を参照しながら説明した液晶表示装置を製造した。なお、本例において製造した液晶表示装置は、各対電極108Cが画素PXの位置で楕形状を有していること以外は、例1において製造した液晶表示装置と同様である。

【0098】

この液晶表示装置を例1において説明したのと同様の条件のもとで駆動し、表示画像を

10

20

30

40

50

白色画像から黒色画像へと切り替えた。その結果、2ミリ秒の応答時間を達成できた。また、この条件のもとで液晶表示装置に白色画像と黒色画像とを表示させたところ、1000：1のコントラスト比を達成できた。

【0099】

<例3>

本例では、図8を参照しながら説明した液晶表示装置を製造した。なお、本例において製造した液晶表示装置は、各リセット電極208Rが、X方向に配列した画素回路からなる列の2つと向き合っていること以外は、例1において製造した液晶表示装置と同様である。

【0100】

この液晶表示装置を、給電線205を走査する速度を、走査線101を走査する速度の1/2としたこと以外は、例1において説明したのとほぼ同様の条件のもとで駆動し、表示画像を白色画像から黒色画像へと切り替えた。その結果、2ミリ秒の応答時間を達成できた。また、この条件のもとで液晶表示装置に白色画像と黒色画像とを表示させたところ、1000：1のコントラスト比を達成できた。

【0101】

<比較例>

リセット電極208Rを省略したこと以外は、例1において製造したのと同様の構造を有する液晶表示装置を製造した。

【0102】

この液晶表示装置を例1において説明したのと同様の条件のもとで駆動し、表示画像を白色画像から黒色画像へと切り替えた。その結果、応答時間は10ミリ秒であった。また、この条件のもとで液晶表示装置に白色画像と黒色画像とを表示させたところ、コントラスト比は500：1であった。

【図面の簡単な説明】

【0103】

【図1】本発明の一態様に係る液晶表示装置を概略的に示す平面図。

【図2】図1の液晶表示装置に採用可能な構造の一例を概略的に示す断面図。

【図3】図2に示す構造の分解斜視図。

【図4】図1に示す液晶表示装置の駆動方法の一例を示すタイミングチャート。

【図5】書込動作に伴う液晶分子の配向状態の変化の一例を概略的に示す図。

【図6】リセット動作に伴う液晶分子の配向状態の変化の一例を概略的に示す図。

【図7】一変形例に係る液晶表示装置の分解斜視図。

【図8】他の変形例に係る液晶表示装置の分解斜視図。

【符号の説明】

【0104】

1…液晶表示パネル、2…走査線駆動回路、3…信号線駆動回路、4…リセット電極駆動回路、5…コントローラ、10…アレイ基板、20…対向基板、30…液晶層、40…偏光板、100…光透過性基板、101…走査線、102…絶縁膜、103…半導体層、104…スイッチ、105a…信号線、105b…ソース電極、105c…給電線、108C…対電極、108P…画素電極、109…絶縁膜、111…配向膜、200…光透過性基板、205…給電線、208R…リセット電極、211…配向膜、220…カラーフィルタ層、220B…青色着色層、220G…緑色着色層、220R…赤色着色層、LC…液晶分子、PX…画素。

10

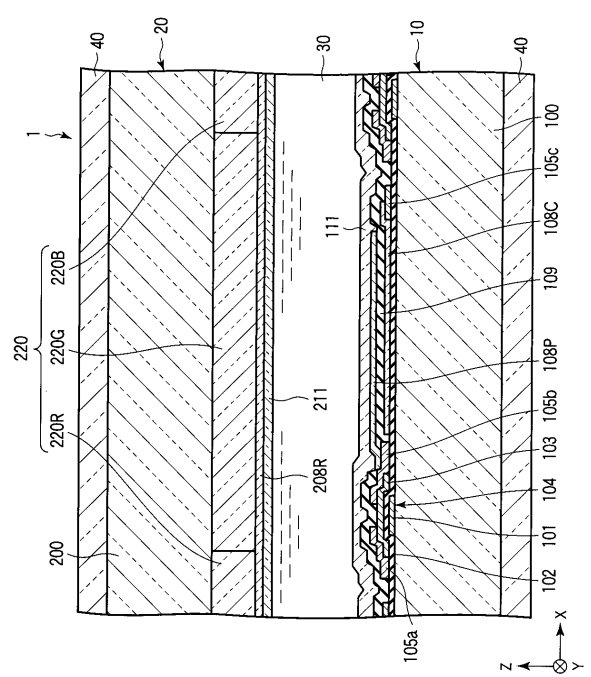
20

30

40

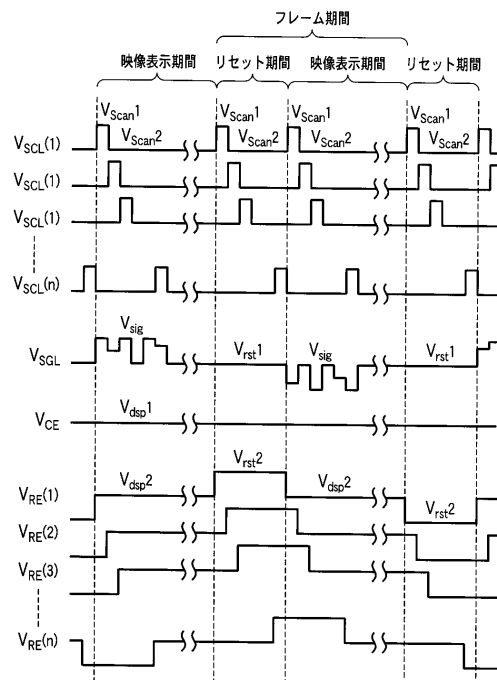
【圖 2】

图 2



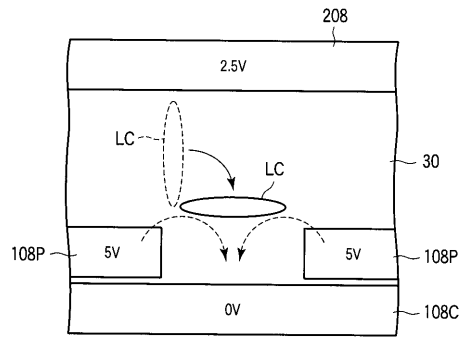
【 図 4 】

图 4



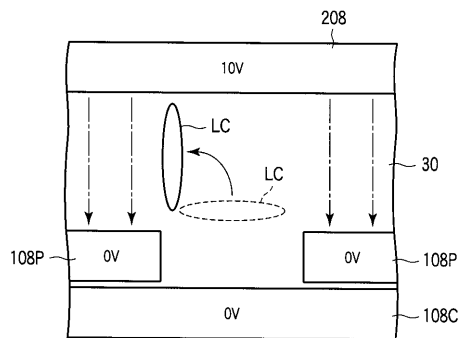
【図 5】

図 5



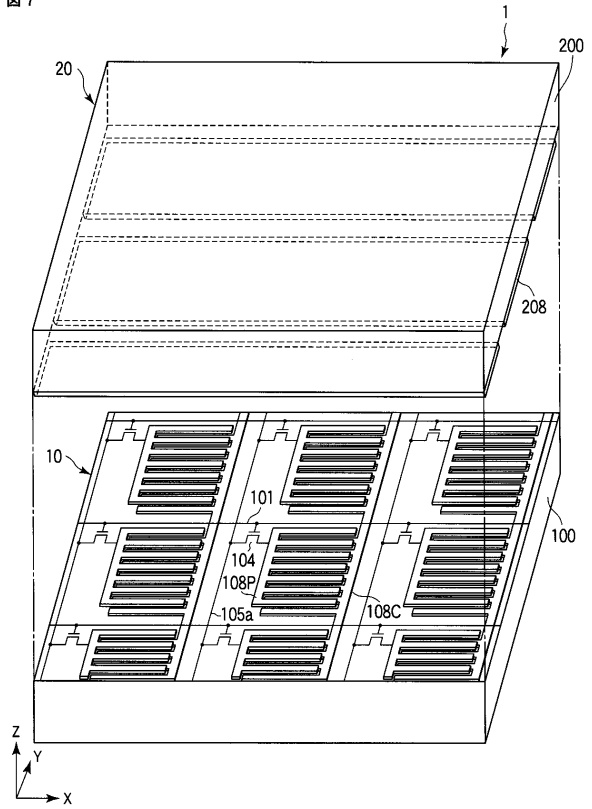
【図 6】

図 6



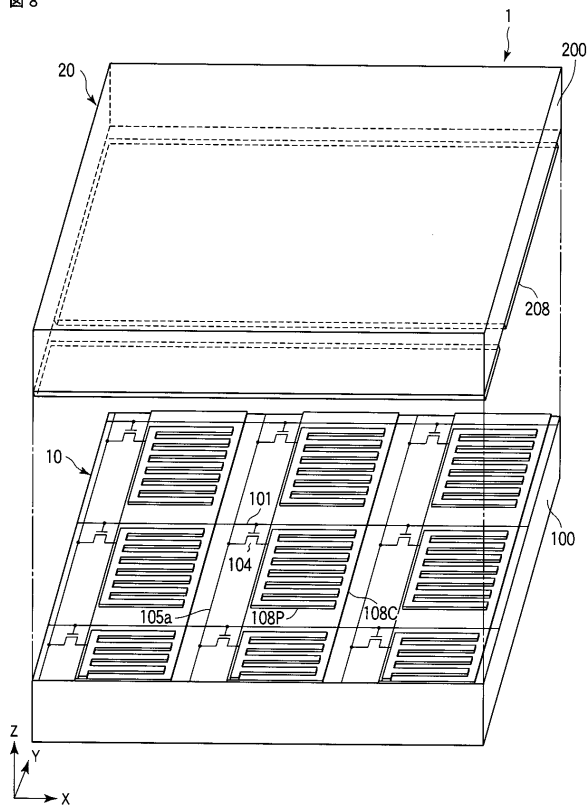
【図 7】

図 7



【図 8】

図 8



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
G 0 2 F 1/133 (2006.01)	G 0 9 G 3/20 6 2 3 D	5 C 0 9 4
	G 0 9 G 3/20 6 2 2 D	
	G 0 9 G 3/20 6 2 4 E	
	G 0 9 G 3/20 6 2 4 D	
	G 0 9 G 3/20 6 4 1 C	
	G 0 9 G 3/20 6 8 0 F	
	G 0 9 F 9/30 3 3 8	
	G 0 9 F 9/35	
	G 0 2 F 1/133 5 5 0	

(74)代理人 100095441
 弁理士 白根 俊郎

(74)代理人 100084618
 弁理士 村松 貞男

(74)代理人 100103034
 弁理士 野河 信久

(74)代理人 100119976
 弁理士 幸長 保次郎

(74)代理人 100153051
 弁理士 河野 直樹

(74)代理人 100140176
 弁理士 砂川 克

(74)代理人 100100952
 弁理士 風間 鉄也

(74)代理人 100101812
 弁理士 勝村 紘

(74)代理人 100070437
 弁理士 河井 将次

(74)代理人 100124394
 弁理士 佐藤 立志

(74)代理人 100112807
 弁理士 岡田 貴志

(74)代理人 100111073
 弁理士 堀内 美保子

(74)代理人 100134290
 弁理士 竹内 将訓

(74)代理人 100127144
 弁理士 市原 卓三

(74)代理人 100141933
 弁理士 山下 元

(72)発明者 長谷川 励
 東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 岐津 裕子
 東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 2H092 HA04 JA26 JA46 JB14 JB52 JB54 KA05 KA12 MA13 PA02
 PA08 PA09 PA11 PA13
 2H093 NA16 NC10 NC12 NC18 NC34 NC35 ND08 ND54 ND60 NE03

	NF04	NH12	NH13							
2H193	ZA04	ZF22	ZF36	ZF59	ZP03					
5C006	AA16	AA22	AC24	AC25	AF44	AF73	BB16	BC06	FA12	FA14
	FA42	FA43	FA54							
5C080	AA10	BB05	CC03	DD01	DD08	DD23	EE29	FF11	FF12	JJ03
	JJ04	JJ06								
5C094	AA45	AA53	AA55	BA03	BA43	CA19	DB01	DB04	EA10	FA01
	FA02	FB01	FB12	GA10						

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2010078866A	公开(公告)日	2010-04-08
申请号	JP2008246692	申请日	2008-09-25
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	長谷川 励 岐津 裕子		
发明人	長谷川 励 岐津 裕子		
IPC分类号	G09G3/36 G02F1/1368 G09G3/20 G09F9/30 G09F9/35 G02F1/133		
FI分类号	G09G3/36 G02F1/1368 G09G3/20.621.F G09G3/20.624.B G09G3/20.621.A G09G3/20.623.D G09G3/20.622.D G09G3/20.624.E G09G3/20.624.D G09G3/20.641.C G09G3/20.680.F G09F9/30.338 G09F9/35 G02F1/133.550		
F-TERM分类号	2H092/HA04 2H092/JA26 2H092/JA46 2H092/JB14 2H092/JB52 2H092/JB54 2H092/KA05 2H092/KA12 2H092/MA13 2H092/PA02 2H092/PA08 2H092/PA09 2H092/PA11 2H092/PA13 2H093/NA16 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC34 2H093/NC35 2H093/ND08 2H093/ND54 2H093/ND60 2H093/NE03 2H093/NF04 2H093/NH12 2H093/NH13 2H193/ZA04 2H193/ZF22 2H193/ZF36 2H193/ZF59 2H193/ZP03 5C006/AA16 5C006/AA22 5C006/AC24 5C006/AC25 5C006/AF44 5C006/AF73 5C006/BB16 5C006/BC06 5C006/FA12 5C006/FA14 5C006/FA42 5C006/FA43 5C006/FA54 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD08 5C080/DD23 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA45 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB01 5C094/DB04 5C094/EA10 5C094/FA01 5C094/FA02 5C094/FB01 5C094/FB12 5C094/GA10 2H192/AA24 2H192/BB03 2H192/BB13 2H192/BB33 2H192/BB73 2H192/CB05 2H192/CB35 2H192/EA22 2H192/EA43 2H192/FB07 2H192/FB13 2H192/FB22 2H192/GD61 2H193/ZC15 2H193/ZC25 2H193/ZC26 2H193/ZD12 2H193/ZD23 2H193/ZE21 2H193/ZF21 2H193/ZF31 2H193/ZF42 2H193/ZF43 2H193/ZG02 2H193/ZP04 2H193/ZQ05		
代理人(译)	河野 哲 中村 诚 河野直树 冈田 隆 山下 元		
外部链接	Espacenet		

摘要(译)

解决的问题：在采用简化结构的同时，在不牺牲开口率的情况下，在所有像素中实现最佳驱动条件。在根据本发明的液晶显示装置中，包括在阵列基板中的每个像素电路包括像素电极和通过开关连接到信号线105a的对电极。在沿扫描线101或信号线105a的长度方向彼此相邻的像素电路中，对置电极108C彼此连接。对基板20包括沿扫描线101的长度方向布置的多个复位电极208R，每个复位电极面对一或多列像素电路，并且沿信号线105a的长度方向布置。[选型图]图1

